الوحدات المحيطية للحاسوب

وقل رب زدني علما
جامعة دمشق
Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

منشورات جامعة دمشق
كلية الهندسة الميكانيكية والكهربائية

الوحدات المحيطية للحاسوب

Peripheral Units Of Computers

الدكتور المهندس
مأمون يونس
قسم هندسة الحواسيب والأتمتة

الدكتور المهندس
رزق غانم
قسم هندسة الحواسيب والأتمتة

جامعة دمشق

وقل رب زدني علما
جامعة دمشق
Damascus University

الفهرس

الفصل الأول

بنية مساري نظام الحاسوب , وبرتوكولاته

١-١- مقدمة ٢٩

١-٢- بنى الترابط البيني ٣١

١-٣- مساري نظام الحاسوب ٣٤

١-٤- الترابط البيني للمسرى ٣٥

١-٤-١- بنية المسرى ٣٦

١-٤-٢- مواصفات المسرى ٣٩

١-٤-٣- المسرى من الناحية العتادية ٣٩

١-٤-٤- مشاكل المسرى الوحيد ٤٠

١-٥- الترتيب الهرمي المتعدد المساري ٤١

١-٦- أنواع المسرى ٤٥

١-٧- طريقة تحكيم المسرى ٤٧

١-٨- بروتوكولات نقل المعطيات ٤٨

١-٩- ميزات ومساوئ المساري ٤٩

١-٩-١- ميزات المساري ٤٩

١-٩-٢- مساوئ المساري ٥٠

١-١٠- بنية المسرى النموذجي لوصل وحدة المعالجة CPU

والذاكرة الرئيسية ٥٠
١-١٠-١- مراحل قراءة كلمة من الذاكرة ٥١
١-١٠-٢- مراحل كتابة كلمة في الذاكرة ٥٣
١-١١- التوقيت Timing ٥٥
١-١١-١ التوقيت المتزامن واللامتزامن ٥٥
١-١١-٢- عرض المسرى ٥٩
١-١٢- أنواع نقل المعطيات ٦٠
١-١٣- مساري الدخل/الخرج والجسر الجنوبي ٦٣
١-١٣-١- مقدمة ٦٣
١-١٣-٢- الجسر الشمالي والجنوبي ٦٤
١-١٣-٣- وظائف مساري الدخل /خرج ٦٧
١-١٣-٤- وظائف الجسر الجنوبي ٦٩
١-١٣-٥- متحكمات الدخل/الخرج I/O الفائقة ٧٢
١-١٣-٦- أنواع بنيان مسرى الدخل/الخرج I/O ٧٥
١-١٤- أنواع أخرى من المساري ٧٨
١-١٤-١-المنافذ التسلسلية والتفرعية ٨٠
١-١٤-٢- النقل اللامتزامن ٨٢
١-١٥- بنيان المسرى القياسي الصناعي ISA ٨٤
١-١٥-١- بنيان المسرى ٨٥
١-١٥-٢- بنيان المسرى ISA- AT ٨٧
١-١٥-٣- أداء المسرى ISA ٨٨
١-١٦- بنيان المسرى القياسي الصناعي الموسع EISA ٨٩
١-١٧- المسرى المحلي VESA ٩٠

١-١٨- المسرى البيني للمكونات الطرفية PCI ٩١
١-١٨-١- خصائص المسرى PCI ٩٢
١-١٨-٢- مسرى PCI المضاف داخل السيد ٩٥
١-١٨-٣- مسرى PCI الهدف ٩٥
١-١٨-٤- تشكيلات المسرى PCI ٩٦
١-١٨-٥- بنية المسرىPCI ١٠٠
١-١٨-٦- أوامر PCI ١٠١
١-١٨-٧- عمليات نقل المعطيات ١٠٢
١-١٨-٨- التحكيم ١٠٦
١-١٩- المسرى PC MCIA ١٠٨
١-٢٠- مسرى AGP ١٠٨
١-٢٠-١- مسرى AGP ١١٠
١-٢٠-٢- مسرى AGP pro ١١٢
١-٢٠-٣- مزايا (AGP) بالمقارنة مع PCI ١١٥
١-٢١- تقنية ركّب وشغّل Pnp ١١٦
١-٢١-١- شرط عمل التقنية ١١٧
١-٢٢- المنافذ الخارجية لنظام الحاسوب ١١٨
١-٢٢-١- النقل التسلسلي Serial Transmission ١١٨
١-٢٢-٢- النقل المتوازي parallel transmission ١١٩
١-٢٢-٣- المنفذ التسلسلي Serial Port (RS232) ١٢٠
١-٢٢-٣-١- مبدأ عمل المنفذ التسلسليRS232 ..... ١٢١
١-٢٢-٣-٢- عيوب ومميزات المنفذ التسلسليRS232 ..... ١٢٥
١-٢٢-٤- المنفذ التفرعي parallel port ١٢٥

١-٢٢-٥- منافذ PS/2 ..... ١٢٨
١-٢٣- منافذ المسرى التسلسلي العام USB ١٢٨
١-٢٣-١- ميزات المنفذ USB ١٣٠
١-٢٣-٢- المنفذ USB1.1 ..... ١٣٢
١-٢٣-٣- المنفذ USB 2.0 ..... ١٣٣
١-٢٣-٤- المنفذ USB 3.0 ..... ١٣٤
١-٢٣-٤- أقسام المنفذ USB ١٣٦
١-٢٤- المسرى التسلسليFire Wirc ١٣٧
١-٢٥- منفذ سينترونيكس Centronics ١٣٨
١-٢٦- موصلات الأقراص IDE & FDD ١٣٨
١-٢٧- كوابل المعطياتData Cables ١٣٩
١-٢٨- مسائل عامة ١٤٠

الفصل الثاني

وحدات التخزين المحيطية

٢-١- مقدمة ١٤٥
٢-٢- أداء نظام الدخل/ الخرج ١٤٥
٢-٢-١- الإنتاجية ١٤٦
٢-٢-٢- تحسين الطاقة الإنتاجية ١٤٨
٢-٣- مسرى الدخل/الخرج(I/O Bus) ١٤٩
٢-٣-١- مراحل قراءة المعطيات من الأقراص ١٤٩
٢-٣-٢- اتجاهات التخزين ١٥٢

٢-٣-٣- الفجوة بين الذاكرة ووحدة المعالج ١٥٤
٢-٤- القرص المغناطيسي ١٥٥
٢-٤-١- عملية القراءة/الكتابة على القرص المغناطيسي..... ١٥٦
٢-٤-٢- تنظيم المعطيات وصياغتها ١٥٨
٢-٤-٣- الميزات المادية للقرص ١٦٣
٢-٥- التطورات التي طرأت على القرص الصلب ١٧٠
٢-٦- الأقراص المرنة ١٧١
٢-٧- القرص الصلب وينشستر ١٧٣
٢-٨- محددات أداء القرص ١٧٤
٢-٨-١- زمن البحث Seek Time ١٧٦
٢-٨-٢- زمن الدوران ١٧٧
٢-٨-٣- زمن النقل ١٧٧
٢-٩- النظام RAID ١٧٩
٢-٩-١- النظام RAID 0 ..... ١٨٥
٢-٩-٢- النظام RAID 1 ..... ١٩٠
٢-٩-٣- النظام RAID 2 ..... ١٩٤
٢-٩-٤- النظام RAID 3 ..... ١٩٦
٢-٩-٥- النظام RAID 4 ..... ٢٠٠
٢-٩-٦- النظام RAID 5 ..... ٢٠١
٢-٩-٧- النظام RAID 6 ..... ٢٠٣
٢-٩-٨- النظام RAID 1+0 ..... ٢٠٤
٢-٩-٩- حساب قيم بتات الزوجية واكتشاف الأخطاء ٢٠٧
٢-١٠-الذاكرة الضوئية Optical Memory ٢٠٩

٢-١٠-١- الأقراص المضغوطة القابلة للقراءة CD – ROM ٢٠٩
٢-١٠-٢- الأقراص WORM ٢١٦
٢-١٠-٣-القرص الضوئي القابل للمحي EOD ٢١٧
٢-١٠-٤- القرص الفيديو الرقمي DVD ٢١٧
٢-١٠-٥- الأقراص الضوئية- المغناطيسية MO ٢١٩
٢-١١- الشريط المغناطيسي Magnetic Tape ٢٢٠
٢-١١-١- مكونات وحدة الأشرطة الممغنطة ٢٢١
٢-١١-٢- تمثيل المعلومات المسجلة على الأشرطة ٢٢١
٢-١١-٣- مبدأ التسجيل المغناطيسي ٢٢٢
٢-١١-٤- تنظيم المعطيات على الأشرطة المغناطيسية ٢٢٣
٢-١١-٥- الأشرطة الصوتية الرقمية DAT ٢٢٣
٢-١١-٦- الشريط الخطي الرقمي DLT ٢٢٤
٢-١٢- مسائل عامة ٢٢٧

الفصل الثالث

واجهات ترابط الدخل/الخرج

٣-١- مقدمة ٢٣١
٣-٢- مجموعة وحدات الدخل/الخرج ٢٣٣
٣-٣- التجهيزات الخارجية External Devices ٢٣٥
٣-٣-١- التجهيزة الخارجية ٢٣٥
٣-٣-٢- لوحة المفاتيح ٢٣٧
٣-٣-٣- مشغل الأقراص ٢٣٩

٣-٣-٤- بنية وحدة الدخل/الخرج ٢٤٠
٣-٤- تقنيات الدخل/الخرج I/O ٢٤١
٣-٤-١- الدخل/الخرج المبرمج ٢٤١
٣-٤-٢- الدخل/الخرج المقود بالمقاطعات ٢٤٥
٣-٤-٣- النفاذ المباشر إلى الذاكرة DMA ٢٤٧

٣-٥- قنوات الدخل/الخرج ومعالجات الدخل/الخرج ٢٥١
٣-٥-١- ميزات قنوات الدخل/الخرج I/O ٢٥٢
٣-٥-٢- وظائف قنوات نقل المعطيات ٢٥٦
٣-٥-٣- التحكم بالتجهيزة ووظائف التحكم المركزي ٢٥٨
٣-٥-٤- عرض حزمة القناة ٢٦٠
٣-٥-٥- معالجة الطرفيات ٢٦١
٣-٦- نموذج مسرى المعطيات ٢٦١
٣-٦-١- مسرى الدخل/الخرج I/O Bus ٢٦٢
٣-٦-٢- عمل مسرى الدخل/الخرج ٢٦٣
٣-٦-٣- واجهة الاتصال الخارجي ٢٦٤
٣-٦-٤- وحدة التحكم بالتجهيزة وواجهة الاتصال الداخلي ٢٦٥
٣-٦-٥- واجهات المعالج والذاكرة ٢٦٦
٣-٦-٦- طرق وصل التجهيزات مع المسرى ٢٦٧
٣-٦-٧- المسرى المشترك – حالة النظام PDP11 ..... ٢٧١
٣-٧- واجهات الترابط الخارجية External Interfaces ٢٧٣
٣-٧-١- أنواع واجهات الترابط ٢٧٣
٣-٧-١-١- واجهة الترابط المتوازية ٢٧٣

٣-٧-١-٢- واجهة الترابط التسلسلية ٢٧٤
٣-٧-٢- تشكيلة الوصل نقطة لنقطة أو الوصل المتعدد ٢٧٥
٣-٧-٣- واجهة ترابط نظام الحاسب الصغير SCSI ٢٧٦
٣-٧-٣-١- إصدارات المعيار SCSI ٢٨٠
٣-٧-٣-٢- الإشارات والأطوار ٢٨١
٣-٧-٣-٣- مخطط توقيت المسرى ٢٨٦
٣-٧-٣-٤- الرسائل ٢٨٩
٣-٧-٣-٥- الأوامر ٢٩٠
٣-٧-٤- المسرى التسلسليFirc Wire ٢٩٢
٣-٧-٤-١- تشكيلات المسرى ٢٩٧
٣-٧-٤-١-١- الطبقة المادية ٣٠٠
٣-٧-٤-١-٢- طبقة الربط ٣٠١
٣-٧-٤-٢- إصدارات الـ FireWire ٣٠٢
٣-٧-٤-٣- المقارنة بين المعيار USB و المعيار FireWire ..٣٠٧
٣-٧-٥- المعيار InfiniBand ٣٠٩
٣-٧-٥-١- بنيان المعيار InfiniBand ٣٠٩
٣-٧-٥-٢- عمل المعيار InfiniBand ٣١٢
٣-٨- واجهة ترابط الأقراص الصلبة ٣١٣
٣-٨-١- معيار IDE المحسن ٣١٣
٣-٨-٢- المتحكم المضيف والبروتوكولات ٣١٤
٣-٨-٣- إعداد واجهة الترابط ATA التفرعية ٣١٧
٣-٨-٤- تعدد المهام وقيود البروتوكولات ٣١٩
٣-٨-٥- نظام ATA RAID-10 ..... ٣٢١

٣-٨-٦- واجهة الترابط التسلسلية SATA ٣٢٢
٣-٨-٦-١- ميزات النظام Serial ATA ٣٢٥
٣-٨-٦-٢- واجهة الترابط SATA الخارجية ٣٢٧
٣-٩- بطاقة معطيات الشاشة ٣٢٩
٣-٩-١- عرض المجال الكبير ٣٢٩
٣-٩-٢- المنافذ البيانية (الرسومية) السريعة AGP ٣٣٠
٣-٩-٣- التفاصيل التقنية ٣٣٢
٣-٩-٤- ذاكرة الفيديو ٣٣٥
٢-٩-٥- كاش مخصصة لخلفية الصور و RAMDAC ٣٣٥
٣-٩-٦- وحدة المعالجة البيانية ٣٣٧
٣-٩-٧- بطاقة الشاشة على مسرى PCI Express ٣٣٧
٣-٩-٨- نظام الدخل/الخرج I/O للحاسوب الشخصي ٣٣٧
٣-٩-٩- نظام الدخل/الخرج يوفر المرونة ٣٣٨
٣-١٠- مسائل عامة ٣٣٩

الفصل الرابع

أجهزة الدخل/الخرج المحيطية في المعالجات 80x86

٤-١- مقدمة ٣٤٣
٤-٢- تعليمات الدخل/الخرج في المعالج 8086 ..... ٣٤٣
٤-٢-١- منافذ معطيات بطول 8Bit ٣٤٣
٤-٢-٢- استخدام تعليمات الدخل/الخرج ٣٤٥

٤-٢-٣- أزمنة المسرى I/O للمعالج 8088/8086 ..... ٣٤٦
٤-٣- تصميم منافذ الدخل/الخرج وتفكيك عناوينها ٣٥٠
٤-٣-١- تصميم منفذ الخرج باستخدام الدارة 74LS373 ..... ٣٥١
٤-٣-٢- تصميم منفذ الدخل باستخدام الدارة 74LS244 ..... ٣٥٢
٤-٣-٣- الدخل/الخرج المخطط ذاكريا(الدخل/الخرج المعزول) ٣٥٥
٤-٣-٤- استخـــدام مفكك العنونة 74LS138 ..... ٣٥٧
٤-٤- شريحة الربط القابلة للبرمجة PPI 8255 ..... ٣٥٩
٤-٤-١- اختيار نمط عمل الشريحة 8255 ..... ٣٦٣
٤-٤-٢- طريقة المقاطعة وطريقة الاستجواب ٣٧٢
٤-٥- ربط الوحدات المحيطية ذات 8 bit مع مسرى 16 Bit ٣٧٥
٤-٥-١- ربط المبدلات ADC مع المعالج 8086 ..... ٣٧٧
٤-٥-٢- ربط المبدل ADC والحساسات إلى 8086 ..... ٣٧٩
٤-٥-٣- ربط حســـــاس الحرارة مع المعالج 8086 ..... ٣٨٢
٤-٦- أمثلة تطبيقية عن ربط 8255 ..... ٣٨٣
٤-٦-١- توسيع مخرج الطابعة بحيث يصبح 24 خط I/O ٣٨٣
٤-٦-٢- توسيع عدد خطوط I/O للمعالج AT89C51 ..... ٣٨٤
٤-٦-٣- توسيع عدد خطوط I/O لعدد من المتحكمات ٣٨٦
٤-٦-٤- ربط الدارة 8255 مع المخرج التفرعي LPT ٣٨٧
٤-٧- دارة المؤقت 8253 ..... ٣٩١
٤-٧-١- وصل المؤقت 8253 إلى المعالج ٣٩٥
٤-٧-٢- وظيفة العداد ٣٩٦

٤-٧-٣-وظيفة العداد2 ..... ٣٩٦
٤-٧-٤-وظيفة العداد0 ..... ٣٩٧
٤-٧-٥-أنماط عمل الشريحة ٣٩٧
٤-٧-٦- ربط المؤقت / العداد المبرمج 8254 إلى النظام ٤٠٤
٤-٧-٧- تهيئة المؤقت/العداد المبرمج 8254 ..... ٤٠٤
٣-٧-٨- أنماط عمل المؤقت/العداد 8254 وتطبيقاته ٤٠٨

الفصل الخامس

تقنيات الدخل/الخرج ومتحكم المقاطعة

٥-١- مقدمة ٤١٧
٥-٢- تقنيات الدخل/الخرج المبرمج ٤١٧
٥-٢-١- عنونة الدخل / الخرج ٤١٨
٥-٢-٢- تعليمات الدخل / الخرج الأساسية ٤٢٠
٥-٢-٣- دارات I/O المبرمجة وعمليات I/O ٤٢٠
٥-٣- النفاذ المباشر إلى الذاكرةDMA ٤٢٥
٥-٣-١- المكونات الأساسية لوحدة الـ DMA ٤٢٧
٥-٣-٢- برمجة الشريحة DMA 8237 ..... ٤٣٠
٥-٣-٣- سجلات التحكم الداخلية للشريحة8237 ..... ٤٣٥
٥-٣-٣-١- سجل الأمر ٤٣٥
٥-٣-٣-٢- سجل الحالة ٤٣٨
٥-٣-٣-٣- سجل النمط ٤٣٩

٥-٣-٣-٤- سجل الحجب الإفرادي ٤٤٠
٥-٣-٣-٥- سجل الحجب الكلي ٤٤١
٥-٣-٣-٦- سجل المحي(التصفير) ٤٤٣
٥-٣-٣-٧- سجل منع المحي ٤٤٣
٥-٣-٣-٨- السجل المؤقت ٤٤٣
٥-٣-٣-٩- سجلات العنونة والعد ٤٤٣
٥-٣-٣-١٠- سجلات الصفحة لوحدة DMA ٤٤٥
٥-٤- المقاطعات ٤٤٦
٥-٤-١- المقاطعات في المعالج8086 ..... ٤٤٦
٥-٤-٢- إجرائية خدمة المقاطعة ISR ٤٤٨
٥-٤-٣- الاختلاف بين المقاطعة INT وتعليمات CALL ٤٤٨
٥-٥- متحكم المقاطعة القابل للبرمجة 8259 ..... ٤٤٩
٥-٥-١- تعاقب الحوادث عند نشوء المقاطعة ٤٥٢
٥-٥-٢- تهيئة نظام الحاسوب للمقاطعات ٤٥٢
٥-٥-٣-تهيئة المقاطعة ٤٥٤
٥-٥-٣-١- تهيئة جدول أشعة المقاطعة ٤٥٤
٥-٥-٣-٢- تهيئة الشريحة8259 ..... ٤٥٥
٥-٥-٤- المنافذ وكلمات التحكم للشريحة 8259 ..... ٤٥٦
٥-٥-٥- الحجب وأولويات المقاطعة IRO - IR7 ..... ٤٦٣
٥-٥-٥-١- كلمات أمر التشغيل OCW ٣٦٣
٥-٥-٥-٢- تسلسل العمليات عند حدوث مقاطعة بالكيان
الصلب في الشريحة 8259 ..... ٤٦٩
٥-٥-٥-٣-أولويات المقاطعة ٤٧٠

٥-٥-٤- أنماط القدح في المقاطعة ٤٧٠
٥-٥-٦- ربط الشريحة 8259 مع المعالج ٤٧١
٥-٥-٦-١-وصل الشرائح 8259 في نمط الرئيس/التابع
مع المعالج ٤٧٢
٥-٥-٦-٢- الشريحة ٨٢٥٩ في نمط التابع ٤٧٣

الملحق A

الفصل السادس

المبدلات الرقمية / التمثيلية D/A & التمثيلية/الرقمية A/D

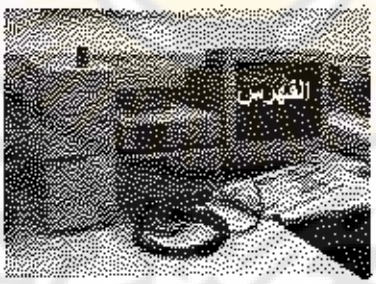
٦-١- مقدمة ٤٧٧
٦-٢- وظيفة المبدلات ٤٧٨
٦-٣- المبدلات الرقمية/التمثيلية ٤٧٩
٦-٣-١- مقدمة ٤٧٩
٦-٣-٢- خواص المبدلات الرقمية/التمثيلية DAC ٤٨٠
٦-٣-٣-المبدلات الرقمية/التمثيلية D/A ذو الشبكة الموزونة ٤٨٠
٦-٣-٤- المبدل ذو الرباعيات المتتالية ٤٨٨
٦-٣-٥- المبدلات الرقمية/التمثيلية D/A ذو الشبكة السلمية ٤٩٠
٦-٣-٦- منابع التيار الموزونة ٤٩٣
٦-٣- ٧- مبدلات DAC التي تعمل في المجال الزمني ٤٩٣
٦-٣-٧-١- مبدلات التردد إلى جهد ٤٩٣
٦-٣-٧-٢- التبديل الرقمي/ التمثيلي بالاعتماد على
تعديل عرض النبضة PWM ٤٩٥

٦-٣-٧-٣-المبدلات DAC الضاربة ٤٩٩
٦-٣-٨- خصائص المبدلات الرقمية/التمثيلية ٥٠٠
٦-٣-٨-١- المجال ٥٠٠
٦-٣-٨-٢- التمييز ٥٠٢
٦-٣-٨-٣- الدقة ٥٠٣
٦-٣-٨-٤- الخطية ٥٠٣
٦-٣-٨-٥- الانزياح ٥٠٤
٦-٣-٨-٦- الربح ٥٠٥
٦-٣-٨-٧- الخواص الحرارية ٥٠٦
٦-٣-٩- تطبيقات المبدلات DAC ٥٠٧
٦-٣-٩-١ ربط المبدلات DAC مع الحاسوب PC ٥٠٨
٦-٣-٩-٢- المبدل AD558 ..... ٥١٢
٦-٣-١٠- المبدل RAMDAC ٥١٥
٦-٤- المبدلات التمثيلية/الرقمية ٥٢٠
٦-٤-١-مقدمة ٥٢٠
٦-٤-٢- خواص المبدلات ADC ٥٢٢
٦-٤-٣- أنواع المبدلات التمثيلية/الرقمية ٥٢٦
٦-٤-٣-١- المبدل العدادي ٥٢٧
٦-٤-٣-٢- المبدل الملاحق ٥٢٩
٦-٤-٣-٣- مبدل التقريب المتتالي ٥٣١
٦-٤-٣-٤-المبدلات التفرعية أو الومضية ٥٣٥
٦-٤-٣-٥- تبديل الجهد إلى تردد ٥٣٩
٦-٤-٣-٦- التكامل أحادي الانحدار ٥٤١

٦-٤-٣-٧- مبدلات دلتا – سيغما ٥٤٢
٦-٤-٤-اختيار المبدل ADC المناسب ٥٤٤
٦-٤-٥- اختيار المبدل DAC المناسب ٥٤٥
٦-٥- ربط المبدل التمثيلي/الرقمي ADC إلى الحاسوب ٥٤٦
٦-٥- ١- طرق الترابط ٥٤٦
٦-٥-٢- برمجيات الربط ٥٤٧
٦-٥-٣- آليات الربط ٥٥٠
٦-٦- المبدل ADC0804 ..... ٥٥١

المصطلحات العلمية ٥٥٥

المراجع ٥٨٧



وقل رب زدني علما
جامعة دمشق
Damascus University

مقدمة

إن التقدم التكنولوجي الذي يشهده عصرنا الحالي , والتطورات السريعة في مجال تقنية الدارات المتكاملة أسهمت مساهمة مباشرة في تطوير مختلف العلوم الهندسية النظرية منها والتطبيقية . هذه المساهمة ناتجة عن توافر الوسائل المادية المختلفة لتحقيق مختلف النظريات الهندسية بشكل عام والنظريات العائدة لعلوم هندسة الحاسوب بشكل خاص , ومن أهم هذه الوسائل هي الحواسيب والشبكات الحاسوبية .

إن الحواسيب أصبحت وسيلة أساسية في تطوير مختلف العلوم الهندسية, التي أثرت تأثيراً كبيراً على مختلف مجالات الحياة .لذلك كان لابد من تأهيل الكوادر الفنية المتخصصة في مجال هندسة الحواسيب لتسهم في سد احتياجات مختلف القطاعات الإنتاجية والخدمية وفي مجال تطوير البحث العلمي التقني .

وتشكل نظم الحواسيب , بحد ذاتها , وسيلة مهمة تساعد الإنسان في تطوير علمه ورفع مستوى حياته نحو الأفضل ,لذلك يتطلب استخدامها إعادة النظر في كثير من سلوكيات الإنسان بحيث تتسأقلم مع نظم الحواسيب واستثمارها الاستثمار الأفضل .

إن بنيان الدخل/الخرج في نظام الحاسوب هو واجهة ترابطه مع العالم الخارجي. وتمكنه من تبادل المعطيات مع الأجهزة الأخرى ، من إدخال برنامج عبر لوحة مفاتيح طرفية فيديوية واستقبال النتائج على الطابعة .

إن استثمار نظم الحواسيب تلبية لتطبيقات علمية أو لمعالجة المعطيات هو استثمار ينعكس مباشرة على تطوير طرائق البحث العلمي وزيادة الكفاءة في مختلف الأعمال الإدارية والمالية وفي معالجة المعلومات .

وعندما نستخدم كلمة نظام يعني أننا نستطيع استثمار هذا النظام في تطبيق معين أو محدد . ويعد الحاسوب الوحدة الأساسية لهذا النظام. ولكن بدون توافر وحدات إضافية مربوطة معه فإن الإنسان لا يستطيع استثماره؛ لذلك فإن الحاسوب مع الوحدات الطرفية الأخرى المربوطة معه بشكل ما يسمى بنظام الحاسوب .

وتتطلب التطبيقات التي تشمل معالجة المعطيات Data Processing باستخدام نظم الحواسيب وحدات تخزين ذات سعات عالية . لكي تُخزن في هذه الوحدات قواعد المعطيات Data Base , التي تشغل أغلب سعات وحدات التخزين المحيطية , بالإضافة إلى برامج نظم التشغيل Operating System , ونظام إدارة قواعد المعطيات Data Basc Managemcnt System , والبرامج التطبيقية الملحقة المختلفة .

يصف هذا الكتاب الوحدات المحيطية للحاسوب ووظائفها . ويهدف إلى عرض الوحدات المحيطية للحاسوب عرضاً معمّقاً . بحيث يعرض بنية مساري نظام الحاسوب وأنواعه وبروتوكولاته . والوحدات المحيطية في نظام الحاسوب مثل : تقنيات الدخل/الخرج وواجهات ترابط الدخل/الخرج ووحدات التخزين المحيطية .

والهدف الأساسي لهذا الكتاب هو تغطية منهاج مقرر " الوحدات المحيطية للحاسوب " في قسم هندسة الحواسيب والأتمتة لطلاب السنة الرابعة شعبة هندسة الحواسيب . وشعبة هندسة التحكم والأتمتة . ولكن تم وضع مادة هذا الكتاب بحيث تمكن مختلف القراء من الاستفادة منه في مختلف التطبيقات . ويتكون هذا الكتاب من خمسة فصول وملحق وجدول بالمصطلحات العلمية باللغتين العربية والانكليزية .

ويتضمن الفصل الأول بنية مساري نظام الحاسوب وبروتوكولاته ويبحث في موضوع بنى الترابط البيني للمسرى والترتيب الهرمي المتعدد المساري ومساري الدخل/الخرج والجسر الجنوبي ووظائفه . وبنيان المسرى ISA و PCI و AGP . والمنافذ التسلسلية والتفرعية . والمنافذ الخارجية لنظام الحاسوب . ومنافذ المسرى التسلسلي العام USB .

أما الفصل الثاني فيتناول وحدات التخزين المحيطية ويبحث في موضوع أداء الدخل/الخرج . والأقراص المغناطيسية ومحدداتها وأدائها . ويتناول

أنواع النظام RAID , وميزاته , وتطبيقاته, وأخيراً الذاكرات الضوئية والشريط المغناطيسي .

ويغطي الفصل الثالث واجهات ترابط الدخل/الخرج ويتناول التجهيزات الخارجية والتقنيات , وقنوات ومعالجات الدخل/الخرج , وأيضاً واجهات الترابط الخارجية وتشكيلاتها , ويتناول واجهة ترابط الأقراص الصلبة وبروتوكولاتها , وأخيراً بطاقة معطيات الشاشة .

والفصل الرابع خُصص لأجهزة الدخل/الخرج المحيطية في المعالجات 80x86 , ويتناول تعليمات الدخل/الخرج في المعالج 8086 , وتصميم منافذ الدخل/الخرج وتفكيك عناوينها , ويبحث في أنماط عمل الشريحة PPI8255 , وأخيراً دارة المؤقت 8253 , وأنماط عمل الشريحة .

والفصل الخامس والأخير فيغطي تقنيات الدخل/الخرج , ومتحكم المقاطعة , ويتناول تقنيات الدخل/الخرج المبرمج , والنفاذ المباشر إلى الذاكرة DMA , والمقاطعات في المعالج 8086 , ومتحكم المقاطعة القابل للبرمجة 8259 . وربط الشريحة 8259 مع المعالج

والملحق فيغطي موضوع المبدلات التمثيلية/الرقمية ADC والمبدلات الرقمية/التمثيلية DAC ووظائفها وأنواعها ومبادئ عملها وتطبيقاتها .

ونرجوا أن نكون قد وضعنا للقارئ المبادىء الأساسية للانطلاق في مجال بنى الحواسيب المتقدمة , وأسهمنا بتقديم المادة العلمية المتواضعة لكوادرنا

الهندسية لتساعدهم في تطوير معلوماتهم , بحيث تتماشى مع التطور الكمي والنوعي في مجال هندسة الحاسوب والأتمتة .

ولا يفوتنا أن نتقدم بالشكر والعرفان إلى جميع الزملاء الذين أسهموا في إبراز هذا العمل إلى حيز الوجود .

والله ولي التوفيق

المؤلفون

دمشق / شباط / 2010

وقل رب زدني علما
جامعة دمشق
Damascus University

الفصل الأول

بنية مساري نظام الحاسوب وبروتوكولاته

Bus Structures Of Computer System & Protocols

Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

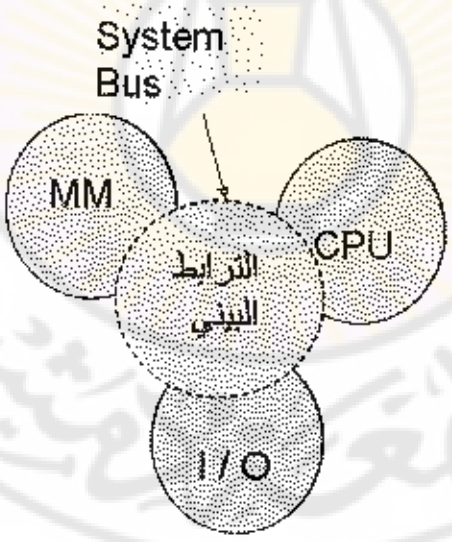
بنية مساري نظام الحاسوب وبرتوكولاته

Bus Structures Of Computer System & Protocols

١ – ١ – مقدمة

يجب أن تكون المكونات الرئيسية لنظام الحاسوب (المعالج والذاكرة الرئيسية و وحدات الدخل/الخرج I/O) مترابطة بينياً لكي تتبادل المعطيات وإشارات التحكم . ويبين الشكل (١) المكونات الرئيسية للحاسوب وهي :

- وحد المعالجة المركزية CPU .
- الذاكرة الرئيسية (Main Memory) .
- وحدة الدخل / الخرج (I / O) .
- الترابط البيني للنظام (System Interconnection)



الشكل (١ – ١) – المكونات الرئيسية للحاسوب

إن الوسائل الأكثر شيوعاً للترابط البيني هو استخدام مسرى Bus نظام مشترك مؤلف من خطوط متعددة . ويوجد عادة في أنظمة الحاسوب ترتيب هرمي من المساري لتحسين الأداء .

تتضمن عناصر التصميم الرئيسية للمساري :

- **التحكيم Arbitration** : حيث يسمح بإرسال الإشارات على خطوط المسرى بعد تحكيم مركزي أو موزّع .
- **التوقيت Timing** : حيث تكون الإشارات على المسرى متزامنة مع نبضة ساعة Clock مركزية , أو غير متزامنة فترسل عندئذ بالاعتماد على أخر إرسال .
- **عرض المسرى Width** : عدد خطوط العناوين , وعدد خطوط المعطيات .

يتم ربط الحواسيب الشخصية مع العالم الخارجي إما عبر البوابة التفرعية Parallel Port أو عبر بوابة الطباعة Printer Port أو عبر بوابة الألعاب Game Port Or Joystick Port . وتوجد في الحقيقة العديد من الطرق التي يمكن للحاسوب الشخصي أن يتصل من خلالها مع العالم الخارجي، وهذا ما سنتناوله في هذا الفصل. وتتمتع كل طريقة من الطرق بمحاسن تميزها عن بقية الطرق الأخرى . كما أن ربط الحواسيب الشخصية مع العالم الخارجي باستخدام مساري توسعية يفتح مجالاً واسعاً من التطبيقات المعقدة والتي توفر أمكانية كبيرة ، ولكنها بالمقابل تتطلب تعقيداً في دارات الربط المحيطية وفي البرمجيات التي تقودها . وأما ربط الحواسيب الشخصية مع العالم الخارجي باستخدام البوابات التسلسلية فهو موجه نحو عالم الاتصالات والتطبيقات التحكمية بشكل أساسي وأيضاً نحو اتصال أو ربط الأجهزة المحيطة (كالموديمات ، والطابعات ، والراسمات , ... الخ) مع هذه الحواسيب . ونادراً ما يتم استخدام

البوابات التسلسلية لأهداف أخرى (رغم أن ذلك ممكن) كالتحكم والقياس والقيادة . وأخيراً تأتي البوابات التفرعية وبوابات الألعاب لاستكمال الحلقة .

على الرغم من أن استخدام البوابات التفرعية وبوابات الألعاب للأغراض العامة (كالتحكم والقياس والقيادة) ليس منتشراً، إلا أن إمكانية ذلك واردة بل ومناسبة في كثير من الأحيان.

١-٢- بنى الترابط البيني Interconnection Structures

يتكون الحاسوب من عدة وحدات وظيفية أساسية وهي :

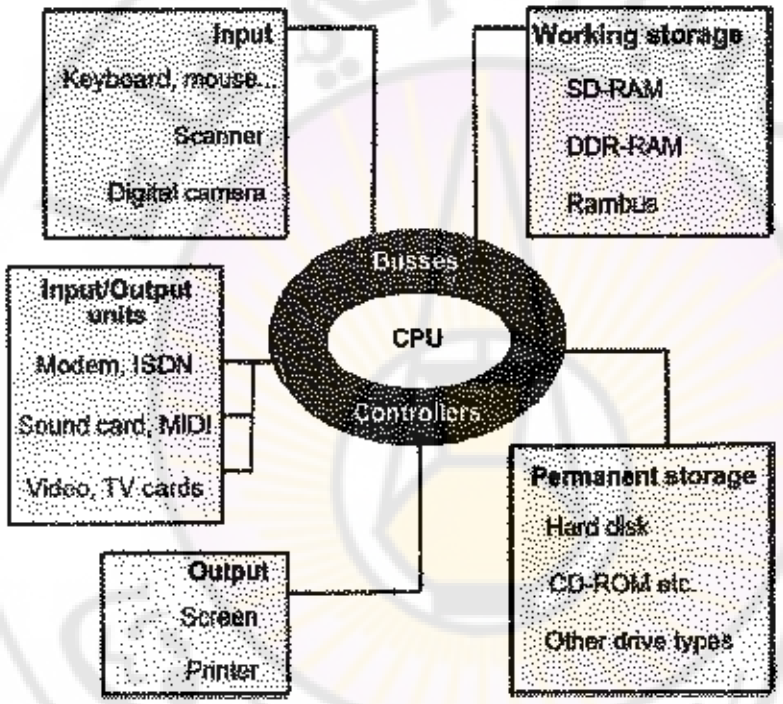
- المعالج (أو CPU) Processor .
- الذاكرة Memory .
- وحدة الدخل/الخرج I/O .

تسمى مجموعة الممرات التي تربط بين مختلف الوحدات الأساسية ببنية الترابط البيني Interconnection Structure . ويعتمد تصميم هذه البنية على التبادلات التي يجب أن تجرى بين هذه الوحدات . ويبين الشكل (١-٢) مكونات الحاسوب الأساسية, أما الشكل (١-٣) فيوضح أنواع التبادلات اللازمة لوحدات الحاسوب وهي :

- **الذاكرة Memory** : تتكون وحدة الذاكرة من N كلمة ذات أطوال متساوية ولكل كلمة عنوان خاص. يمكن لكلمة المعطيات أن تقرأ من الذاكرة أو تكتسب في الذاكرة . ويشار إلى نوع العملية بإشارتي التحكم Read و Write.
- **وحدة الدخل/الخرج I/O** : تشبه وحدة الذاكرة في وظيفتها , من حيث القيام بعملية القراءة والكتابة , وإضافة إلى ذلك قد تتحكم بأكثر من جهاز

خارجي ، ويوجد ممرات معطيات خارجية لإدخال المعطيات من الجهاز الخارجي ، وقد يكون قادراً على إرسال إشارات مقاطعة إلى المعالج .

- **المعالج Processor** : يقوم المعالج بإدخال التعليمات والمعطيات إليه ، ويكتب المعطيات بعد معالجتها ، ويستقبل إشارات المقاطعة ، ويستخدم إشارات تحكم ليتحكم بالعملية الإجمالية للنظام .

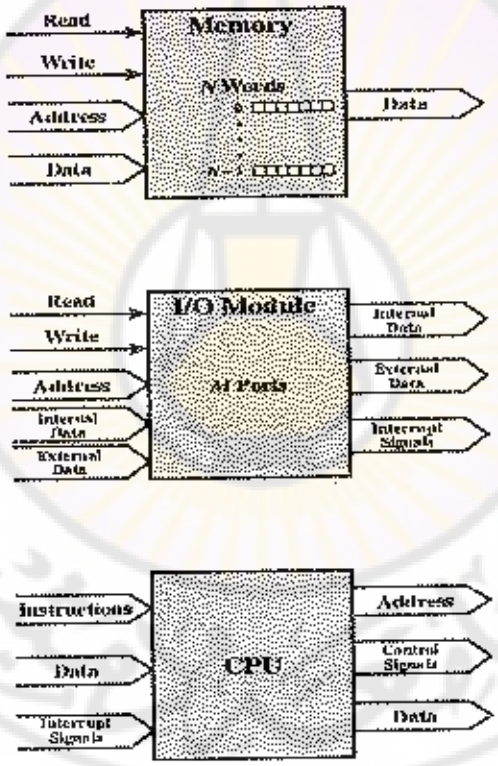


الشكل (١-٢) – المكونات الأساسية للحاسوب

ينبغي على بنية الترابط البيني أن تدعم الأنواع التالية من عمليات النقل :

- **من الذاكرة إلى المعالج** : يقرأ المعالج تعليمة أو وحدة معطيات من الذاكرة.

- **من المعالج إلى الذاكرة** : يكتب المعالج وحدة معطيات في الذاكرة .
- **من وحدة I/O إلى المعالج** : يقرأ المعالج المعطيات من جهاز I/O عبر وحدة I/O .
- **من المعالج إلى وحدة I/O** : يرسل المعالج المعطيات إلى جهاز I/O .
- **من وحدة I/O إلى أو من الذاكرة** : يسمح لوحدة I/O في هاتين الحالتين أن تتبادل المعطيات .



الشكل (١-٣) – أنواع التبادلات في وحدات الحاسوب

١-٣- مساري نظام الحاسوب Buses Of Computer System

إن نظام الحاسوب بينتيوم , كما هو مبين في الشكل (١-٤) , يتكون من ثلاثة أنواع من المساري وهي :

١. مسرى المعالج – الذاكرة Processor-Memory Bus

ويتميز هذا المسرى بما يلي :

- قصير وعالي السرعة .
- يحتاج إلى تقنيات عالية للحاق بتقنية تصميم نظام الذاكرة , لأن تصميم ذواكر بأحجام كبيرة ومعالجات ذات سرعات عالية يحتاج إلى مسرى ذي عرض حزمة كبير .
- يتم وصله مباشرة إلى المعالج .

٢. مساري الدخل/الخرج I/O Bus

يتميز هذا المسرى بما يلي :

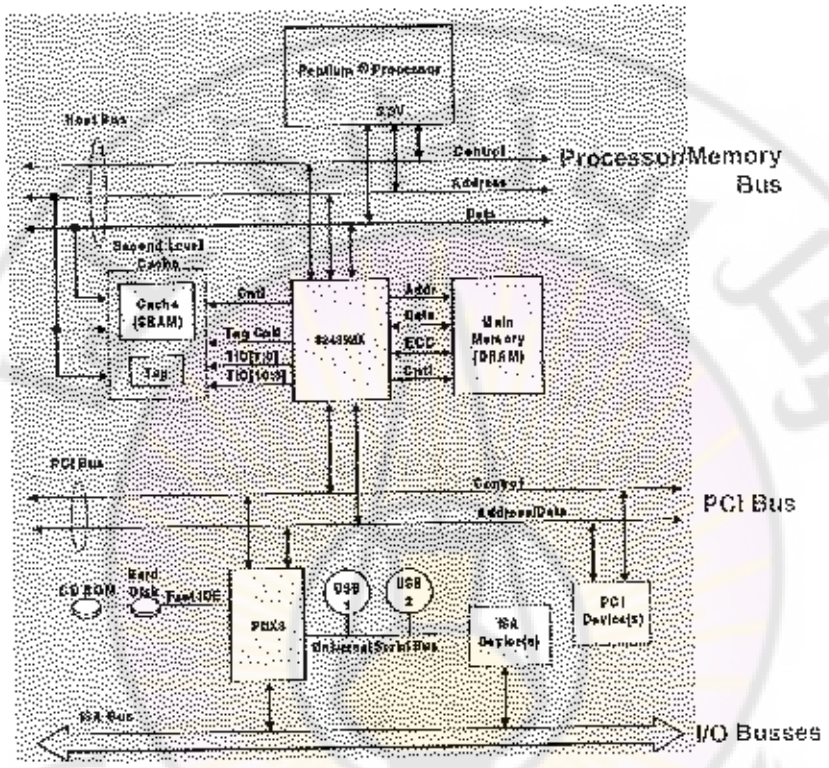
- طويل وبطيء عادة .
- يحتاج إلى عرض حزمة كبير من أجل وصل عدد كبير من أجهزة الدخل/الخرج I/O .
- يوصل إلى مسرى المعالج – الذاكرة أو المسرى الخلفي Backplane Bus .

٣. مسرى المستوى الخلفي Backplane Bus

هو بنية الترابط البيني داخل الهيكل . وهذا المسرى يتميز بما يلي :

- يسمح للمعالجات والذاكرة وأجهزة الدخل/الخرج I/O للتآلف فيما بينها .

- **الكلفة** : رخيصة لأنها تتكون من مسرى وحيد لجميع المكونات.



الشكل (١-٤) – أنواع المساري في الحاسوب بنتيوم

١-٤- الترابط البيني للمسرى Bus Interconnection

تعريف المسرى

هو ممر اتصال بين جهازين أو أكثر . وتكون الإشارة المرسلة من أي جهاز متوفراة للاستقبال من قبل جميع الأجهزة الأخرى المرتبطة بالمسرى .

الميزة الرئيسية للمسرى

هو وسيلة نقل مشتركة لجميع الأجهزة الموصولة في نظام الحاسوب .

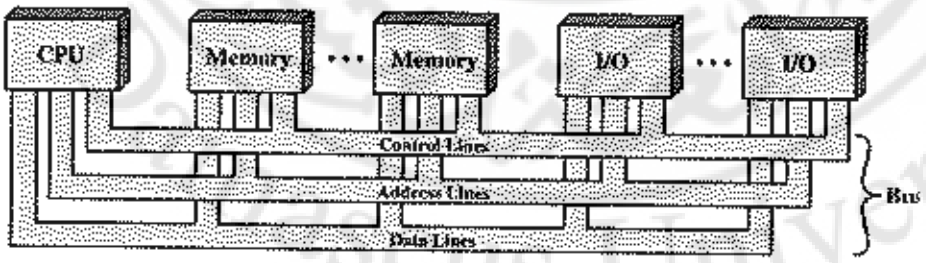
يتألف المسرى من ممرات اتصال متعددة تسمى خطوطاً Lines ، ويكون كل خط قادراً على إرسال إشارات ثنائية أو تتالي من الإشارات الثنائية في الوقت نفسه ، وبالتالي يمكن إرسال 8Bits عبر مسرى مكون من ثمانية خطوط (على سبيل المثال) .

١-٤-١- بنية المسرى Bus Structure

يسمى المسرى الذي يربط بين مكونات الحاسوب الرئيسية بمسرى النظام System Bus، ويتكون المسرى عادة من 50 إلى 100 خط ، ويسند لكل خط وظيفة محددة .**ويمكن تصنيف الخطوط ضمن ثلاث مجموعات وظيفية :**

- خطوط المعطيات Data Lines
- خطوط العنونة Address Lines
- خطوط التحكم Control Lines
- خطوط توزيع الطاقة : التي تزود الوحدات المربوطة بالمسرى بالطاقة .

ويبين الشكل (١-٥) مخطط الترابط البيني للمسرى .



الشكل (١-٥) - مخطط الترابط البيني للمسرى

١. مسرى المعطيات Data Bus

هو مسرى يمرر المعطيات بين وحدات النظام , ويتألف مسرى المعطيات عادة من 8 أو 16 أو 32 أو 64 خط ,ويشار إلى عدد الخطوط بعرض Width مسرى المعطيات. وبالتالي يحدد عدد الخطوط عدد البتات التي يمكن أن تنقل بآن واحد معاً . ويُعدّ عرض مسرى المعطيات عاملاً رئيسياً في تحديد أداء النظام . مثلاً : إذا كان عرض مسرى المعطيات 8Bits وطول كل تعليمة 16Bits، يجب على المعالج أن ينفذ إلى الذاكرة مرتين خلال كل دورة تعليمة .

٢. مسرى العناوين Address Bus

وظيفة مسرى العناوين الأساسية تحديد مكان تخزين المعطيات في الذاكرة عبر عناوين معينة. وتستخدم خطوط العنونة لتحديد المصدر Source أو الوجهة Destination وتُستخدم أيضا العناوين لتحديد السعة العظمى الممكنة لذاكرة النظام . فمثلاً يحتوي المعالج 8085 على 16 خط عنونة فهو يحدد ذاكرة حجمها 64KB , أما المعالج 8086 له 20 خط عنونة فهو يحدد سعة ذاكرة حجمها 1MB . وأيضا تستخدم لعنونة منافذ الدخل/الخرج I/O . عادة تستخدم البتات ذات المرتبة الأعلى لانتقاء وحدة ما محددة موصولة بالمسرى , بينما تستخدم البتات ذات المرتبة الأدنى لانتقاء موقع أو منفذ دخل/خرج I/O ضمن الوحدة . ونجد أن عرض هذا المسرى يحدد حجم الذاكرة RAM التي يمكن تركيبها في نظام الحاسوب حتى يتمكن مسرى العناوين من تحديد أي عنوان في الذاكرة RAM .

٣. مسرى التحكم Control Bus

عادة تستخدم خطوط التحكم للنفاذ إلى خطوط المعطيات والعنونة وترسل إشارات التحكم كلاً من معلومات الأوامر والتوقيت بين وحدات النظام حيث :

- تشير إشارة التوقيت إلى صلاحية معلومة المعطيات والعنونة .
- تحدد إشارة الأوامر العمليات الواجب القيام بها .

وتتضمن خطوط التحكم ما يلي :

- **كتابة في الذاكرة** : تؤدي إلى كتابة المعطيات الموجودة على المسرى في الوقع المعنون من الذاكرة.
- **قراءة الذاكرة** : تؤدي إلى وضع المعطيات على المسرى من الموقع المعنون من الذاكرة .
- **كتابة في I/O** : تؤدي إلى إخراج المعطيات الموجودة على المسرى إلى المنفذ المعنون .
- **قراءة I/O** : تؤدي إلى وضع المعطيات من I/O المعنون على المسرى .
- **نقل إشارة** : تشير إلى أن المعطيات قد تم قبولها من المسرى أو وضعت عليه .
- **طلب المسرى** : تشير إلى أن الوحدة تحتاج لأن تملك التحكم في المسرى .
- **منح المسرى** : تشير إلى أن الوحدة الطالبة للمسرى قد مُنحت التحكم بالمسرى .
- **طلب المقاطعة** : يشير إلى أن المقاطعة قد عُلقت .
- **قبول المقاطعة** : تشير أنه قد تم تمييز المقاطعة المعلقة .
- **الساعة clock** : تُستخدم لمزامنة العمليات .
- **التصفير Reset** : تضع جميع الوحدات في وضعها الابتدائي .

مثال :

إذا رغبت إحدى الوحدات في إرسال معطيات إلى وحدة أخرى يجب أن تقوم

بما يلي :

- ✓ طلب استخدام المسرى
- ✓ نقل المعطيات عبر المسرى

إذا رغبت إحدى الوحدات في طلب معطيات من وحدة أخرى يجب أن تقوم **بما يلي :**

- ✓ طلب استخدام المسرى
- ✓ نقل طلب إلى الوحدة الأخرى عبر خطوط العنونة والتحكم .

١-٤-٢- مواصفات المسرى

إن لكل مسرى في الحاسوب مواصفات وظيفية معينه وهذا يعني تردد المسرى , وعرض حزمة المسرى.

تردد المسرى :

هو عدد البتات المرسلة والمستقبلة عبر المسرى في الثانية الواحدة والممثلة في دورة تعليمة واحدة , ويقاس بالهيرتز .

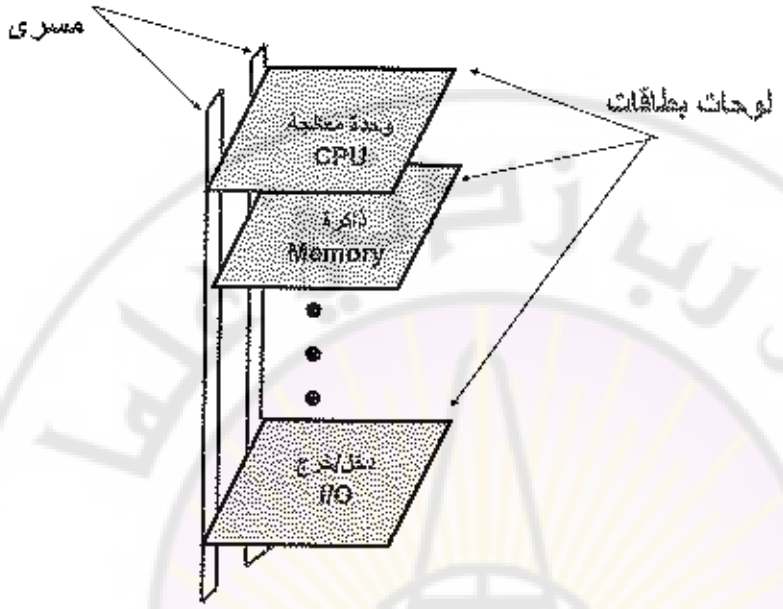
سعـــــة المسرى :

ويسمى أيضاً بعرض الحزمة Band Width , وتعتمد سعة المسرى على نوع الواجهة المستخدمة وتطبيقاتها.

١-٤-٣- المسرى من الناحية العتادية

يتألف مسرى النظام من عدد من النواقل الكهربائية المتوازية . وهذه النواقل هي خطوط معدنية محفورة على البطاقة (الدارة المطبوعة) أو اللوحة الأم . ويمتد المسرى عبر جميع مكونات النظام التي تربط بدورها إلى بعض أو جميع

خطوط المسرى .ويوضح الشكل(١-٦) الترتيب المادي الشائع لبنية المسرى .



الشكل (١-٦) - الترتيب المادي الشائع لبنية المسرى

يتألف المسرى في هذا المثال من عمودين شاقوليين من النواقل وتوجد نقاط وصل على مسافات نظامية على طول العمود على هيئة شقوق slots ممتدة أفقياً إلى الخارج لتدعم بطاقة الدارة المطبوعة . ويشغل كل من مكونات النظام الرئيسية لوحة أو أكثر وتربط على المسرى في هذه الشقوق(slots) ويوضع الترتيب كاملاً ضمن هيكل معدني .

١-٤-٤- مشاكل المسرى الوحيد

إذا تم وصل عدد من الأجهزة على مسرى واحد فإن هذا يسبب إلى تراجع الأداء بسبب :

❖ أن زيادة عدد الأجهزة يؤدي إلى **ازدياد طول المسرى** ، وهذا يؤدي لزيادة تأخير الانتشار .

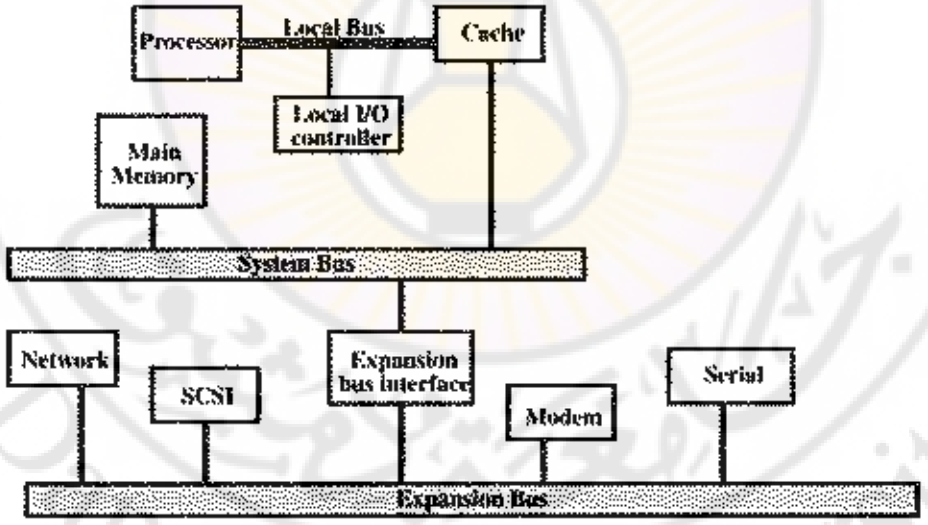
❖ يصبح المسرى **موضع اختناق** عندما يقترب طلب نقل كتل المعطيات الإجمالي من سعة المسرى .

للتغلب على هذه المشاكل ،يتم زيادة معدل نقل المعطيات التي يستطيع نقلها وذلك باستخدام مساري أعرض . ولكن نظراً للتزايد السريع لمعدلات نقل المعطيات يتم استخدام البنى المتعددة المساري .

١-٥- الترتيب الهرمي المتعدد المساري

Multiple Bus Hierarchies

تستخدم معظم الحواسيب مساري متعددة توضع عادة في ترتيب هرمي . ويبين الشكل (١-٧) بنية تقليدية نموذجية للمسرى .



الشكل (١-٧) – بنية تقليدية نموذجية للمسرى

من هذا الشكل نجد :

- يوجد مسرى محلي Local Bus يربط المعالج بذاكرة كاش وهذا يمكن أن تدعم جهاز واحد أو عدة أجهزة محلية .
- يربط متحكم ذاكرة الكاش هذه الذاكرة بالمسرى المحلي ويربطها بمسرى النظام والذي تُربط به جميع وحدات الذاكرة الرئيسية .
- إن استخدام ذاكرة كاش سيعزل المعالج عن الحاجة المتكررة إلى النفاذ إلى الذاكرة الرئيسية .
- يمكن فصل الذاكرة الرئيسية عن المسرى المحلي ونقلها إلى مسرى النظام . وبالتالي لا تتعارض عندئذ عمليات نقل الدخل/الخرج I/O من أو إلى الذاكرة الرئيسية عبر مسرى النظام مع فعالية المعالج .
- يمكن ربط متحكمات دخل/خرج I/O مباشرة إلى مسرى النظام ، لكن الحل الأكثر فعالية هو استخدام مسرى توسيع واحد أو أكثر لهذا الغرض .
- تعزل واجهة ربط مسرى التوسيع عمليات نقل المعطيات بين مسرى النظام ومتحكمات I/O على مسرى التوسيع .
- يسمح هذا الترتيب للنظام بدعم تنوع واسع لأجهزة I/O وبعزل حركة المرور بين المعالج والذاكرة عن حركة مرور I/O في الوقت ذاته .

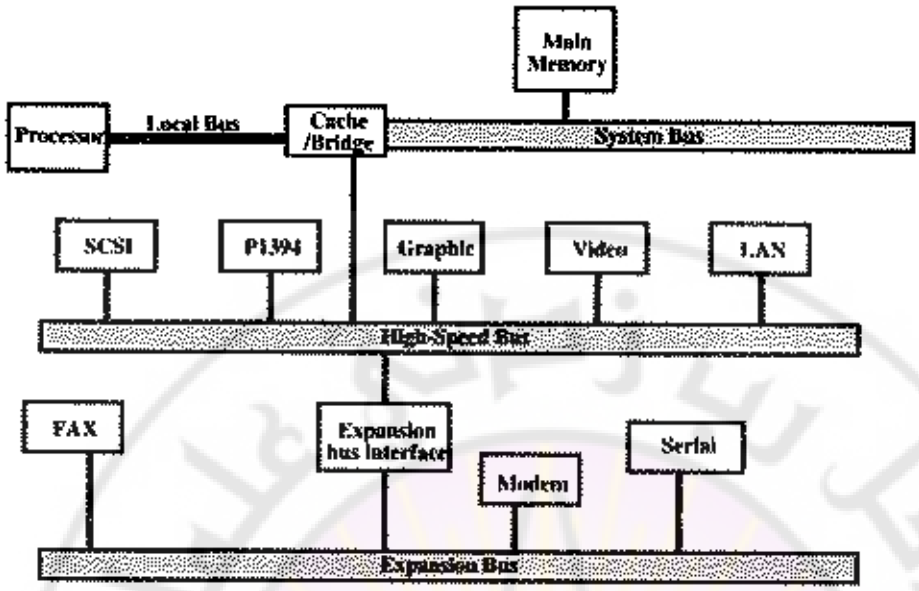
تتكون اللوحة الأم من دارة مطبوعة PCB تحتوي على جميع العناصر الالكترونية اللازمة لنظام الحاسوب وموصلات دقيقة . ووظيفة هذه الموصلات هي توصيل أجزاء الحاسوب المختلفة مع بعضها مثل بطاقة الفيديو وبطاقة الصوت ولوحة المفاتيح وغيرها، وباختلاف متطلبات هذه الأجهزة يتم تحديد معدل نقل المعطيات. فبعضها يتطلب معدلات ضعيفة لنقل المعطيات تتناسب مع

الوظيفة المنوطة بها , والبعض الآخر يتطلب معدلات عالية لنقل المعطيات حتى تؤدي وظيفتها على أكمل وجه.وتبعا لذلك فان معالجة المعطيات تتطلب طريقة معينه لنقلها بين الأجزاء المختلفة للحاسوب كالمعالج والذاكرة الرئيسية وكذلك بينهم وبين الأجهزة الأخرى المخصصة للإدخال والإخراج .

وجد لهذا الغرض المسرى المحلي للنظام ويمكن تعريفه على أنه مجموعة كبيرة من الموصلات الدقيقة موجودة على اللوحة الأم تقوم بنقل المعطيات بين الأجزاء المختلفة للحاسوب مثل المعالج والذاكرة الرئيسية. ونجد أن لكل مسرى مواصفات معينه تمكنه من أداء الوظيفة المطلوبة. مثل : المسرى ISA والمسرى EISA والمسرى PCI . ويوضح الشكل (١-٧) بعض الأمثلة التقليدية لأجهزة الدخل/الخرج I/O التي يمكن أن تربط إلى مسرى التوسيع . وتتضمن :

- ❖ توصيلات الشبكة – شبكات محلية LAN
- ❖ توصيلات لشبكة واسعة النطاق مثل Packet switching Network
- ❖ تعد وصلة SCSI نوعاً من المسرى المستخدم لدعم سواقات الأقراص المحلية والطرفيات .
- ❖ استخدام منفذ تسلسلي لدعم الطابعة أو الماسح الضوئي .

هذا البنيان التقليدي يبدأ بالتراجع مع ازدياد أداء أجهزة الدخل/الخرج I/O . وأن النهج الشائع في الصناعة , هو بناء مسرى عالي السرعة يكون متكاملاً مع بقية النظام بحيث ينبغي إضافة جسر فقط بين مسرى المعالج والمسرى العالي السرعة , ويعرف هذا الترتيب ببنيان المسرى المتوسط mezzanine . ويبين الشكل (١-٨) بنيان عالي الأداء للمسرى , **وميزة هذا البنيان :**



الشكل (١-٨) – بنيان عالي الأداء للمسرى

- يوجد مسرى محلي يربط المعالج بمتحكم ذاكرة الكاش, الذي يكون بدوره موصولاً إلى مسرى النظام الذي يدعم الذاكرة الرئيسية . ويكون متحكم ذاكرة الكاش متكاملاً ضمن جسر يرتبط بالمسرى عالي السرعة.
- يدعم التوصيلات إلى الشبكات المحلية LAN عالية السرعة .
- يدعم التوصيلات إلى متحكمات محطات العمل الفيديوية والبيانية بالإضافة إلى الترابط مع مساري الطرفيات SCSI و Fire Wire .
- مسرى عالي السرعة صمم لدعم أجهزة الدخل/الخرج I/O عالية السعات .
- أما التجهيزات ذات السرعة الأقل , فيمكن وصلها على مسرى التوسيع, بواسطة واجهة ترابط تؤدي دور مخزن Buffer لحركة المعطيات بين مسرى التوسيع والمسرى عالي السرعة .

فائدة هذا الترتيب :

أن المسرى العالي السرعة يتيح مكاملة الأجهزة التي تكون كثيرة الطلب مع المعالج مع بقائها في الوقت ذاته مستقلة عنه . وبذلك يمكن تجاوز الاختلافات بين سرعة المعالج وسرعة المسرى العالي السرعة .

٦- أنواع المسرى Bus Types

يمكن تمييز نوعين عامين من المسرى وهما :

١. مسرى مخصص Dedicated

٢. مسرى غير مخصص (مجمع) Multiplexed

- **خط المسرى المخصص** : يكون هذا المسرى معيناً دوماً إما لوظيفة واحدة أو لمجموعة فرعية مادية من مكونات الحاسوب .
  - **مثال :** استخدام مسرى لخطوط العنونة ومسرى للمعطيات .
- **خط المسرى غير المخصص** : هو استخدام الخطوط ذاتها من أجل أغراض متعددة .
  - **مثال :** يمكن أن ترسل معلومات العنوان والمعطيات على نفس مجموعة الخطوط , باستخدام الخط المسمى " خط العنوان الصالح Address Valid " (هو خط تحكمي ليبين ما هو موجود على المسرى : معطيات أم عناوين) .

ويوضع العنوان على المسرى في بداية نقل المعطيات , ويفعّل خط العنوان الصالح. وتمتلك عند هذه اللحظة كل وحدة مدة زمنية محددة لينسخ العنوان, ويقرر فيما إذا كانت هي الوحدة المطلوبة (عنوانها) . ثم يزال العنوان بعدئذ

من المسرى وتستخدم وصلات المسرى ذاتها من أجل نقل المعطيات لإجراء R/W .

❑ فائدة هذه الطريقة :

- استخدام عدد خطوط أقل .
- يوفر في حجم الكلفة .

❑ السيئة :

- بحاجة إلى دارات أعقد .
- الأداء ينخفض .

١-٧- طريقة تحكيم المسرى Method Of Bus Arbitration

يمكن أن تكون هناك أكثر من وحدة تتحكم في المسرى , مثل : متحكم وحدة المعالجة CPU والنفاذ المباشر إلى الذاكرة DMA , وتستطيع وحدة واحدة التحكم في المسرى في زمن ما وأن ترسل بنجاح عبر المسرى. لذلك بحاجة إلى التحكيم بين هذه الوحدات لتنظيم عملها . الهدف من التحكيم هو تعيين جهاز واحد إما المعالج أو وحدة الدخل/الخرج I/O سيد Master للمسرى وهو الذي يبادر في نقل المعطيات إلى جهاز أخر يعمل كتابع Slave في هذا التبادل .

❁ يمكن تصنيف طرق التحكيم إلى :

١. التحكيم المركزي Centralised Arbitration .
٢. التحكيم الموزع Distributed Arbitration .

☒ التحكيم المركزي

يتولى جهاز بنيوي وحيد (يسمى متحكم المسرى أو الحكم Arbiter)

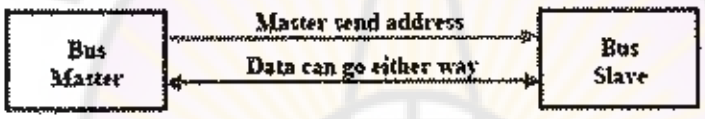
مسؤولية تخصيص الزمن على المسرى . ويمكن أن يكون هـذا الجهـاز جزء من وحدة المعالجة CPU أو مستقل عنها.

التحكيم الموزع

لا يوجد متحكم مركزي . فكل وحدة يمكن أن تسيطر على المسرى . وكـل وحدة تحتوي على منطق للتحكم في النفاذ إلـى المسرى . وتعمـل الوحـدات مجتمعة للتشارك في المسرى .

السيد مقابل التابع Master versus Slave

يبين الشكل (١-٩) مقاربة بسيطة بين السيد والتابع .



الشكل (١-٩) – مقاربة بسيطة بين السيد والتابع

- **يتضمن تداول المسرى جزأين :**
  - إرسال العناوين .
  - استقبال أو إرسال المعطيات .
- **السيد Master** : هو الذي يبدأ بمداولة المسرى عن طريق :
  - إرسال العنوان .
- **التابع Slave**: هو الذي يستجيب للعنوان عن طريق :
  - إرسال المعطيات إلى السيد إذا طلب منه ذلك .
  - يستقبل المعطيات من السيد إذا أراد إرسال المعطيات .

١-٨- بروتوكولات نقل المعطيات

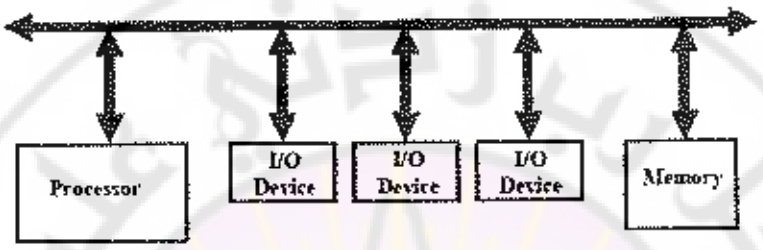
لضمان وثوقية نقل المعطيات بين تجهيزتين تعملان بشكل مستقل , لا بد من اتخاذ إجراءات معينة قبل بدء الاتصال . ومن الضروري الحفاظ على ظهور المعلومات على خط الاتصال لفترة كافية , لإعلام التجهيزة المستقبلة أن المعطيات قد أرسلت , ولكي تستطيع هذه التجهيزة استقبالها . ويمكن أن يتغير طول هذه الفترة تبعاً للمسافة الفاصلة بين التجهيزتين , ولذلك تستخدم إجرائيات " المصافحة Hand Shaking " لضمان سلامة الاتصال . وتقوم التجهيزة التي تطلب المعطيات بتفعيل إشارة " طلب Request " على خط الاتصال , وعندما تتلقى تجهيزة المصدر هذه الإشارة تقوم بإرسال إشارة التعرف "Acknowledge" (إشعار القبول) , وتضع المعطيات على المسرى , وعندما تصل إشارة التعرف إلى التجهيزة التي طلبت المعطيات تقوم بقراءة المعطيات المتوافرة على المسرى , ثم تحجب إشارة الطلب , ويجب أن تحافظ تجهيزة المصدر على بقاء المعطيات على المسرى حتى تحجب إشارة الطلب .

بالمقابل , عندما تريد تجهيزة ما إرسال معطيات إلى تجهيزة أخرى , ترسل المعطيات مع إرسال إشارة " الجاهزية Ready " وتقوم التجهيزة المستقبلة بقبول هذه المعطيات عندما ترى إشارة " الجاهزية " ثم ترسل إشارة " التعرف " ويجب على الوحدة المرسلة الحفاظ على ظهور المعطيات على خطوط الاتصال حتى تتلقى إشارة " التعرف " من التجهيزة المستقبلة .

تُعدّ طريقة المصافحة هذه عالية الوثوقية فهي تتطلب المشاركة الفعالة من التجهيزتين الموجودتين على طرفي خط الاتصال , فإذا حدث خطأ ما في إحدى التجهيزتين لن تكتمل الحلقة , طبعاً سيؤدي مثل هذا الوضع إلى تعليق العمل , ويمكن اكتشاف هذا الوضع بالانتظار لفترة محددة " Time — Out " فإذا توقف الاتصال خلال هذه الفترة تُقاطع عملية الاتصال.

١-٩- ميزات ومساوئ المساري

يبين الشكل(١-١٠) ممرى النظام مع أجهزة الدخل/الخرج I/O الموصولة بالممرى .



الشكل(١-١٠) - ممرى النظام مع أجهزة الدخل/الخرج I/O

١-٩-١- ميزات المساري Advantages of Buses

- **استعمالات متعددة :**
  - يمكن للأجهزة الجديدة أن تضاف بسهولة .
  - يمكن للوحدات الطرفية أن تتنقل بين أنظمة الحواسيب التي لها نفس المساري المعيارية .
- **الكلفة :**
  - ذات كلفة منخفضة , ويمكن توزيع أي مجموعة من الأسلاك بطرق مختلفة .

١-٩-٢- مساوئ المساري Disadvantages of Buscs

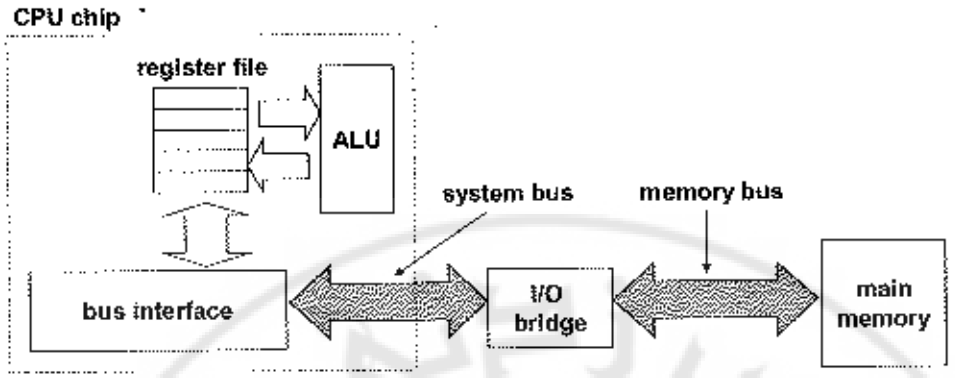
أهمها :

- **حدوث الاختناقات (عنق الزجاجة) :**
  - يحدد عرض المسرى الطاقة الإنتاجية العظمى لوحدة الدخل/الخرج I/O .
- **تحدد السرعة العظمى للمسرى , وذلك بسبب :**
  - طول المسرى .
  - عدد الأجهزة الممكن وصلها على المسرى .
  - التأخيرات المختلفة جداً .
  - معدلات نقل المعطيات المختلفة جداً .

١-١٠- بنية المسرى لوصل وحدة CPU والذاكرة الرئيسية
Typical Bus Structure Connecting CPU and Memory

قلنا : إن المسرى هو تجمع من الأسلاك المتوازية التي تنقل العناوين والمعطيات وإشارات التحكم . وتشترك المساري بشكل نموذجي مع الأجهزة المتعددة الموصولة بنظام الحاسوب .ويوضح الشكل (١-١١) المسرى النموذجي بين وحدة المعالجة CPU والذاكرة الرئيسية Main Memory ووحدة الدخل/الخرج I/O .

ويتم عزل مسرى النظام ومسرى الذاكرة الرئيسية عن مسرى الدخل/الخرج بواسطة جسر , وذلك لكي لا تتعارض عمليات نقل الدخل/الخرج من/إلى الذاكرة الرئيسية عبر مسرى النظام مع فعالية المعالج .



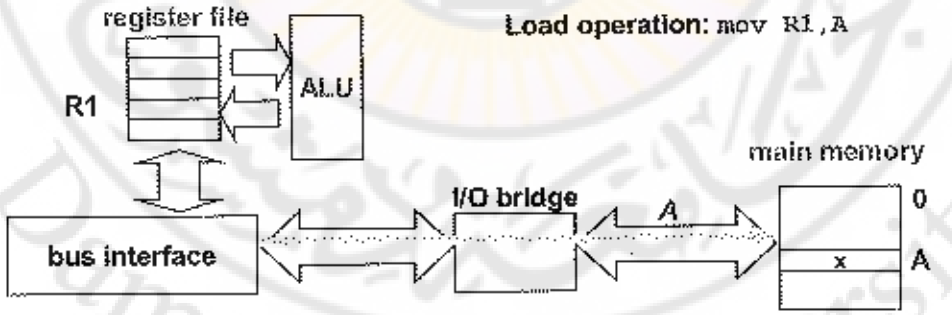
الشكل (١-١١) – المسرى النموذجي لمكونات الحاسوب

١-١٠-١- مراحل قراءة كلمة من الذاكرة

إن عملية قراءة كلمة من الذاكرة تمر بالمراحل التالية :

المرحلة (١) :

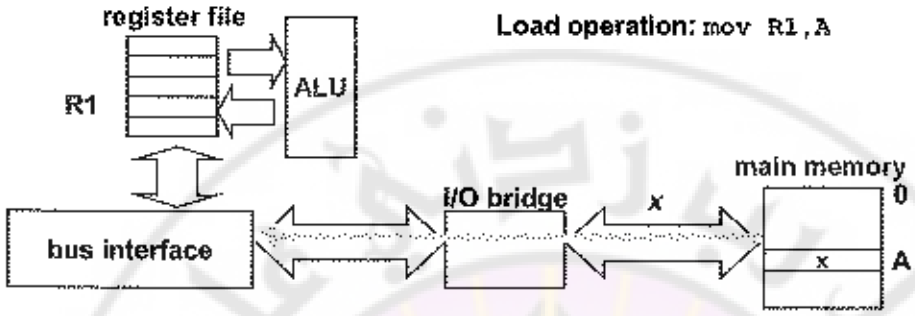
تضع وحدة المعالجة CPU العنوان A على مسرى الذاكرة . ويبين الشكل (١-١٢) هذه المرحلة.



الشكل (١-١٢) – مرحلة وضع العنوان على المسرى

المرحلة (٢) :

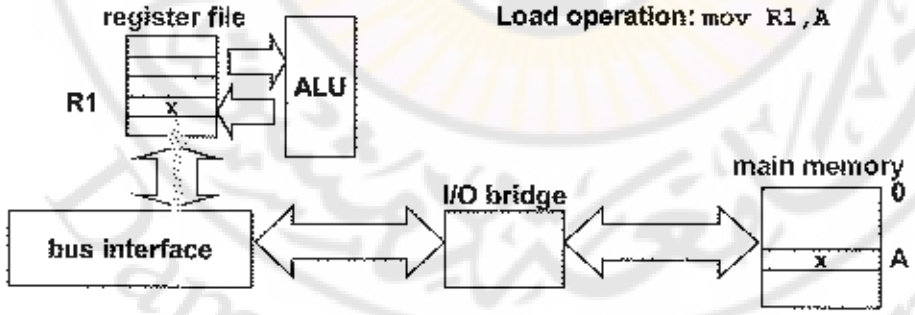
تقرأ الذاكرة الرئيسية العنوان A من مسرى الذاكرة وتضع الكلمة x على المسرى . ويبين الشكل (١-١٣) هذه المرحلة.



الشكل (١-١٣) – مرحلة وضع المعطيات على المسرى

المرحلة (٣) :

تقرأ وحدة المعالجة CPU الكلمة x من المسرى وتنسخها إلى السجل R1 . ويبين الشكل (١٤) هذه المرحلة.



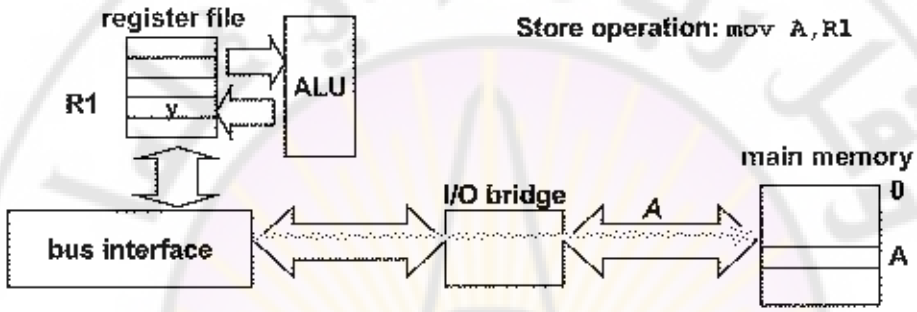
الشكل (١-١٤) – مرحلة نسخ المعطيات إلى السجل R1

١-١٠-٢- مراحل كتابة كلمة في الذاكرة

إن عملية كتابة كلمة في الذاكرة تمر بالمراحل التالية :

المرحلة (١) :

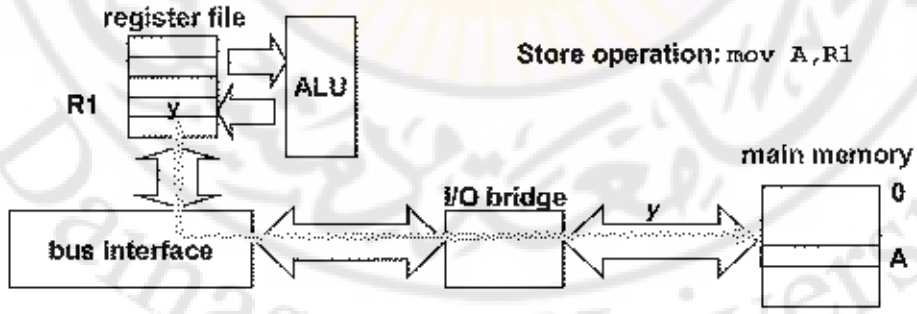
تضع وحدة المعالجة CPU العنوان Aعلى المسرى . ثم تقرأ وحدة الـذاكرة الرئيسية العنوان وتنتظر وصول المعطيات المرسلة على المسرى . ويبين الشكل (١-١٥) هذه المرحلة.



الشكل (١-١٥) – مرحلة وضع العنوان على المسرى

المرحلة (٢) :

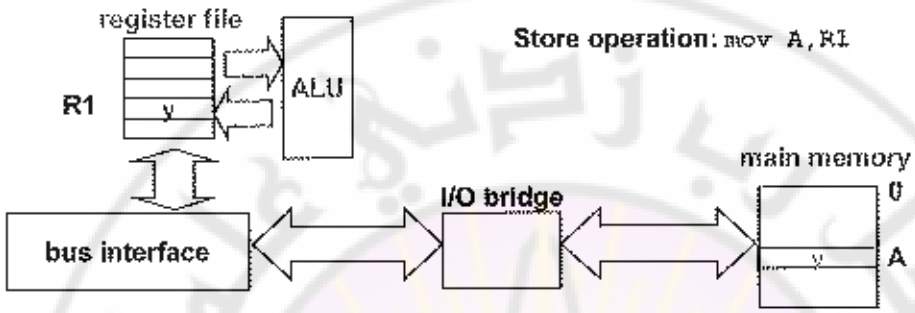
تضع وحدة المعالجة CPU المعطيات على المسرى . ويبين الشكل (١-١٦) هذه المرحلة.



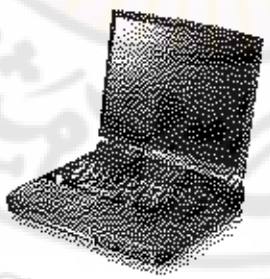
الشكل (١-١٦) – مرحلة وضع المعطيات على المسرى

المرحلة (٣) :

تقرأ وحدة الذاكرة الرئيسية المعطيات y من المسرى وتخزنها في العنوان A في الذاكرة . ويبين الشكل (١-١٧) هذه المرحلة.

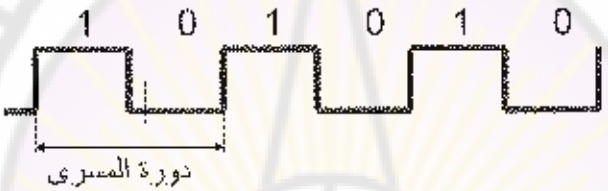


الشكل (١-١٧) – مرحلة تخزين المعطيات في العنوان A في الذاكرة



١-١١- التوقيت Timing

يشير التوقيت إلى الطريقة التي تكون الأحداث متناسقة زمنياً مع المسرى . ويحدد في التوقيت المتزامن حدوث الأحداث على المسرى بنبضة الساعة Clock .ويتضمن المسرى خط الساعة , حيث ترسل الساعة نبضات متتالية ومنتظمة بالتناوب 1 و 0 . ويشار إلى عملية نقل وحيدة 0 ← 1 بدور المسرى أو دور الساعة Clock. وتستطيع جميع الأجهزة المربوطة على المسرى أن تقرأ خط الساعة . ويبين الشكل (١٨) دورة المسرى .



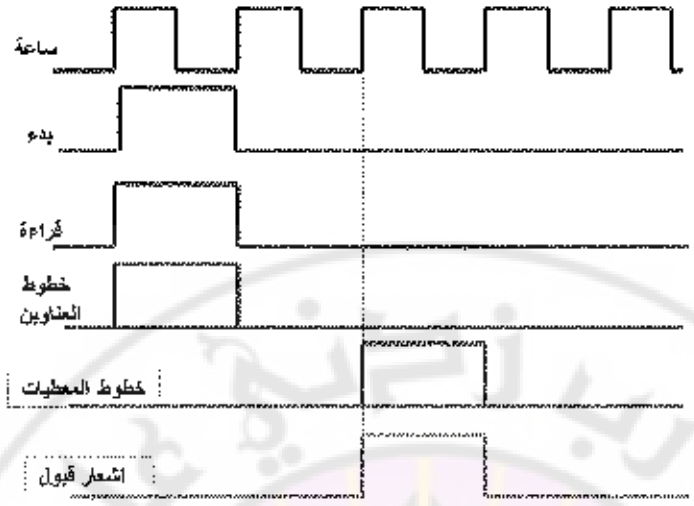
الشكل (١-١٨) - دورة المسرى

تبدأ جميع الأحداث مع بداية خط الساعة . وعادة التزامن يكون عند الجبهة الصاعدة لنبضات الساعة . وتستغرق عادة معظم الأحداث دورة ساعة واحدة . ويبين الشكل (١-١٩- أ) المخطط الزمني لعملية قراءة متزامنة .

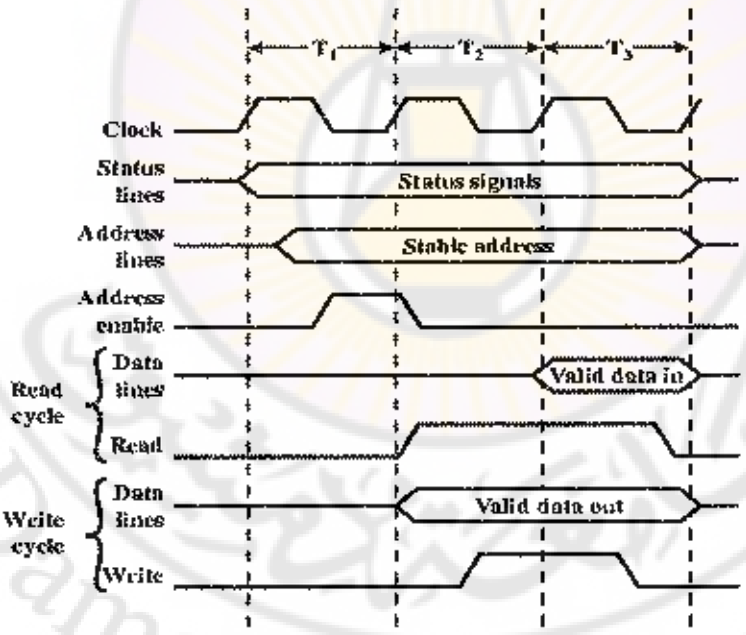
١-١١-١- التوقيت المتزامن وغير المتزامن

في التوقيت المتزامن :

- يصدر المعالج إشارة قراءة ويضع عنوان الذاكرة على مسرى العنوان .
- يصدر إشارة بدء للدلالة على توفر العنوان ومعلومات التحكم على المسرى .



(أ)



(ب)

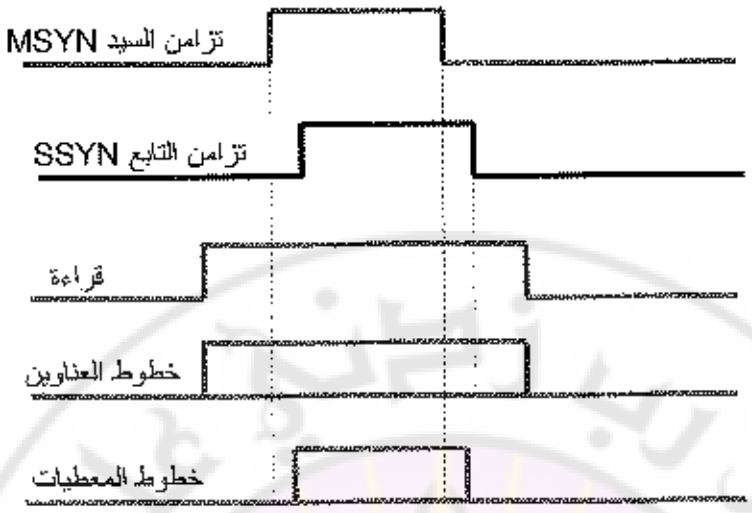
الشكل (١-١٩) – مخطط التوقيت لعملية قراءة متزامنة

❖ تتعرف وحدة الذاكرة على العنوان وتضع (بعد تأخير قدره دورة واحدة) المعطيات وإشارة الإشعار على المسرى . ويوضح الشكل (١-١٩-ب) مخطط التوقيت المتزامن .

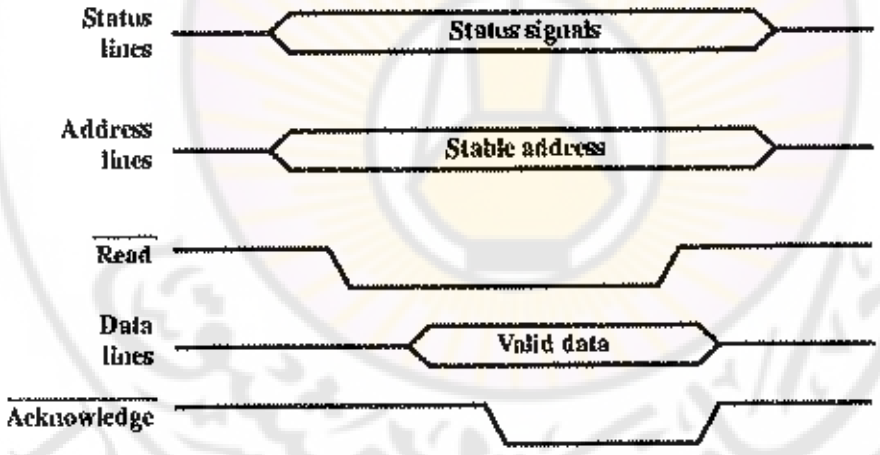
❁ في التوقيت غير المتزامن :

- ❑ يضع المعالج العنوان وإشارات القراءة على المسرى وبعد التوقف من أجل استقرار هذه الإشارات يصدر الإشارة MSYN (Master Sync) مشيراً إلى توفر عنوان وإشارات تحكم صالحة .
- ❑ تستجيب وحدة الذاكرة وتضع المعطيات والإشارة SSYN (Slave Sync) مشيراً إلى الاستجابة .
- ❑ حالما يقرأ السيد المعطيات من خطوط المعطيات يقوم بإلغاء تفعيل إشارة MSYN .
- ❑ يؤدي هذا إلى أن تقوم وحدة الذاكرة بتحرير خطوط المعطيات والإشارة SSYN .
- ❑ أخيراً حالما يحرر الخط SSYN يزيل السيد إشارة القراءة ومعلومات العنوان .

ويبين الشكل (١-٢٠- أ) والشكل (١-٢٠-ب) المخطط الزمني لعملية قراءة غير متزامنة . أما الشكل (١-٢١) يبين المخطط الزمني لعملية الكتابة غير المتزامنة .

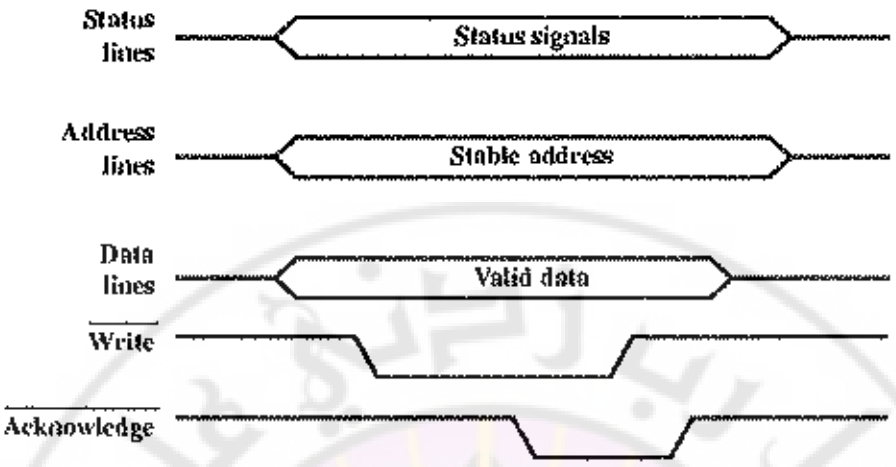


(أ) المخطط الزمني لعملية قراءة غير متزامنة



(ب) المخطط الزمني لعملية قراءة غير متزامنة

الشكل (١-٢٠) – المخطط الزمني لعملية قراءة غير متزامنة



الشكل (١-٢١) – المخطط الزمني لعملية الكتابة غير المتزامنة

نستنتج :

- يعتبر التحقيق المتزامن أبسط واختباره أسهل لكنه أقل مرونة من التوقيت غير المتزامن .
- باعتبار جميع الأجهزة في المسرى المتزامن ترتبط بخط الساعة الثابت, لذلك لا يستطيع النظام الاستفادة من التطور في أداء الجهاز .
- يمكن في التوقيت غير المتزامن مزج الأجهزة البطيئة والسريعة .

١-١١-٢- عرض المسرى Bus Width

– إن لعرض المسرى أثراً على أداء النظام :

- كلما كان مسرى المعطيات أعرض ازداد عدد البتات المنقولة دفعة واحدة .

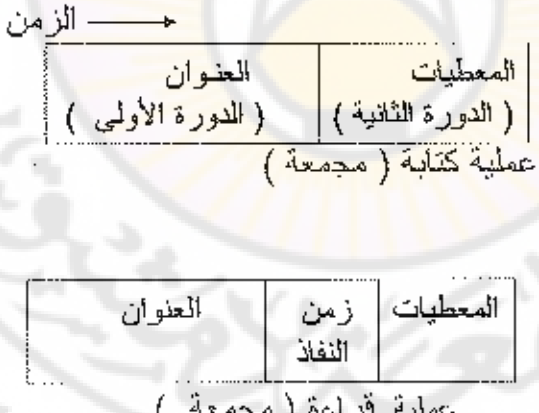
- إن لعرض المسرى تأثيراً على سعة النظام :

❖ كلما كان مسرى العنوان أعرض توسع مجال المواقع التي يمكن عنونتها .

١-١٢- أنواع نقل المعطيات Data Transfer Type

يدعم المسرى أنواعاً مختلفة لنقل المعطيات . وتدعم جميع المساري عمليتي الكتابة (سيد إلى تابع) والقراءة (تابع إلى سيد) .

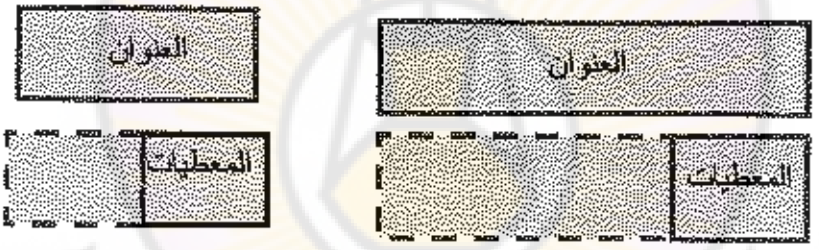
☒ **في حالة المسرى ذي خطوط العنونة والمعطيات غير المخصصة Multiplexed** , يستخدم المسرى أولاً لتعيين العنوان وبعدئذ لنقل المعطيات . في عملية القراءة يحدث عادة انتظار عند جلب المعطيات من التابع لتوضع على المسرى . ويبين الشكل (١-٢٢) عملية القراءة والكتابة المجمعة .



الشكل (١-٢٢) – عملية الكتابة والقراءة المجمعة

يمكن أن يحدث تأخير في عملية القراءة أو الكتابة إذا كان من الضروري المرور بمرحلة التحكيم لكسب التحكم بالمسرى لبقية العملية.

☒ **يوضع العنوان في حالة مسرى معطيات وعنوانه مخصص على مسرى العنوان** ويبقى كذلك ما دامت المعطيات على مسرى المعطيات. ويضع السيد من أجل عملية الكتابة المعطيات على مسرى المعطيات فور استقرار العناوين وتسنح الفرصة للتابع لتمييز العنوان الخاص به . يضع التابع من أجل عملية القراءة المعطيات على مسرى المعطيات فور تعرفه على العنوان الخاص بجلب المعطيات . ويوضع الشكل (١-٢٣) عملية القراءة والكتابة المخصصة .



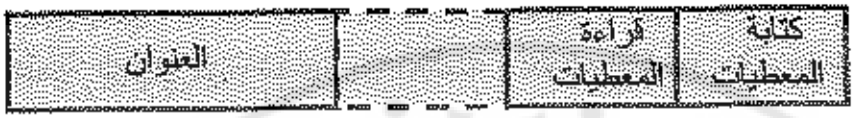
عملية كتابة مخصصة

عملية قراءة مخصصة

الشكل (١-٢٣) – عملية القراءة والكتابة المخصصة

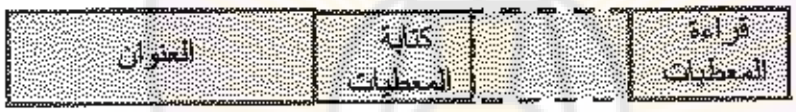
☒ **إن عملية (قراءة – تعديل – كتابة) (Read – Modify Write)** هي ببساطة عملية قراءة متبوعة فوراً بعملية كتابة إلى الموقع ذي العنوان نفسه . ويبث العنوان لمرة واحدة فقط في بداية العملية . ولا يمكن تجزئة العملية كلها لمنع سادة المسرى المحتملين للمسرى من أي نفاذ إلى عنصر

من المعطيات . والهدف منه هو حماية موارد الذاكرة المشتركة في نظام متعدد البرمجة . والشكل (١-٢٤) يوضح عملية قراءة – تعديل – كتابة .



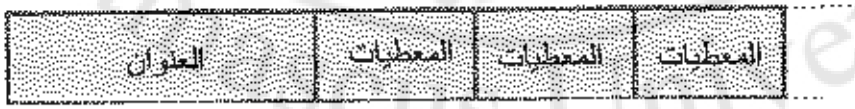
الشكل (١-٢٤) – يوضح عملية قراءة – تعديل – كتابة

☒ **تكون عملية قراءة– بعد– كتابة (Read – after – Write)** غير قابلة للتجزئة , وتتألف من كتابة متبوعة فوراً بقراءة من الموقع ذي العنوان نفسه . قد تنفذ عملية القراءة لأغراض الاختبار . ويبين الشكل (١-٢٥) عملية قراءة بعد كتابة **(Read – after – Write)** .



الشكل (١-٢٥) – عملية قراءة بعد كتابة **(Read – after – Write)**

☒ تدعم **بعض أنظمة المسرى أيضاً نقل كتلة معطيات** . وتتبع دورة العنوان الوحيدة في هذه الحالة n دورة معطيات . وتنقل بند المعطيات الأول إلى أو من العنوان المحدد , وتنقل بقية بنود المعطيات إلى أو من العناوين التالية . ويبين الشكل (١-٢٦) نقل كتلة المعطيات .



الشكل (١-٢٦) – نقل كتلة المعطيات

١-١٣- مساري الدخل/الخرج والجسر الجنوبي

I/O Buses And The South Bridge

١-١٣-١- مقدمة

حدثت تطورات مهمة على اللوحات الأم خلال السنوات الماضية،وبشكل خاص على مساري النظام. الترددات العالية لنبضات الساعة لوحدة المعالجة CPU , والسعة العالية لنقل المعطيات , كان لهذه التطورات أثرها على أنظمة الدخل/الخرج I/O . ويبين الجدول (١-١) مقارنة مختصرة بين مسرى النظام ومساري الدخل/خرج .

المسرى Bus	مجاري الجسر الشمالي The north bridge's buses	مجاري الدخل/الخرج The I/O buses
Variant	FSB – RAM – AGP – PCI Expressx16 - CSA	ISA – PCI – PCI Express – USB – ATA – SCSI – Firewire -
Connects	CPU – RAM – Video - Ethernet	All other devices
Clock freq	66 – 1066 MHz	Typically 10 – 33MHz/sec
Maximum capacity	>3GB/sec	Typically 20 – 500 MB/sec per bus

الجدول (١-١) – مقارنة مختصرة بين مسرى النظام ومساري الدخل/خرج

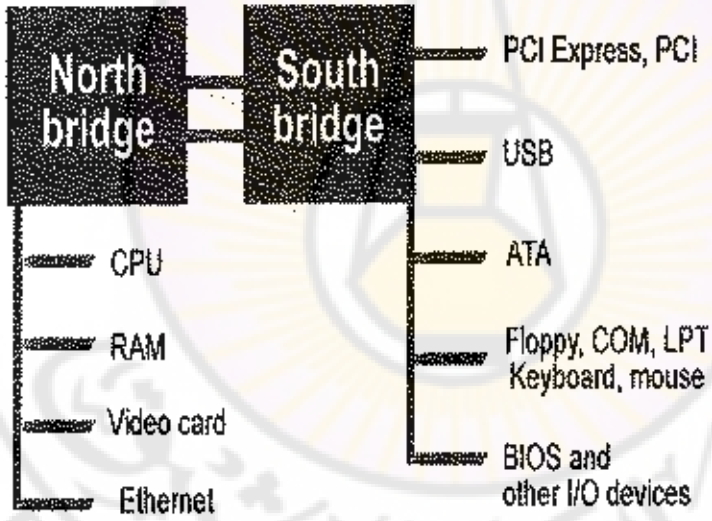
وأصبحت الطلبات على الأقراص الصلبة أسرع وبعرض مجال أكبر من/إلى الأجهزة الطرفية الخارجية كالماسحات والكاميرات الرقمية. وقاد هذا إلى الاستمرار بتطوير متحكمات الدخل/الخرج I/O الموجودة في الجسر الجنوبي .

يمكننا حساب سعة مسرى المعطيات بالاعتماد على عرض المعطيات و تـــردد الساعة .

١-١٣-٢- الجسر الشمالي والجنوبي

The North bridge And The South Bridge

يوجد في الحاسوب مسرى جانبي FSB (Front Side Bus) أو ما يسمى مسرى النظام System Bus ، وهو مـــسرى مباشـــر ثنـــائي الاتجـــاه ينقـــل المعلومات (الإشارات) بين وحدة CPU والجسر الشمالي North bridge . ويبين الشكل (١-٢٧) التجهيزات التي ترتبط بالجسر الشمالي والجنوبي.

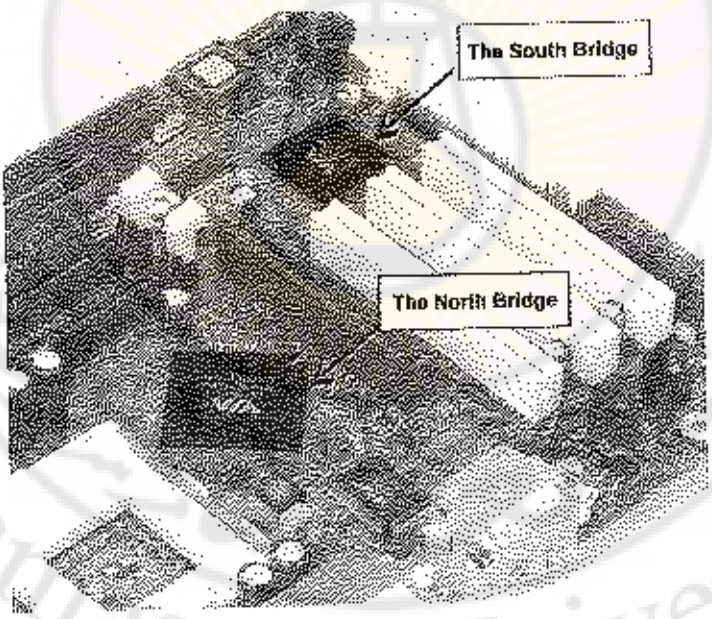


الشكل (١-٢٧) – بنية الجسر الشمالي والجنوبي

يوصل المسرى الجانبي الخلفي Back Side Bus وحدة المعالجـــة CPU بذاكرة الكاش ، ويعتبر هذا المسرى مع ذاكرة الكاش الموصولة أسرع في

النفاذ إلى ذاكرة RAM من المسرى الجانبي الأمامي FSB .

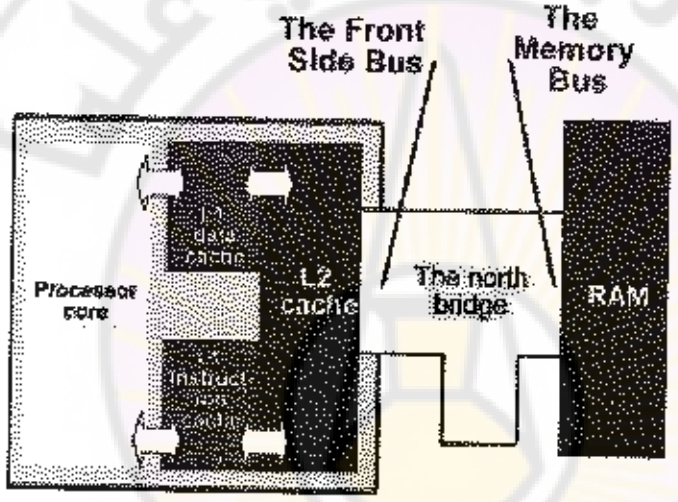
ويعالج الجسر الشمالي Northbridge اتصالات الربط بين وحدة المعالجة CPU والذاكرة RAM و الجسر الشمالي Northbridge وأيضا مسرى أو منفذ AGP (Accelerated (advanced)) Graphics Port) , أما الجسر الجنوبي Southbridge فيكون عادة بارزاً ولا يوصل مباشرة مع وحدة المعالجة CPU, أي أن الجسر الشمالي يربط الجسر الجنوبي بوحدة المعالجة CPU , ويتحكم الجسر الشمالي بتدفق المعطيات بين وحدة المعالجة CPU و RAM و AGP . ويمكن التحكم بوحدة الدخل/الخرج I/O المختلفة عن طريق المتحكم Controller في لوحة الأم . ويبين الشكل (١-٢٨) توضع الجسر الشمالي والجنوبي على اللوحة الأم .



الشكل (١-٢٨) - توضع الجسر الشمالي والجنوبي على اللوحة الأم

أ- مسرى الجانب الأمامي FSB (Front Side Bus)

هو وصلة فيزيائية تصل المعالج مع بقية الأجهزة المختلفة في الحاسوب التي تتضمن الذاكرة الرئيسية RAM,والأقراص الصلبة ,وشـــقوق الـــ (PCI) . ويعمل الجانب الأمامي للمسرى حالياً على تردد يصل إلى 400MHz , ويصل التردد مع الأنظمة الحديثة إلى 800 MHz . ويبين الشكل (١-٢٩) المـــسرى الجانبي الأمامي .

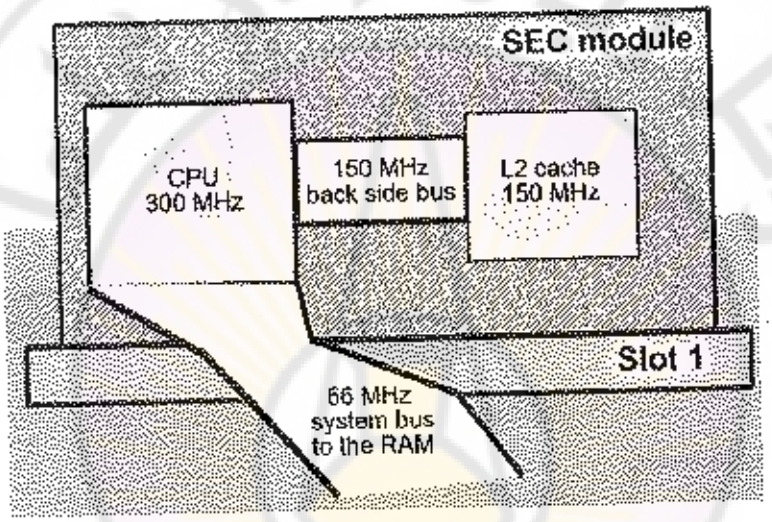


الشكل (١-٢٩) – المسرى الجانبي الأمامي

ب - مسرى الجانب الخلفي BSB(Back Side Bus)

هو وصلة وحيدة بين المعالج وذاكرة الكاش ذات المستوى الثاني , وهو يعمل بسرعات أعلى من الجانب الأمامي للمسرى , وتم تطويره على مدى سنوات عديدة . في التسعينات كان الجانب الخلفي للمسرى عبارة عن سلك واحد يصل المعالج مع ذاكرة الكاش (cache) .

وتتطلب هذه الشريحة ذاكرة غالية الثمن , وبعد فترة تم دمج ذاكرة الكاش ذات المستوى الثاني مع المعالج مما أدى إلى صغر حجم المعالجات , وأصبحت أرخص ثمنا , وبما أن ذاكرة الكاش في المعالج نفسه لم يعد الجانب الخلفي للمسرى وهو عبارة عن مسرى بحد ذاته . ويبين الشكل (١-٣٠) مسرى الجانب الخلفي .

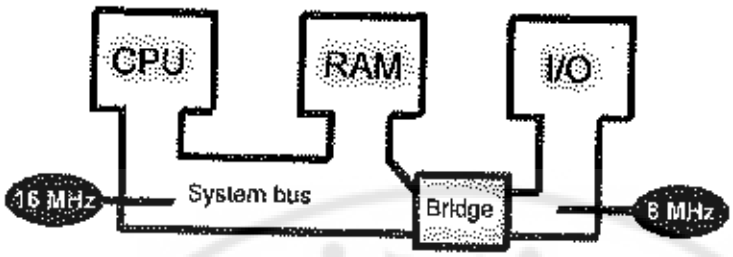


الشكل (١-٣٠) – مسرى الجانب الخلفي

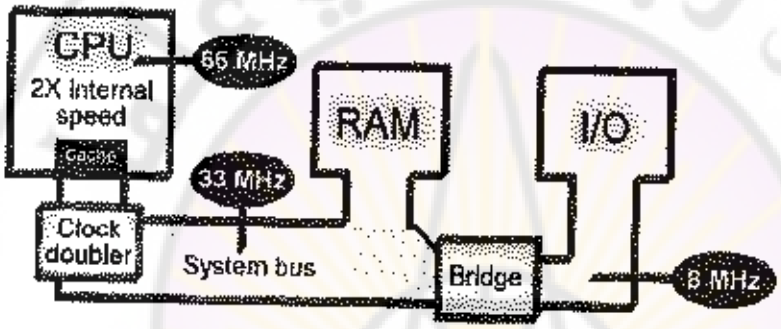
١-١٣-٣- وظائف مساري الدخل /خرج

Function of the I/O Buses

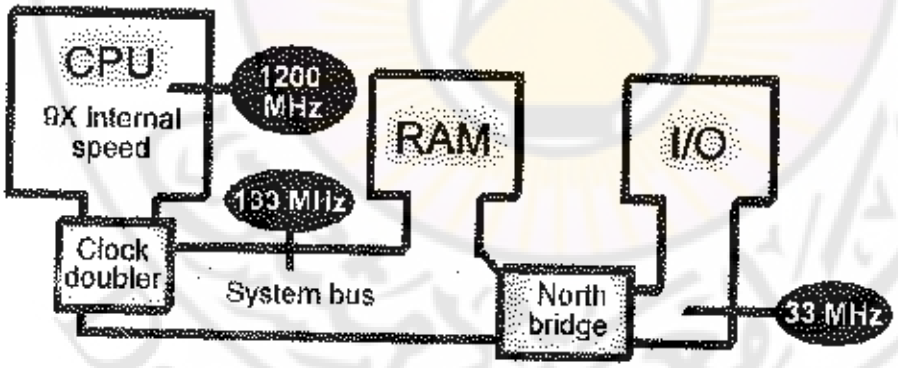
إن سبب تصميم الجسر الجنوبي المبين في الشكل (١-٣١) هو أن أجهـزة الدخل/خرج لا تستطيع مجاراة الترددات العالية للسرعة التي تعمل عندها وحدة المعالجة المركزية CPU والذاكرة . نتج عن ذلك ضجيج كهربائي ومشاكل



(أ) – مسرى النظام 80386



(ب) – مسرى النظام 80486



(جـ) – مسرى النظام Pentium 4

الشكل (١-٣١) – مسرى الدخل/الخرج I/O منفصل عن مسرى النظام

أخرى على اللوحة الأم عند تحميل الإشارات إلى البطاقة المدرجة. هناك عدد قليل من بطاقات التركيب (plug-in cards) تعمل على ترددات أكبر من 40 MHz , وبذلك كان لابد من تخفيض سرعة الدخل/الخرج I/O .

ثم طُوِّرت العديد من معايير مساري الدخل/الخرج I/O ، وكلها انبثقت من متحكمات الجسر الجنوبي والذي يتضمن :

- **المساري القديمة :** ISA و MCA و EISA و VL buses .
- **المساري الحديثة :** PCI و PCI Express و USB .

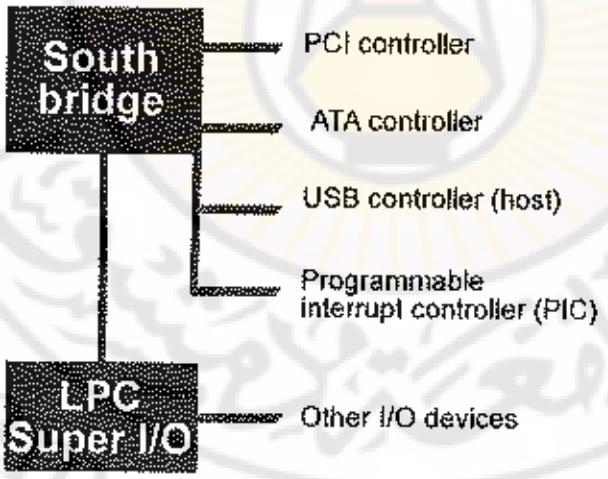
ويكمن الاختلاف بين هذه المساري في البنية , والتكوين , وطريقة وصلها إلى اللوحة الأم . وتُربط مساري الدخل/الخرج I/O المنتشرة في اللوحة الأم بعدد كبير من أجهزة الدخل /خرج، وتقوم متحكمات الجسر الجنوبي بربط هذه الأجهزة مع وحدة المعالجة CPU والذاكرة RAM .

١-١٣-٤- وظائف الجسر الجنوبي

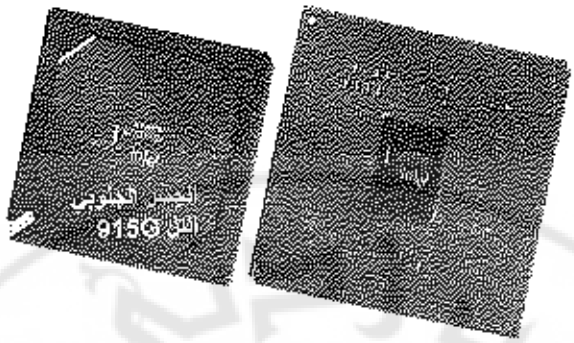
تمتلك تجهيزات الدخل/الخرج I/O المختلفة متحكماتها الخاصة المتوضعة على اللوحة الأم. وكانت اللوحات الأم في الثمانينات (1980's) تحتوي على العشرات من الشرائح المتكاملة , ولكل شريحة وظيفة محددة ، ومع مرور الزمن تم تجميع وظائف المتحكمات معا ليصبح لدينا عدد أقل من الشرائح ولكن بحجم أكبر. إن الجسر الجنوبي هو شريحة Chip على اللوحة الأم , وأحدث هذه الجسور هو الجسر الجنوبي من شركة إنتل (915 Chipset) وصممت هذه الشريحة من أجل لوحات الأم المتوافقة مع معالجات البنتيوم 4 (Pentium 4).ويبين الشكل (١-٣٣) شريحة إنتل 915G (الجسر الجنوبي) أما الشريحة الأخرى فهي أيضا لجسر جنوبي . ويبين الجدول (١-٢)

مكونات ووظائف الشريحة المتكاملة إنتل 915G . لكن عدد المتحكمات التقليدية لسواقة القرص المرن مفقودة ويمكن أن تستبدل بمتحكمات I/O الفائقة (Super I/O Controller) .

والجسر الجنوبي الحديث متحكم متعدد كبير Large Multi-Controller يضم عدداً من الوظائف المتجمعة المُدارة بواسطة الشرائح المستقلة ، وبالتالي فهو يضم جميع الوظائف التي كانت تقوم بها الشرائح المتكاملة السابقة . وأُكمل الجسر الجنوبي بمتحكم الدخل/الخرج الفائق Super I/O Controller الذي يهتم بعدد من الوظائف الأقل حرجاً, والتي كانت مسندة إلى شرائح متكاملة متعددة في الماضي . وعادة ما يتم ربطه إلى الجسر الجنوبي عبر مسرى ISA، وفي البنى المتقدمة تستخدم واجهة الترابط LPC (Low Pin Count) . ويبين الشكل (١-٣٢) الجسر الجنوبي كجزء من الشريحة ومزودة بمتحكم الدخل/الخرج الفائق (Super I/O).



الشكل (١-٣٢) – الجسر الجنوبي كجزء من الشريحة ومزودة بمتحكم Super I/O



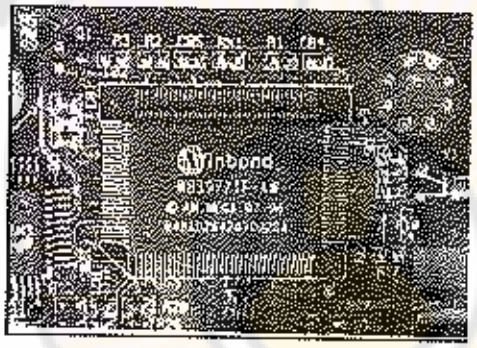
الشكل (١-٣٣)- شريحة إنتل 915G (الجسر الجنوبي)

Component	Description
DMI	Direct Media Interface is the connection to the memory with a bandwidth of max 2 GB/sec.
PCI Express	Hi-speed bus for I/O adapters
PCI ports	Standard I/O bus.
Serial ATA	Controller for up to four SATA hard disks
Matrix Storage	Advanced Host Controller Interface for RAID 0 and 1 on the same drives. Including support for Native Command Queuing and hot plug drive swaps.
Ultra ATA/100	Controller for PATA devices like hard disks, DVD- and CD-drives.
USB ports	Hi-speed USB 2.0 ports.
7.1 channel audio	Option for integrated sound device with surround, Dolby Digital and DTS.
AC97 modem	Integrated modem.
Ethernet	Integrated 10/100 Mbs network controller.

الجدول (١-٢) – مكونات ووظائف الشريحة المتكاملة إنتل 915G

١-١٣-٥- متحكمات الدخل/الخرج I/O الفائقة (Super I/O)

إن هذا المتحكم موجود على جميع اللوحات الأم ، وهو شريحة مساعدة تهتم بعدد من الوظائف الأقل نشاطا للجسر الجنوبي . ومهام هذا المتحكم معروفة بشكل واضح ، ومن الملائم استخدام الشريحة القياسية Mass Produced التي يمكن أن تستعمل على أي لوحة أم افتراضية ، وهذا يؤدي إلى انخفاض في الأسعار وتُنتج متحكمات الدخل/الخرج الفائقة (Super I/O) من عدة شركات مثل ، شركة WINDBOND وشركة ITE . ويبين الشكل (١-٣٤) متحكم Super I/O من شركة WINDBOND .



الشكل (١-٣٤) - متحكم Super I/O من شركة WINDBOND

ويوصل المتحكم الفائق Super I/O إلى الجسر الجنوبي باستخدام مسرى خاص منخفض السرعة وهذه البنية تدعى LPC(Low Pin Count) . وتتألف هذه الشريحة من 128 pin ويبين الجدول (١-٣) مكونات ووظائف شريحة المتحكمSuper I/O .

Controller	Description
FDC	82077-compatible floppy disk controller
UART	Serial port, 16550-compatible controller, including IrDA (infrared)
LPT	Parallel printer port
Game	For a joystick
KBD	8042-compatible keyboard controller
PS/2	Mouse port
LED	Controls the small LED's in the cabinet
Fan	Controls the fan

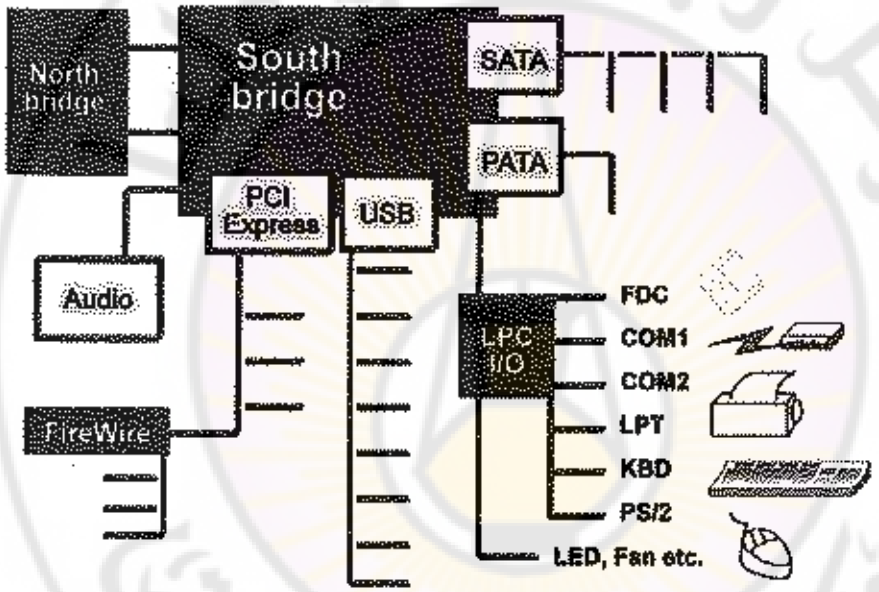
الجدول (١-٣) – مكونات ووظائف شريحة المتحكم Super I/O

يوجد في اللوحة الأم العديد من الطبقات Layouts . ويمكن للجسر الجنوبي الاتصال مع متحكمات وشرائح أخرى .وهذه الشرائح هي :

- RAID-Sound Processor
- Ethernet
- Firewire والعديد من المتحكمات الأخرى .

ويزود الجسر الجنوبي المستخدم بكثير من الوسائل التي يمكن تنفيذها إذا رغب بذلك .فعلى سبيل المثال , يوجد بعض الجسور الجنوبية التي تمتلك أجهزة صوت من نوع "Primitive" بشكل مدمج تعتمد على Standard "AC-97 "

والتي بدورها تستعمل وحدة المعالجة CPU لمعالجة الصوت . وعلى بعض اللوحات الأم هذه الوظيفة functionality التي ستصبح قيد الاستخدام بينما سيختار المصنعون الآخرون دمج شرائح الصوت الحقيقية Real, فعلى سبيل المثال "Creative". ويبين الشكل (١-٣٥) واجهات ترابط الدخل/الخرج والوحدات الطرفية مع الجسر الجنوبي .



الشكل (١-٣٥) – واجهات ترابط الدخل/الخرج والوحدات الطرفية مع الجسر الجنوبي

١-١٣-٦- أنواع بنيان مسرى الدخل/الخرج I/O

تسمى هذه المساري بالمنافذ التوسعية وهي فتحات(شقوق) Slots , وترتبط بمساري الحاسوب من جهة , ومن جهة أخرى يتم تركيب بطاقات عليها مثل

(بطاقة الشاشة و الصوت و المودم ....الخ) . والغاية من هذه المنافذ التوسعية إضافة بطاقات ومتحكمات لكي نتمكن من ربط المزيد من الأجهزة المحيطية .

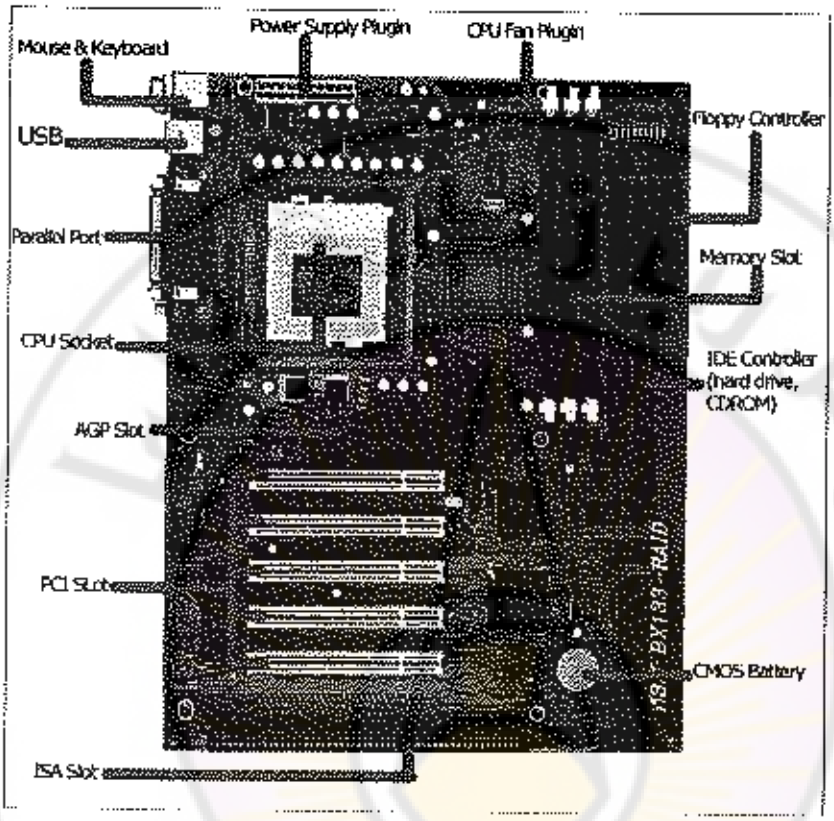
ظهرت مجموعة متنوعة من المنافذ التوسعية خلال مراحل تطور الحاسوب PC . ويبين الجدول (١-٤) أنواع بنيان مساري الدخل/الخرج I/O. فإذا نظرنا إلى أي لوحة أم Mother Board نجد العديد من أنواع المنافذ التوسعية وأشهرها : المسرى البيني للمكونات الطرفية PCI و **تكون بيضاء اللون** , والمسرى القياسي الصناعي ISA **وتكون سوداء اللون** , ومسرى واحد نوع

BUS	Width (bits)	Bus Speed (Mhz)	Bus Bandwith (Mbytes/sec)
8-bit ISA	8	8.3	7.9
16-bit ISA	16	8.3	15.9
EISA	32	8.3	31.8
PCI	32	33	127.2
AGP	32	66	254.3
AGP(X2)	32	66 X 2	508.6
AGP(X4)	32	66 X 4	1017.3
AGP(X8)	64	66 X 8	2048

الجدول (١-٤) – أنواع بنيان مساري الدخل/الخرج I/O

AGP في اللوحة الأم **وتكون باللون البني** . وظهرت خلال تاريخ تطور الحاسوب PC مجموعة أخرى من المنافذ التوسعية ولكنها لم تستمر ولم تعرف

بشكل كبير .ويبين الشكل (١-٣٦) اللوحة الأم مبيناً عليها جميع مساري النظام.



الشكل (١-٣٦) اللوحة الأم مبيناً عيها جميع مساري النظام

ومن أهم أنواع مساري الدخل/الخرج الحقيقية هي :

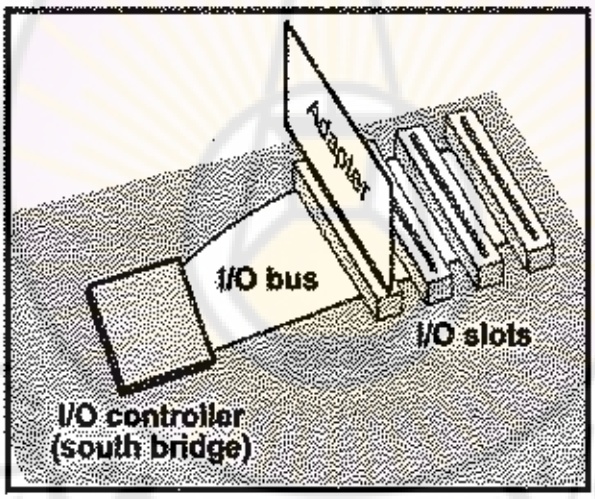
١. مسرى **ISA** : هو مسرى قديم ذو سرعة منخفضة لم يعد مستخدما حاليا .

٢. مساري **MAC , EISA , VL** :هي مساري أسرع من المسرى ISA ولكنها لم تعد مستخدمة حالياً أيضا.

٣. **مسرى PCI** : هو مسرى دخل/خرج I/O عام ويستخدم حالياً في الحواسيب الشخصية .

٤. **مسرى PCI Express**: وهو المسرى الأحدث .

وتسمى هذه المساري بمساري الدخل/الخرج الحقيقية Real I/O Buses , لأنها صممت للبطاقات المركبة (plug – in cards) داخل صندوق الحاسوب الشخصي . وهي ترتبط بسلسلة فتحات Slots(شقوق)على اللوحة الأم , ويبين الشكل (١-٣٧) بطاقات مركبة في شقوق الدخل/الخرج على اللوحة الأم.



الشكل (١-٣٧) – بطاقات مركبة في شقوق الدخل/الخرج على اللوحة الأم

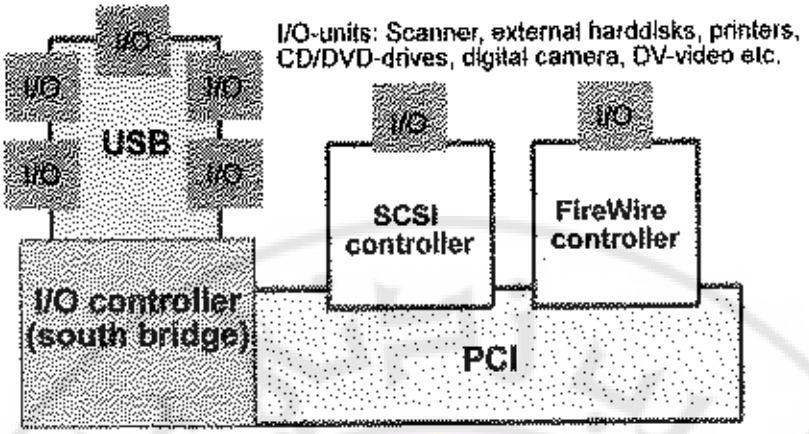
لقد تطورت مساري الدخل/الخرج I/O مع تطور الحواسيب الشخصية . وتحتوي اللوحات الأم حالياً على أكثر من نوع من مساري الدخل/الخرج I/O ،

وتحتوي بشكل أساسي على مسرى PCI المستخدم لتثبيت بطاقات الموائمات adapters ، مثل بطاقة الشبكة والصوت و... الخ .

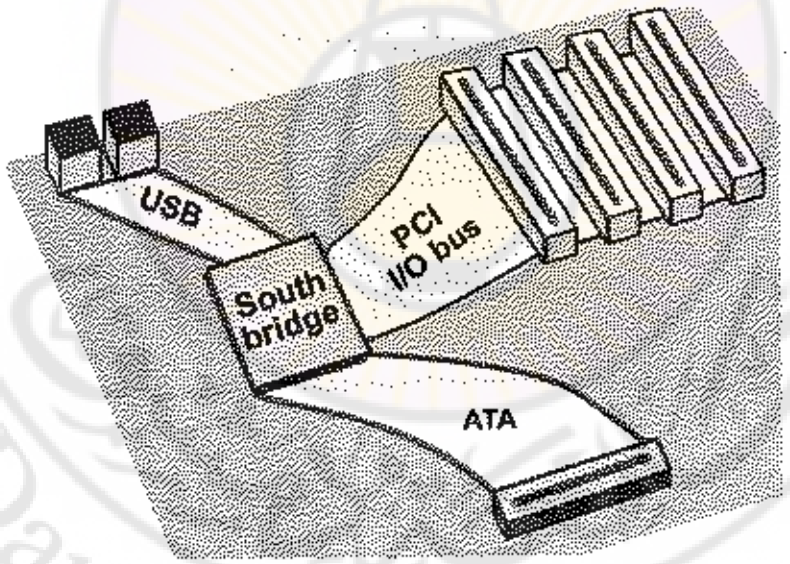
١-١٤- أنواع أخرى من المساري

يحتاج الحاسوب الشخصي إلى مسرى ذي سرعة منخفضة يُستخدم مع أجهزة الدخل/الخرج I/O الأقل تركيزاً . وكانت هذه المهمة لمسرى ISA لفترة طويلة ، ولكنه استُبدل حالياً بالمسرى العام التسلسلي USB (Universal Serial Bus). إن المسرى USB لا يملك شقوق لتركيب بطاقات plug in . من الأنواع الأخرى ، المسريان SCSI و FireWire ، هي أمثلة على المساري ذات السرعة العالية التي تعطي الحاسوب الشخصي خيارات توسعية كثيرة . حيث أنها لا تُعد جزءاً من البنية القياسية للحاسوب الشخصي ، ولكنها يمكن أن تضمن في أي حاسوب شخصي . وذلك باستخدام بطاقة plug in التي تضاف إلى الحاسوب ، وتتصل هذه البطاقة بالمسرى PCI الذي بدوره يتصل بمتحكمات الـ SCSI و Firewire . وهي تعتمد على سعة المسرى PCI . ويبين الشكل (١-٣٨) وصل متحكمات SCSI و Firewire بشكل طبيعي إلى مسرى PCI . أما وحدات الدخل/الخرج I/O هي : الماسحات والأقراص الصلبة الخارجية والطابعات و السواقات CD/DVD والكاميرات الرقمية و DV-Video .

لا تُعد واجهة ترابط الـ ATA مسرىً أساسياً ، ولكنها تسمى كذلك ، وتستخدم هذه الواجهة مع السواقات و التجهيزات القياسية التي تسمح بوصل أربعة أجهزة مباشرة إلى اللوحة الأم، حيث الموصل العريض الذي يلائم كبل الـ ATA . ويبين الشكل (١-٣٩) واجهة ترابط تعمل كمسرى في علاقتها مع الجسر الجنوبي .



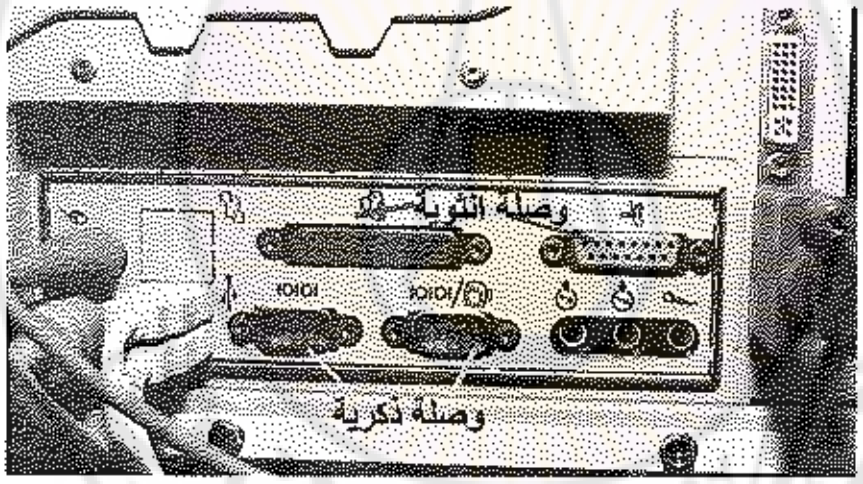
الشكل (١-٣٨) – وصل متحكمات SCSI و Firewire
بشكل طبيعي إلى مسرى PCI



الشكل (١-٣٩) – واجهة ترابط تعمل كمسرى في علاقتها مع الجسر الجنوبي

١-١٤-١-المنافذ التسلسلية والتفرعية

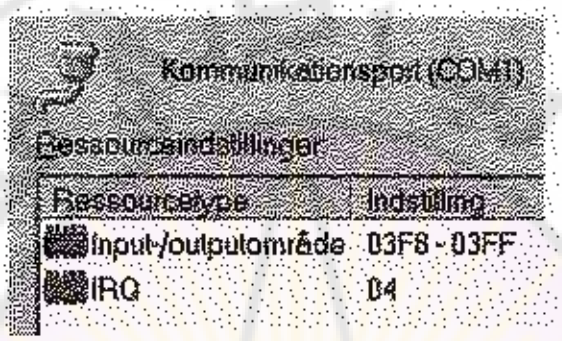
إن المنافذ التسلسلية والتفرعية تكون موجودة في نظام الـدخل/الخـرج I/O والمتحكم الخاص لتلك المنافذ يكون موجوداً على متحكم Super I/O . يكـون الحاسوب مزوداً على الأقل بمنفذ أو منفذين تسلسليين غيـر متـزامنين و هـي وصلات ذكرية MALE موجودة خلف الحاسوب , التي لديها 9 OR 25 Pin حيث يُستخدم غالبا 3 أو 4 أرجل للنقل التسلسلي. يسمى المنفذ التفرعي أيضا بمنفذ الطابعة بسبب استخدامه لهذا الغرض , وأن وصلة الطابعـة الموجـودة خلف الحاسوب هي وصلة أنثوية FEMALE مكونة مـن 25-Pin . ويبـين الشكل (١-٤٠) المنافذ التسلسلية والتفرعية خلف الحاسوب .



الشكل (١-٤٠) – المنافذ التسلسلية والتفرعية خلف الحاسوب .

تدعى هذه المنافذ أيضا COM1 و COM2 و LPT وهـي تـسمى أيـضا (Logical Device Names) حيث يقوم المعالج بتشغيل البرنامج أوتوماتيكيـا

ويقسم إلى تلك الأجهزة خلال فترة التشغيل مثـــل A: و C: و CON و PRN و KBD وأسماء منطقية . ويبين الـــشكل (١-٤١) الـــ Logical Name و COM1 ويشيران إلى منفذ الدخل/الخرج التسلسلي .



الشكل (١-٤١) – الـــ Logical Name و COM1 ويشيران إلى منفذ الدخل/الخرج التسلسلي

حالياً قل استخدام المنافذ التسلسلية والأجهزة التسلسلية بشكل أساسي بـــسبب المسرى USB الذي يربط بين الأجهزة المتكافئة .لكن مـــن الملاحظـــة عنـــد استخدام USB Based Modem سيتصرف كما لو كان جهاز تسلسلي عادي، ويربط ISDN بواسطة USB وبالتالي يتشكل منفذين افتراضيين COM التي يمكن رؤيتها من خلال إدارة الأجهزة Device Manager , وبهـــذه الطريقـــة يستطيع برنامج Internet Dialup استخدام USB بنفس الطريقة تماما كمـــا لو كان موصـــولا إلـــى منفـــذ COM فيزيائيـــاً ولـــيس افتراضـــياً .ويبـــين الشكل (١-٤٢) المنفذ COM3 والمنفذ COM9 كتجهيزة USB .

الشكل (١-٤٢) – المنفذ COM3 والمنفذ COM9 كتجهيزة USB

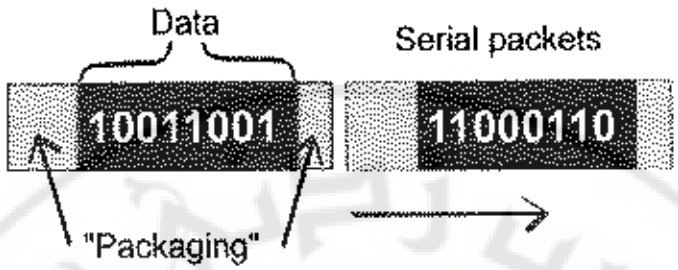
١-١٤-٢- النقل غير المتزامن(Asynchronous Transmission)

تعمل المنافذ التسلسلية بالنقل غير المتزامن , وبالتالي تنتقل المعطيات بفواصل زمنية غير منتظمة , حيث يبدأ الإرسال فقط عندما يكون المستقبل جاهزاً لتلقي المعطيات ولديه وقت غير محدد لاستيعاب تلك المعطيات .المبدأ المعاكس هو النقل المتزامن حيث توجد نبضات ساعة مشتركة تتحكم بهذه الخطوة Pace .

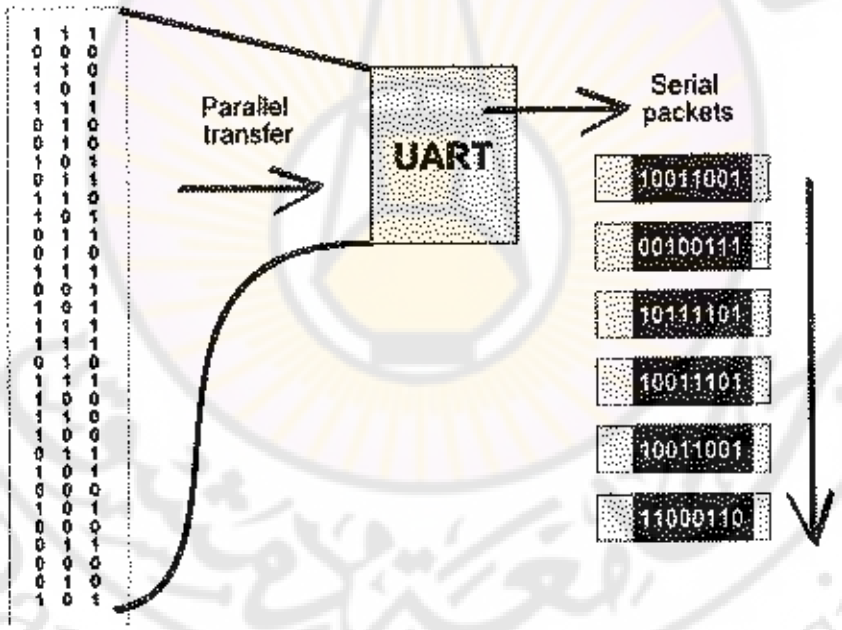
إن حالة عدم الانتظام بالنقل تتوقف على معرفة : متى نرسل المعطيات ومعرفة متى أُرسل جزءٌ من المعطيات بشكل كامل , و يتحقق هذا من خلال البروتوكول Protocol المسؤول عن تحديد حجم الرزم التي يتم الاتفاق عليها بين المرسل والمستقبل .

في بداية الإرسال يتم إرسال صفر منطقي , وبعد هذا البت , ترسل المعطيات في أجزاء مكونة من 5 أو6 أو7 أو8 بت Bit ثم تتبعها 0 أو 1 أو2 من البتات الزوجية (Parity Bits) وتكون مسؤولة عن إجراء فحص بسيط لعملية النقل ويتم إغلاق الرزمة ببت واحدة للتوقف (1 Bit) أو بتين (2Bit) للتوقف .إن النظام المعياري الأكثر شيوعاً هو المعطيات من 8Bits , ولا يوجد فيه بت للزوجية Parity ويوجد بت توقف واحدة , يسمى هذا النظام غالبا

8/N/1 . ويبين الشكل (١-٤٣) النقل التسلسلي لرزمة معطيات صغيرة , ويتم إرسال المعطيات Bit Bit .



الشكل (١-٤٣) – النقل التسلسلي لرزمة معطيات صغيرة



الشكل (١-٤٤) – شريحة متحكم UART وكيفية تقسيم المعطيات على شكل رزم للنقل التسلسلي

إن عملية تقسيم المعطيات على شكل رزم متعددة للنقل التسلسلي تحدث في شريحة UART التي هي جزء من المتحكم الفائق Super I/O , وأن الشريحة UART تعني المرسل المستقبل غير المتزامن العالمي (Universal Asynchronous Receiver/Trans-mitter) وتقوم هذه الشريحة بتحويل تدفق المعطيات بين مسرى المنفذ التفرعي I/O والوصل التسلسلي , إن البايتات القادمة من مسرى I/O تخضع لعملية Chopped Up إلى سلاسل من البتات , ويتم وضعها بإطار Framed مع بتات التوقف ... الخ , وهذا يحدث في شريحة UART .ويبين الشكل (١-٤٤) شريحة متحكم UART وكيفية تقسيم المعطيات على شكل رزم من أجل النقل التسلسلي .

١-١٥ – بنيان المسرى القياسي الصناعي ISA

Industry standard Architecture

هذا النوع من المساري هو أول ما ظهر في أجهزة الحاسوب PC , وعند ظهوره كان بسعة 8Bit وهو يعتبر منفذ تفرعي وبعد ذلك ظهرت نسخة مطورة عنه بسعة 16Bit , كما هو موضح في الجدول (١-٤) . ويتم إرسال المعطيات عبره بسعة 8 bit أو 16 bit بحسب البطاقة المستخدمة , ويحتاج لدورة زمنية كاملة على الأقل لتحويل بايت واحد من المعطيات ,وتبلغ سرعته القصوى 8.33 Mb/Sec . ونلاحظ وجود أربعة ثقوب غير متماثلة على التوازي , ولكل منها رقم , كما توجد دارة تحكم تدعى دارة تحكم ISA وتتحكم بكل بطاقة ISA بشكل مستقل .

إن مسرى ISA هو مسرى دخل/خرج I/O , ولقد استمر لفترة طويلة , وفيما يلي بعض خصائص هذا النظام :

- كان ISA تحسينا للمسرى IBM's Original XT Bus والذي كان فقط بعرض 8 Bits , واستخدمت شركة IBM الاسم المحمي AT Bus , ومع مرور الزمن تمت تسميته بمسرى ISA .
- أصبح مسرى ISA بعرض 16 Bits ويعمل بتردد قدره 8 MHZ .
- كانت سرعة المسرى الافتراضية حسوالي 8MB/sec لكنه فعليا لا يتجاوز 1-2MB/sec , وأحد هذه الأسباب أنه يستغرق نبضتين أو ثلاث نبضات لنقل رزمة معطيات مكونة من 16 Bits .

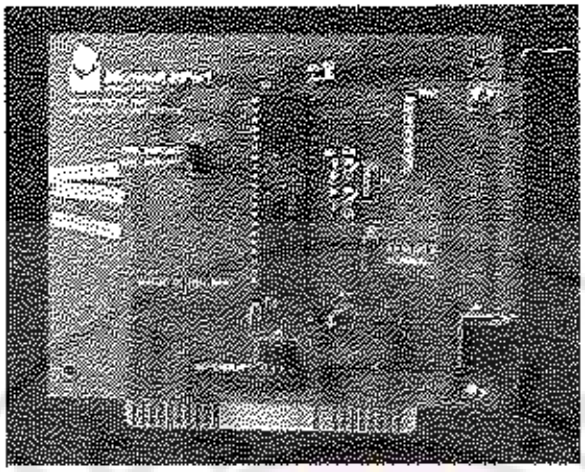
يمتلك المسرى ISA وجهين Two Faces في بنية الحواسيب القديمة :

✓ مسرى الـ ISA الداخلي الذي يحوي على منافذ بسيطة مثل : Keyboard و Floppy Disk والمنافذ التسلسلية والتفرعية المتصلة به .

✓ مسرى توسعي خارجي .

١-١٥-١- بنيان المسرى ISA - XT
(XT Bus Architecture)

هو مسرى 8Bit يستخدم من قبل المعالج 8086 والمعالج 8088 في كل من IBM PC و IBM PC XT في الثمانينات من القرن الماضي , ويوضح الشكل (١-٤٥) بطاقة موائمة للفأرة تستخدم 8Bit ISA-XT .



الشكل (١-٤٥) – بطاقة موائمة للفأرة تستخدم 8Bit ISA-XT

إن بنية XT لديها أربع قنوات للنفاذ المباشر للذاكرة DMA ، ثلاث من هذه القنوات تخرج على شقوق توسعية ، وواحدة تقسم على وظائف الآلة . ويبين الجدول(١-٥) وظائف قنوات النفاذ المباشر DMA .

DMA channel	Expansion	Standard function
0	No	Dynamic RAM refresh
1	Yes	Add-on cards
2	Yes	Floppy disk controller
3	Yes	Hard disk controller

الجدول(١-٥) – وظائف قنوات النفاذ المباشر DMA .

١-١٥-٢- بنيان المسرى ISA- AT (AT Bus Architecture)

هو إصدار متطور من المسرى IBM PC/XT ذو 16 Bits , وسمي بهذا الاسم لأنه أنتج في المسرى IBM PC/AT , وتمت تسميته بشكل رسمي قناة I/O .يوسع المسرى AT المسرى XT وصلة ثانوية أقصر وبمحاذاة المسرى ISA- 8 Bit الذي لم يتغير , وبالتالي تم توسيع الممسرى منطقيا بعدد الوظائف , وفيزيائيا بطول الوصلة , ومنه تم الحصول على توافقية جميع البطاقات الـ 8 BITS مع زيادة سرعة المسرى . ويبين الجدول (١-٦) بنيان ISA - XT و ISA - AT .

8-Bit ISA (XT Bus architecture)	
Bus width	8 - bit
Compatible with	8-bit ISA
Pins	62
Vcc	+5 V, -5 V, +12 V, -12 V
Clock	4.7727266 MHz

8-Bit ISA (XT Bus architecture)	
Bus width	16-bit
Compatible with	8-bit ISA, 16-bit ISA
Pins	98
Vcc	+5 V, -5 V, +12 V, -12 V
Clock	8.333333 MHz
Capacity	3.97 MB/S (pio) 2.65 MB/S (dma)

الجدول (١-٦) – بنيان ISA – XT و ISA – AT .

- إن وضع الوصلة الثانية قامت بإضافة ما يلي :
  - ✓ خطوط مقاطعة إضافية .
  - ✓ خطوط تحكم من أجل القنوات الأربع (DMA 16 Bits) .

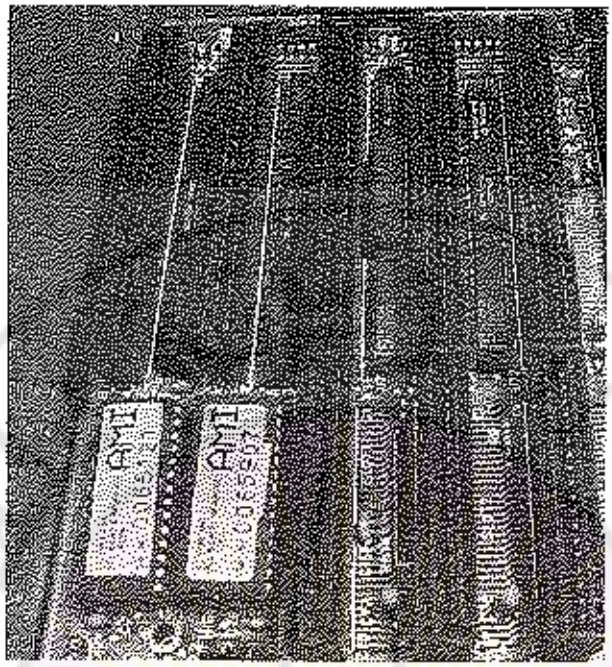
- ✓ أربعة خطوط عنونة إضافية لتصبح (24 خط عنونة إضافية) .
- ✓ ثمانية خطوط إضافية للمعطيات لتصبح (16 خط معطيات) .
- ✓ خطوط تحكم إضافية من أجل عملية النقل (8 Or 16 Bits) .

١-١٥-٣-أداء المسرى ISA

يُعد أداء المسرى ISA بطيئاً , وأحد الأسباب التي جعلت المسرى ISA بطيئا لأنه امتلك قنوات بعرض 16Bits من المعطيات فقط , وعندما تم إنتاج المعالج x486 الذي كان بعرض 32 Bits من المعطيات , فكان المعالج يرسل المعطيات إلى مسرى ISA بعرض 32 Bits , مما أدى إلى تقسيمها إلى رزمتين من المعطيات كل واحدة مكونة من 16 Bits وكل رزمة ترسل لوحدها وهذا الأمر أدى لبطء تدفق المعطيات .

إن المسرى ISA ليس ذكياً , والسبب في ذلك أنه بعد انتهاء عملية نقل المعطيات بواسطة المسرى ISA لعملية ما , يستطيع عندها المعالج تنفيذ مهمة جديدة , إذا لم يستطع المسرى ISA التعامل مع المعطيات التي تستقبل بشكل مستمر عندها يرسل حالات انتظار إلى المعالج , وهي عبارة عن إشارات تجبر المعالج على الانتظار من دون فعل أي شيء , وبالتالي هذه الحالة عبارة عن نبضة ساعة مهدورة , وبالتالي إن ISA يؤدي لإنقاص أداء أي حاسوب . لقد قل استخدام ISA حالياً (حيث أننا لم نعد نراه في معظم لوحات الأم الحديثة) ويبين الشكل (١-٤٦) المسرى ISA .

ويبين الشكل (١-٤٧) لوحة الأم وعليها ثلاثة مساري ISA (اللون الأسود) وأربعة مساري PCI (اللون الأبيض) .

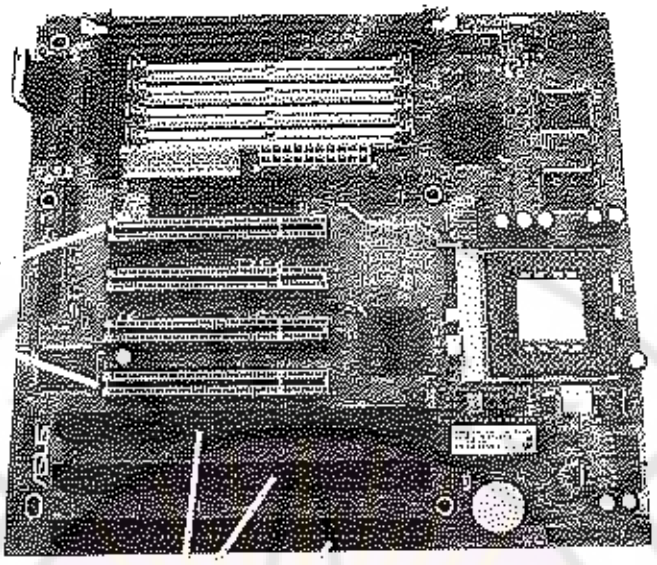


الشكل (١-٤٦) - المسرى القياسي الصناعي ISA

١-١٦- بنيان المسرى القياسي الصناعي الموسع EISA

Extended Industry Standard Architecture

يوجد لهذا النوع من المساري فتحات(شقوق) عميقة Deep Slots، ومكونة من صف بتماسات ISA، وصف بتماسات EISA. ووضع أحدهما فوق الآخر في ترتيب متراكب Tier. وإن منفذ EISA مثل منفذ ISA ولكن بدلاً من صف تتحيس(نحاس) واحد يوجد صفين أي عدد الأقطاب(الأرجل) يكون مضاعفاً وهو يتعامل مع 32Bit ولم يسدوم طويلاً وحسل مكانه المسرى PCI .



الشكل (١-٤٧) – لوحة الأم وعليها ثلاثة مساري ISA (اللون الأسود)
وأربعة مساري PCI (اللون الأبيض)

١-١٧- المسرى المحلي VESA

Video Electronics Standards Association

ويسمى هذا المسرى مسرى الفيـــديو المحلـــي VL Bus (Video local)
ويتميز بالمواصفات التالية:

- ❖ كلفة منخفضة .
- ❖ أداء عالٍ بشكل كافٍ.
- ❖ بنية مفتوحة Open Architecture.
- ❖ استقلاله عن برمجيات القيادة Soflware drivers .
- ❖ بناء ضمني Built-in، قابل للتوسيع لمواكبة التطورات التكنولوجية.

يملك المسرى المحلي VL Bus وصولاً مباشراً لنظام الذاكرة، وبسرعة نفاذ مساوية لسرعة نفاذ وحدة CPU نفسها، وبتردد ساعة أعظمي يصل إلى 50MHz .

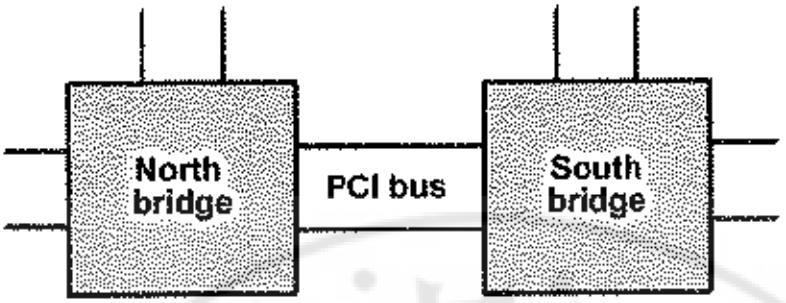
١-١٨ - المسرى البيني للمكونات الطرفية PCI

Peripheral component interconnect

في بداية التسعينات قامت شركة إنتل Intel بصنع مسرى جديد سُمي مسرى PCI, واستخدم في أجهزة المعالج بنتيوم Pentium وهو مسرى هجين بين المسرى ISA والمسرى VL . ويقوم المسرى بالنفاذ المباشر لذاكرة النظام من أجل الأجهزة المتصلة , لكنه يستخدم الجسر Bridge (الجسر الشمالي) ليتصل مع الجانب الأمامي للمسرى FSB وبالتالي مع المعالج, وهذا يعني أن لديه قدرة أفضل من المسرى VL .

إنّ المسرى PCI عبارة عن واجهة هندسية من واجهات الحاسوب , طُوِّرت بغرض إعطاء نتائج أفضل في الأداء , والتفوق على الواجهات المستخدمة سابقا ويوصل المسرى PCI إلى مسرى وحدة المعالجة CPU بدارة جسرية داخل مجموعة شريحة اللوحة الأم، وهذا ما يجعله مستقلاً عن وحدة المعالجة CPU، ويختلف المسرى PCI عن المسرى ISA بعدة أمور , فعلى سبيل المثال التماس .

حيث أن مسرى PCI أقصر من مسرى ISA والتنحيس(المنطقة النحاسية) يكون عليه أعرض , وبالتالي عدد نقاط الربط مع اللوحة الأم في الـ PCI يكون أكبر . ويبين الشكل (١-٤٨) المسرى PCI الذي يستخدم كمسرى وصل بين الجسر الشمالي والجنوبي



الشكل (١-٤٨) – استخدام المسرى PCI كمسرى وصل بين الجسر الشمالي والجنوبي

١-١٨-١- خصائص المسرى PCI

من أهم خصائص المسرى PCI هي :

١. له عرض مسرى 32 Bit

٢. يُعتبر تعديل للمسرى EISA و ISA وتصل سرعة نقل المعطيات إلى 33 MHz

٣. معدل النقل تصل إلى 132 Mbps في معالجات 32 bit

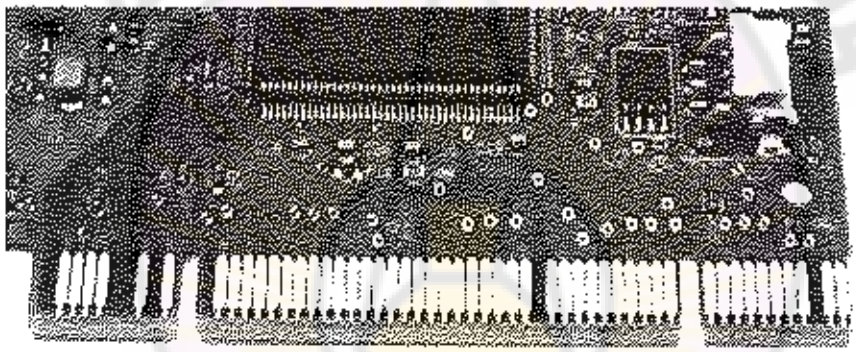
٤. يصل معدل المسرى إلى 264 Mbps في معالجات 64 bit

٥. له خاصية Pnp . (ستشرح بالتفصيل لاحقاً)

٦. يتعامل مع النفاذ المباشر إلى الذاكرة DMA (Direct memory access)

يستطيع المسرى PCI ربط خمسة أجهزة معه . بحيث كل وصلة من الوصلات الخمس لتلك الأجهزة يمكن استبدالها لربط جهازين ثابتين مع اللوحة الأم . بالإضافة لذلك يمكن وجود أكثر من PCI على نفس الحاسوب بالرغم من ندرة هذا الأمر . يستطيع الجسر تنظيم سرعة PCI بشكل مستقل عن سرعة

المعالج. ويعمل الـ PCI عادة على تردد يصل إلى 33MHz بعرض 32Bit، وقد يزيد التردد المستخدم حتى 66MHz بعرض يصل حتى 64Bit . حالياً يعمل PCI-X على تردد يصل إلى 133MHz ، بعرض 64 Bit وبمعدلات نقل مذهلة تصل حتى 1 GByte / Sec . المسرى PCI يستخدم 47 Pin (ليصل 49 طرف لبطاقة السيد الذي يتحكم بالمسرى PCI من دون تدخل المعالج) . ويبين الشكل (١-٤٩) بطاقة PCI تستخدم 47 Pin . أما الجدول (١-٧) فيبين مواصفات المسرى PCI-X .



الشكل (١-٤٩) – بطاقة PCI تستخدم 47 Pin

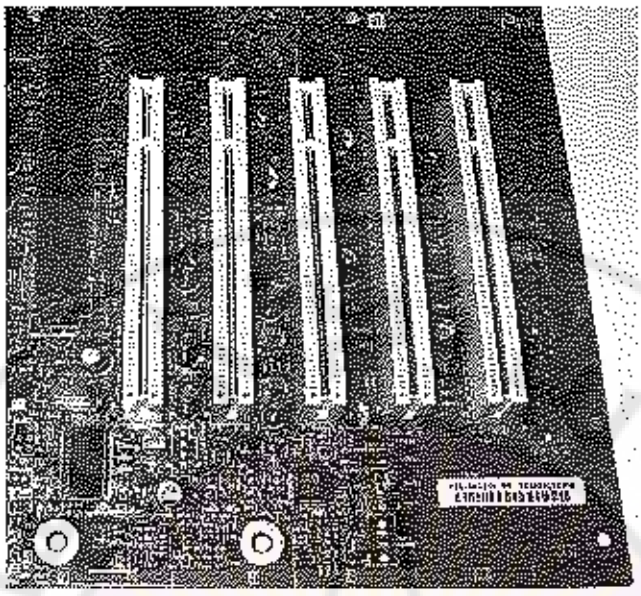
يستطيع المسرى PCI العمل على أطراف قليلة جداً بسبب التجميع العتادي Hardware Multiplexing ، وهذا يعني أن الجهاز المتصل يستطيع إرسال أكثر من إشارة على الطرف نفسه أو الرجل ، ويدعم المسرى PCI الأجهزة التي تعمل على جهد يتراوح بين 5Volt – 3.3 . ويبين الجدول (١-٨) أنواع المساري وعرض وسرعة ومعدل النقل لكل مسرى . ويبين الشكل (١-٥٠) المسرى PCI .

PCI-X *PCI Local Bus*	
Year created:	1998
Created by:	IBM, HP, and Compaq
Superseded by:	PCI Express (2004)
Width in bits:	64
Number of devices:	1 per slot
Capacity	1064 MB/s
Style:	Parallel
Hotplugging?	yes
External?	no

الجدول (١-٧) – يبين مواصفات المسرى PCI-X

Bus Type	Bus Width	Bus Speed	MB/sec
ISA	16 bits	8 MHz	16 MBps
EISA	32 bits	8 MHz	32 MBps
VL-bus	32 bits	25 MHz	100 MBps
VL-bus	32 bits	33 MHz	132 MBps
PCI	32 bits	33 MHz	132 MBps
PCI	64 bits	33 MHz	264 MBps
PCI	64 bits	66 MHz	512 MBps
PCI	64 bits	133 MHz	1 GBps

الجدول (١-٨) – أنواع المساري وعرض وسرعة كل مسرى



الشكل (١-٥٠) – المسرى PCI(اللون الأبيض)

١-١٨-٢- مسرى PCI المضاف داخل السيد

يتم إضافة هذا المسرى داخل السيد Master للسماح بارتباط مسرى PCI بالذاكرة الرئيسية RAM ليؤمن في النهاية الوصول المباشر للذاكرة DMA (Direct Memory Access) .

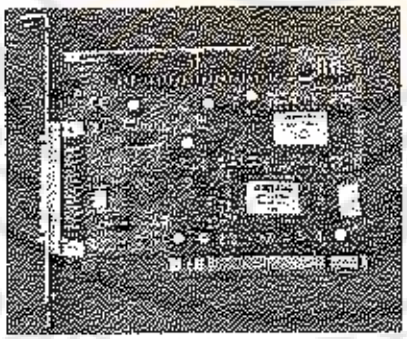
١-١٨-٣- مسرى PCI الهدف (Target Bus)

يعمل هذا المسرى على ربط الجهاز المضاف كهدف Target بجسر النظام الخاص بمسرى الـ PCI حتى يتم التفاهم بين البطاقة وجسر النظام باستخدام العناوين ومساري المعطيات وأوامر المساري وخطوط التحكم وفحص الأخطاء والوصول المباشر للذاكرة بشكل يسمح بالاستفادة الكاملة من موارد واجهة PCI لإعطاء أفضل النتائج الممكنة.

١-١٨-٤- تشكيلات المسرى PCI

إن المسرى PCI ذو عرض مجال واسع , ومستقل عن المعالج , ويمكن أن يعمل كمسرى متوسط mezzanine أو مسرى طرفي , وإن المعيار PCI صمم بشكل خاص لملائمة متطلبات دخل/خرج I/O للأنظمة الحديثة ملائمة اقتصادية إذ يتطلب شرائح Chip قليلة جداً , وهو يدعم ربط مساري أخرى بالمسرى PCI . وصمم مسرى الـ PCI ليدعم تشكيلات متنوعة مبينة (ظاهرة) على المعالجات الصغرية , بما في ذلك أنظمة أحادية المعالج أو متعددة المعالجات ويوفر مجموعة وظائف عامة الاستخدام . ويستخدم مسرى الـ PCI التوقيت المتزامن وطريقة التحكيم المركزية . ويقدم جمع مستحكم ذاكرة DRAM مع جسر إلى مسرى ذي ترابط قوي مع المعالج وله إمكانية لتسليم المعطيات بسرعات عالية , ويعمل الجسر كمخزن Buffer للمعطيات .

وبظهور مسرى الـ PCI Express حصلنا على نظام جديد لبطاقة الفيديو ، وإن استخدام المسرى PCI Express x16 بدلاً من المسرى AGP يوفر لدينا إمكانية نقل بسرعة 8GB/sec ، الذي يتيح المجال الواسع حتى لأكثر الألعاب، تركيزاً على الرسوم البيانية في الحاسوب الشخصي.ويبين الشكل (١-٥١) كرت PCI ذو 32-bit, 5V-only .



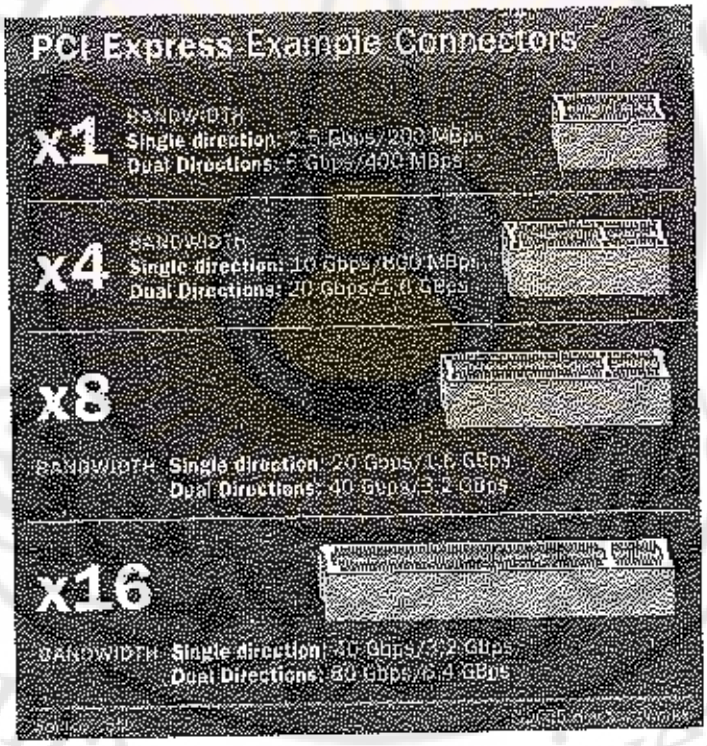
الشكل (١-٥١) - كرت PCI ذو 32-bit, 5V-only

7إن المسرى PCI Express تم إصداره عام 2004 من قبل شركات Intel, Dell, IBM, HP واستخدم هذا المسرى بدلاً من المساري AGP, PCI, PCI-X , وهو مسرى تسلسلي , ويوجد بسعتين مختلفتين : Per Lane و 16 lane Slot.

Per Lane : **v1.x**: 250 MB/s و **v2.0**: 500 MB/s و **v3.0**: 1 GB/s

16 lane Slot: **v1.x**: 4 GB/s و **v2.0**: 8 GB/s و **v3.0: 16** GB/s .

ويبين الشكل (١-٥٢) أنواع مساري PCI Express , أما الجدول (١-٩) يبين مواصفات المسرى PCI Express .



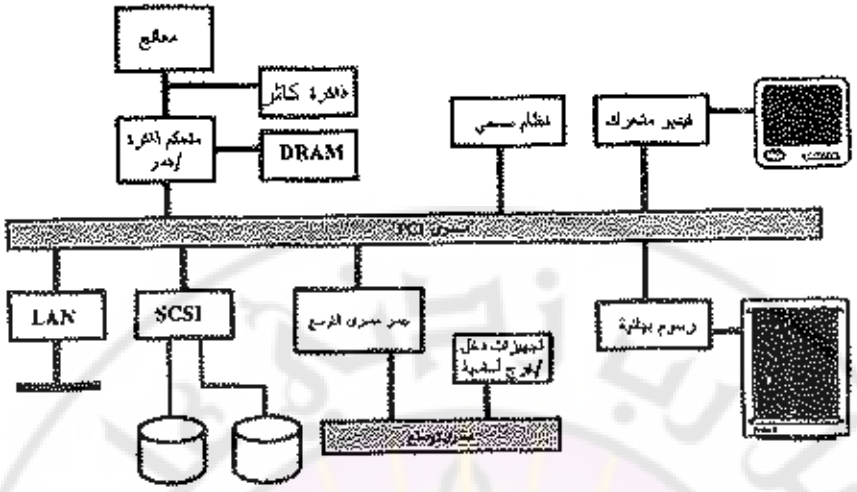
الشكل (١-٥٢) – أنواع مساري PCI Express

PCI Express	
Year created:	2004
Created by:	Intel, Dell, IBM, HP
Supersedes:	AGP, PCI, PCI-X
Width in bits:	1-32
Number of devices:	1 per slot
Capacity	Per lane: · **v1.x**: 250 MB/s · **v2.0**: 500 MB/s · **v3.0**: 1 GB/s 16 lane slot: · **v1.x**: 4 GB/s · **v2.0**: 8 GB/s · **v3.0**: 16 GB/s
Style:	Serial
Hot plugging?	Yes, if Express Card or PCI Express Express Module
External?	Yes, with PCI Express External Cabling

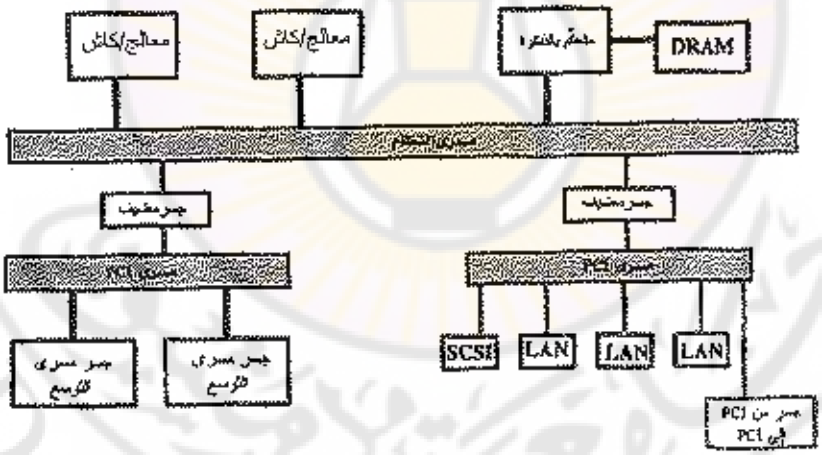
الجدول (١-٩) – يبين مواصفات المسرى PCI Express

ويمكن أن تختلف سرعة ربط PCI عن قدرة المعالج في الـ I/O . ويبين الشكل (١-٥٣) الاستخدام النموذجي للمعيار PCI لنظام أحادي المعالج .أما الشكل (١-٥٤) فيبين تشكيلاً واحداً أو أكثر لمساري PCI بجسور إلى مسرى النظام . ونلاحظ من هذا الشكل :

- ❑ إن استخدام الجسور يدعم مسرى النظام ووحدات ذاكرة الكاش والمعالج والذاكرة الرئيسية وجسور المسرى PCI .
- ❑ إن استخدام الجسور يحافظ على المسرى PCI مستقلاً عن سرعة المعالج مع الإبقاء على قدرة استقبال معطيات أو إرسالها سريعاً .



الشكل (١-٥٣) – الاستخدام النموذجي للمعيار PCI في نظام أحادي المعالج



الشكل (١-٥٤) – تشكيل واحد أو أكثر لمساري PCI بجسور إلى مسرى النظام

١-١٨-٥- بنية المسرى (Bus Structure)

يمكن أن يُشكل المسرى PCI كمسرى ذي 32 Bits أو 64 Bits . ويتكون المسرى من **50 خط إشارة إلزامي** ، وتقسم هذه الخطوط إلى المجموعات الوظيفية التالية :

- ❑ **خطوط النظام Systems Lines** : وتتضمن خطوط الساعة والتصفير Reset .
- ❑ **خطوط عناوين ومعطيات Address & Data** : تتضمن 32 خطاً وتكون غير مخصصة زمنياً من أجل العناوين والمعطيات وخطوط المقاطعة والتثبيت Interrupt & validate lines .
- ❑ **خطوط التحكم في الواجهة Interface Control** : تتحكم في توقيت المداولات ، والتنسيق بين المبادرين والواجهات .
- ❑ **خطوط التحكيم Arbitration** : هذه الخطوط ليست مشتركة ويمتلك كل سيد PCI زوجاً من خطوط التحكيم توصله مباشرة إلى حكم المسرى PCI .
- ❑ **خطوط الإعلام عن الخطأ Error lines** : تستخدم لإعطاء تقرير عن الزوجية Parity والأخطاء الأخرى .

إن المعيار PCI يعرف أيضاً **51 خط إشارة اختيارية** وتقسم إلى المجموعات التالية :

- ❖ **خطوط المقاطعة Interrupt Lines** : هذه الخطوط غير مشتركة أي لكل جهاز PCI خطاً أو خطوط خاصة به تربطه بمتحكم المقاطعة .
- ❖ **دعم ذاكرة الكاش Cache Support** : وذلك لدعم الذاكرة على المسرى PCI ، وتدعم بروتوكولات الاستطلاع Snoopy .
- ❖ **توسيع المسرى 64-bit Bus Extension** : تتضمن 32 خط

للعناوين والمعطيات غير مخصصة زمنياً وتكون مجمعة مع خطوط Address/Data الإلزامية لتشكل مسرى Address/Data بعرض 64 Bit , هناك خطان لتمكين جهازين PCI من الاتفاق على استخدام إمكانية 64- Bit .

- **JTAG/ مسح الحدود JTAG/Boundary Scan** : تدعم خطوط هذه الإشارة إجراءات الاختبار المعرفة على المواصفات القياسية IEEE .

١-١٨-٦- أوامر PCI

تظهر فعالية المسرى على شكل تبادل بين مبادر أو سيد Master ووجهة Target , عندما يكسب سيد المسرى التحكم في المسرى فإنه يقرر نوع التبادل التالي الذي سيحدث لاحقاً .

تستخدم الخطوط C/BE خلال طور العنوان للمداولة لتشير إلى نوع المداولة وهذه الأوامر هي :

- Interrupt Acknowledge تستخدم المقاطعة .
- Special cycle دورة خاصة .
- I/O Read قراءة دخل/ خرج .
- I/O Write كتابة دخل/خرج .
- Memory Read قراءة ذاكرة .
- Memory Read Line قراءة سطر ذاكرة .
- Memory Read Multiple قراءة متعددة للذاكرة .
- Memory Write كتابة ذاكرة .
- Memory Write Or Invalid قراءة ذاكرة وإبطال الصلاحية

- ❖ Configuration Read تشكيل قراءة .
- ❖ Configuration Write تشكيل كتابة .
- ❖ Dual Address Cycle دورة عنوان .

إن الإشعار بقبول المقاطعة هو أمر قراءة موجه إلى الجهاز الذي يعمل كمتحكم المقاطعة على المسرى PCI . ويستخدم أمر الدورة الخاصة من قبل المبادر لبث رسالة إلى وجهة أو أكثر وتستخدم أوامر كتابة الدخل/الخرج I/O لنقل المعطيات بين المبادر ومتحكم الدخل/الخرج I/O . ولكل جهاز I/O فضاء العنوان الخاص به وتستخدم خطوط العنوان لتُعيّن جهازاً محدداً ولتحدد المعطيات الواجب نقلها من أو إلى ذلك الجهاز . وتستخدم أوامر القراءة من الذاكرة والكتابة فيها لتحديد رشقة من المعطيات Burst Of Data التي تستغرق دورة ساعة واحدة أو عدة دورات .ويبين الجدول (١-١٠) أوامر قراءة الذاكرة الثلاثة .

نوع امر الذاكرة	الذاكرة القابلة للتخبئة	الذاكرة غير القابلة للتخبئة
قراءة من الذاكرة	قراءة رشقة حجمها نصف سطر أو اقل من ذاكرة الكاش	قراءة رشقة بدورتي نقل للمعطيات أو أقل
قراءة سطر من الذاكرة	قراءة رشقة حجمها أكثر من نصف سطر ولا تتجاو ثلاثة أسطر من ذاكرة الكاش	قراءة رشقة بواسطة 3 إلى 12 دورة نقل للمعطيات .
قراءة متعددة من الذاكرة	قراءة رشقة حجمها يزيد عن ثلاثة أسطر من ذاكرة الكاش	قراءة رشقة بواسطة دورات نقل للمعطيات يزيد عددها عن 12

الجدول (١-١٠) – يبين أوامر قراءة الذاكرة الثلاثة

يستخدم أمر كتابة الذاكرة لنقل معطيات إلى الذاكرة في دورة ساعة واحدة أو أكثر . ينقل أمر قراءة الذاكرة ولإبطال صلاحية المعطيات في دورة أو أكثر إلى الذاكرة , كما يضمن كتابة سطر في الذاكرة كاش .يدعم هذا الأمر وظيفة الذاكرة كاش في كتابة سطر خلفاً في الذاكرة .

يمكّن أمرا التشكيل سيد المسرى من قراءة موسطات لتشكيل التجهيزة المتصلة بالمسرى PCI وتحديثها. ويستخدم أمر دورة العنوان المضاعف من قبل المبادر ليشير إلى أنه يستخدم عنونة ذات 64Bit .

١-١٨-٧- عمليات نقل المعطيات Data Transfers

إن كل عملية نقل معطيات على المسرى PCI هي مداولة وحيدة تتألف من طور عنونة واحد , وطور معطيات واحد أو أكثر .ويبين الشكل (١-٥٥) المخطط الزمني لتوقيت عملية القراءة . يتم تزامن جميع الحوادث مع انتقال الجبهة الهابطة للساعة التي تحدث في منتصف كل دورة ساعة . وتأخذ أجهزة المسرى عينة من خطوط المسرى عند الجبهة الصاعدة في بداية دورة المسرى.

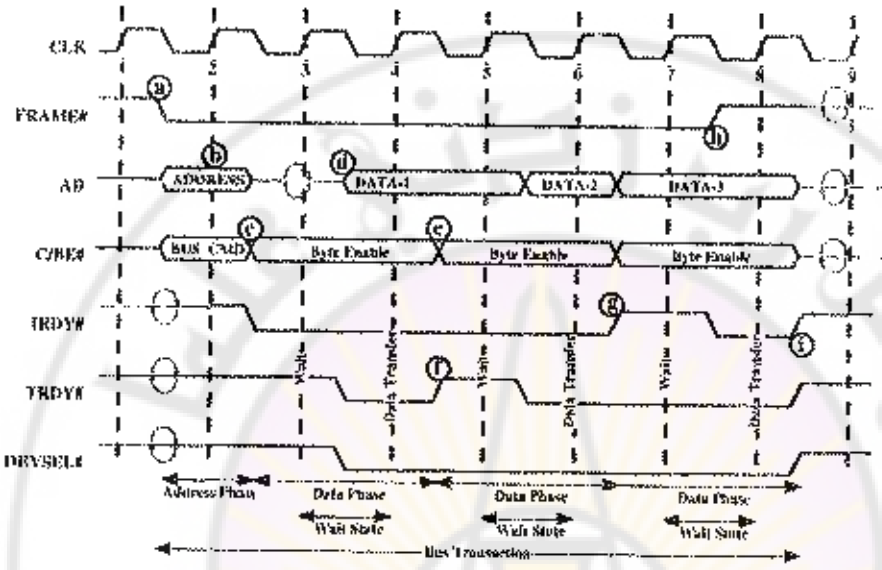
الحوادث المهمة على المخطط :

١. عندما يكتسب سيد المسرى التحكم في المسرى يستطيع أن يبدأ المداولة بتفعيل الإشارة FRAME . ويبقى هذا الخط مفعلاً حتى يصبح جاهزاً لإتمام طور المعطيات الأخير . ويضع المبادر أيضا عنوان البدء على مسرى العنوان , وأمر القراءة على الخطوط C/BE

FRAME : تُقاد هذه الإشارة من قبل السيد الحالي لتحديد بداية مدة المداولة , تُفعل هذه الإشارة عند البداية ثم تصبح غير فعالة عندما يصبح المبادر جاهزاً لبدء طور المعطيات النهائي.

AD : تشير إلى خطوط غير مخصصة تستخدم للعناوين والمعطيات .

C/BE : تشير إلى تحميل أوامر مسرى غير مخصص وإشارات تأهيل البايت.



الشكل (٥٥) – المخطط الزمني لتوقيت عملية القراءة

IRDY: وتعني أن المبادر جاهز . وتُفاد هذه الإشارة من قبل السيد الحالي وتشير إلى أن سيد المسرى يستعد لقبول المعطيات , وتشير حالة الكتابة إلى وجود معطيات صالحة على الخطوط AD .

TRDY : وتعني أن الوجهة جاهزة . وتُفاد هذه الإشارة من قبل الوجهة , وتشير خلال القراءة إلى وجود معطيات صالحة على الخط AD , وتشير في حالة الكتابة إلى أن جهاز الوجهة جاهز لاستقبال المعطيات .

DEVSEL : وتعني انتقاء الجهاز . وتُفعل هذه الإشارة من قبل الوجهة بعد انتهائها من تمييز عنوانها , وتشير الى المبادر الحالي فيما إذا تم الانتقاء .

٢. في بداية دورة الساعة الثانية يتعرف جهاز الوجهة إلى عنوانه على الخطوط

غير المخصصة AD .

٣. يوقف المبادر قيادة المسرى AD ، ويحتاج لدورة دوران على جميع خطوط الإشارة التي قد تقاد من قبل أكثر من جهاز واحد بحيث أن هبوط العنوان تهيئ المسرى ليستخدم من قبل الوجهة. يغير المبادر المعلومات على لخطوط C/BE ليحدد الخطوط AD الواجب استخدامها لنقل المعطيات المعنونة حالياً (من 1 إلى 4 بايت) ويفعل المبادر أيضاً الخط IRDY ليشير إلى أنه جاهز لاستقبال أول عنصر معطيات .

٤. يفعل جهاز الوجهة المنتقى الإشارة DEVSEL ليشير إلى أنه ميز عنوانه وأنه سيستجيب . ويضع المعطيات المطلوبة على الخط AD ، ثم يفعل الإشارة TRDY ليشير إلى توفر معطيات صالحة على المسرى .

٥. يقرأ المبادر المعطيات في بداية دورة الساعة رقم 4 ويبدل خطوط تأهيل البايت بالشكل المطلوب استعداداً للقراءة التالية .

٦. يحتاج جهاز الوجهة في هذا المثال إلى بعض الوقت لإعداد كتلة المعطيات الثانية الواجب إرسالها و لذلك يلغي تفعيل TRDY للإيعاز للمبادر بعدم وضع معطيات جديدة خلال الدورة القادمة . وبالتالي المبادر لا يقرأ خطوط المعطيات في بداية دورة الساعة الخامسة ، ولا يبدل خطوط تأهيل البايت خلال تلك الدورة . وتقرأ كتلة المعطيات في بداية دورة الساعة السادسة .

٧. يضع جهاز الوجهة بند المعطيات الثالث على المسرى . ولكن المبادر في هذا المثال ما يزال غير جاهز ليقرأ بند المعطيات . لذلك يلغي تفعيل IRDY وهذا سيجعل الوجهة يحافظ على بند المعطيات الثالث على المسرى لمدة دورة ساعة إضافية .

٨. يعرف المبادر بأن عملية النقل الثالثة للمعطيات هي الأخيرة ، لذلك يلغي

تفعيل الإشارة FRAME لإعلام الوجهة بأن هذه هي عملية نقل المعطيات الأخيرة وكما أنه يفعّل الإشارة IRDY ليشير إلى أنه جاهز ليكمل ذلك النقل .

٩. يلغي المبادر تفعيل الإشارة IRDY معيداً المسرى إلى الحالة الخاملة idle ويلغي جهاز الوجهة تفعيل الإشارتين TRDY و DEVSEL .

١-١٨-٨- التحكيم Arbitration

يستخدم المسرى PCI طريقة التحكيم المتزامن التي يكون فيها لكل سيد إشارة طلب REQ , وإشارة منح GNT , تربط خطوط الإشارة هذه إلى حكم مركزي , ويستخدم برتوكول مصافحة طلب . ولا يملي المعيار PCI خوارزمية محددة . ويجب على سيد المسرى PCI التحكيم من أجل كل محاولة يرغب في القيام بها . حيث تتألف المداولة المفردة من طور عنوان متبوعاً بطور أو عدة أطوار متصلة المعطيات . ويبين الشكل (١-٥٦) مثالاً يتنافس فيه الجهازين A و B على المسرى .

● **يحدث التتابع التالي :**

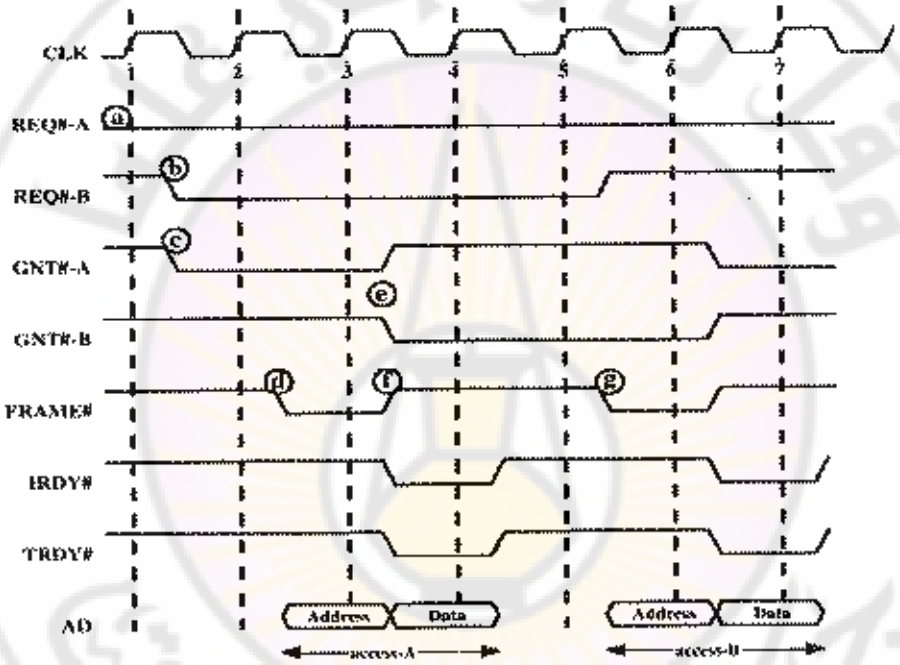
١. في لحظة تسبق بداية دورة الساعة الأولى , تفعل الوحدة A الإشارة REQ الخاصة بها .

٢. أثناء دورة الساعة الأولى , تطلب الوحدة B استخدام المسرى بتفعيل الإشارة REQ الخاصة بها .

٣. في الوقت ذاته , يفعل الحكم الإشارة GNT –A لضمان نفاذ الوحدة A إلى المسرى .

٤. يأخذ سيد المسرى A عينات من الإشارة GNT-A في بداية دورة الساعة الثانية , ويعلم عندئذ أن نفاذه إلى الممرى مضمون . كما يجد

الإشارتين IRDY و TRDY غير فعالتين , وهذا ما يشير إلى خمول المسرى .ويفعل تبعاً لذلك الإشارة FRAME ويضع معلومات على مسرى العناوين , ويرسل الأمر عبر المسرى C/BE . ويستمر أيضاً في تفعيل الإشارة REQ-A لأنه يريد إجراء مداولة ثانية تعقب المداولة الحالية .



الشكل (١-٥٦) – المخطط الزمني لتنافس الجهازين A و B على المسرى

٥. يأخذ حكم المسرى عينات من جميع الخطوط GNT في بداية دورة الساعة الثالثة , ويأخذ قراراً بضمان نفاذ الوحدة B إلى المسرى للمداولة الثانية , فيفعل إذن الإشارة GNT-B ويلغي تفعيل الإشارة

GNT-A . ولن تستطيع الوحدة A استخدام المسرى حتى يعود المسرى إلى الحالة الخاملة .

٦. تلغي الوحدة A تأهيل الإشارة FRAME للدلالة على أن عملية نقل المعطيات الأخيرة قيد الانجاز . وتضع المعطيات على مسرى المعطيات وتنبه الوجهة بالإشارة IRDY . وتقرأ الوجهة المعطيات في بداية دورة الساعة التالية .

٧. في بداية دورة الساعة الخامسة , تجد الوحدة B أن الإشارتين IRDY و FRAME غير مؤهلتين , وتكون عندئذ قادرة على أخذ زمام المسرى بتفعيل الإشارة FRAME . كما تلغي تفعيل الإشارة REQ الخاصة بها .

☒ نتيجة لذلك يضمن سيد المسرى A نفاذه إلى المسرى لإجراء مداولته الثانية.

١-١٩- المسرى PCMCIA

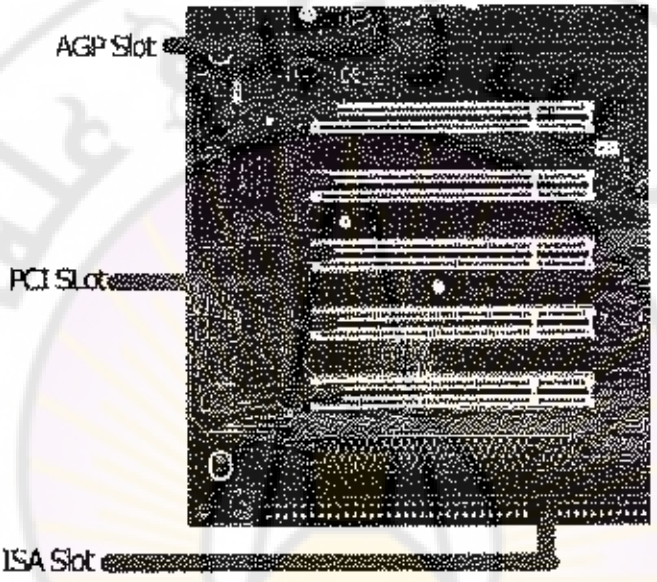
Personal Computer Memory Card International Association

إن المسرى PCMCIA موجه للاستخدام في حواسيب Laptop، وفي Notebook . ويُعد هذا المسرى ذا عرض 32Bit , أي يمكنه التعامل مع معالجات ذات طول كلمة 32Bit , ويُعدّ هذا المسرى أسهل في الاستخدام من المسرى ISA حيث لا يوجد به موصلات Jumpers أو مبدلات Switches سواءً على اللوحة الأم أو على البطاقة الذي سيركب في الشق التوسعي .

١-٢٠- مسرى AGP(Accelerated Graphic Port)

لقد طورت شركة Intel بطاقات AGP وهي أسرع بمرتين من منفذ PCI .

ويبين الشكل (١-٥٧) المسرى AGP والمسرى PCI والمسرى ISA .
يعتبر المسرى AGP قناة اتصال نقطة بنقطة (Point to Point) لربط بطاقة الفيديو على لوحة الأم ,وذلك للمساعدة بشكل أساسي في تسريع أداء الحاسوب عند استخدام الرسومات ثلاثية الأبعاد .



الشكل (١-٥٧) – المسرى AGP والمسرى PCI والمسرى ISA

كان أول ظهور له مع الأنظمة المتوافقة مع المعالجات x86 , فكان هو المأخذ السابع في معالجات البنتيوم 1 وأصبح الشق 2 في معالجات البنتيوم 2 . في بداية التسعينات أصبحت بطاقات الفيديو أكثر قوة , وأصبحت الألعاب ثلاثية الأبعاد تتطلب أداءً عالي المستوى , ونتيجة لذلك لم يعد مسرى PCI يستطيع معالجة كل المعطيات التي تمر بين المعالج الرئيسي ومعالج الفيديو . مما أدى إلى قيام شركة Intel بتطوير بطاقات AGP وصممت أسرع بمرتين من منفذ

PCI . بحيث لا يتشارك عرض المجال الترددي مع أي تجهيزة أخـرى . وأول إصدار أنتجته شركة إنتل سمي بـ AGP Specification 1.0 وذلـك فـي عام 1997 وكان يتضمن السرعات x1 و x2 .

تُبنى تقنية منفذ AGP بالاعتماد على بنية المسرى PCI، لكنه مُصمم بشكل خاص لإخراج الرسوم ثلاثية الأبعاد 3- D graphics. ويستخدم المنفذ AGP قناة مخصصة منفصلة Separate Dedicated Channel، سـامحاً لمـتحكم الرسوم بالوصول المباشر للذاكرة RAM في النظام الرئيسي. وعـرض قنـاة المسرى AGP يبلغ 32Bit وتعمل بتردد 66MHz ، كما أنـه يـدعم نقـل معطيات في حالتي الجبهة الهابطة والصاعدة لنبضة الساعة، وبـسرعة فعالـة 132MHz، وهذه تترجم إلى عرض معطيات إجمـالي 533Mbps ، بمقابـل عـرض مجـال 133Mbps لمـسرى PCI. ويوجـد نوعـان : AGP و AGP pro .

١-٢٠-١- مسرى AGP (Accelerated Graphics Port)

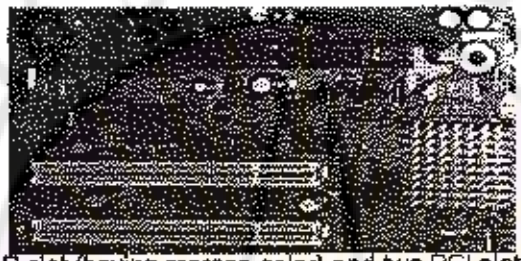
لقد ضاعفت شركة Intel من سرعة بطاقات AGP وذلك بتطوير AGPx2 وهو أسرع بأربع مرات من PCI . ثم طورت بطاقات AGPx4 وهي أسـرع بـ 8 مرات من منفـذ PCI. وحالياً يوجـد بطاقـات AGPx8 وكـذلك AGPx16 وهو الأسرع .

AGP 1x :

وهو عبارة مسرى بعرض 32Bit بجهد قدره 3.3Volt ويعمل بتردد يصل إلى 66 MHz بمعدل نقل معطيات أعظمي يصل إلـى 266 MB/S . أي أن سرعته ضعف سرعة نقل المعطيات الموجودة في الـ PCI الذي استخدم تردد قدره 33 MHz وبعرض مجال 32Bit .

: AGP 2x

وهو عبارة عن مسرى بعرض 32 Bit بجهد قدره 3.3Volt ويعمل بتردد يصل إلى 66 MHz , وباستخدام تقنية الضخ المضاعف على التردد الفعال عند 133MHz أدى لمعدل نقل معطيات أعظمي يصل إلى 533 MB/S . وتضمن الإصدار الثاني من شركة إنتل : AGP 4x .

AGP Accelerated Graphics Port	
 An AGP slot (having maroon color) and two PCI slots	
Year created:	1997
Created by:	Intel
Superseded by:	PCI Express (2004)
Width:	32 bits
Number of devices:	1 device/slot
Capacity	up to 2133 MB/s
Style:	Parallel
Hotplugging?	No
External?	No

الشكل (١-٥٨) – منفذ AGP (اللون البني) مع منفذي PCI

: AGP 4x

وهو عبارة عن مسرى بعرض 32 Bit بجهد قدره 1.5 Volt ويعمل بتردد يصل إلى 66 MHz وباستخدام تقنية الضخ الرباعي على التردد الفعال عند 266 MHz أدى لمعدل نقل معطيات أعظمي يصل إلى 1066 MB/S أو ما يعادل 1 GB/S . وتضمن الإصدار الثالث من شركة إنتل : AGP 8x .

: AGP 8x

وهو عبارة عن مسرى بعرض 32 Bit بجهد قدره 0.8 Volt , ويعمل بتردد يصل إلى 66 MHz , وباستخدام طريقة القدح ثمان مرات في كل نبضة ساعة مقدماً تردد فعال عند 533 MHz , أدى لمعدل أعظمي لنقل المعطيات وصل إلى 2133 MB/S أو ما يعادل 2 GB/S . ويبين الشكل (١-٥٨) منفذ AGP (اللون البني) مع منفذي PCI (اللون الأبيض) .

١-٢٠-٢- مسرى AGP pro

لقد كانت البطاقات التي تضاف إلى أحد المنافذ التوسعية تأخذ تغذيتها من اللوحة الأم عبر التماسات , وكلما تطورت البطاقة ازداد عدد الترانزيستورات في الدارات المتكاملة , وبالتالي أصبحت الحاجة إلى تيارات أكبر مما اضطرت اللوحة الأم إلى تمرير تيار أكبر إلا أن أسلاكها النحاسية لها استطاعة معينة وعند زيادة التيار إلى مقدار يفوق استطاعتها ستتصهر هذه الأسلاك وتنقطع . لذلك أصبحت تصنع بمساحة مقطع أكبر , وعندما استخدمت بطاقات إظهار ذات إمكانية أكبر أصبحت حرارة المعالج الخاص بها تزداد فأصبحت بحاجة إلى مبرد, وكما ذكرنا أنه كلما تطورت بطاقات الإظهار ازداد عدد الترانزيستورات وبالتالي احتاجت إلى طاقة أكبر . وتوجد بطاقات ذات مسرعات تحتاج إلى استطاعات عالية فإذا ركّبت على المنفذ التقليدي قد لا

يحتمل ولهذا السبب تم إيجاد منفذ يدعى AGP pro وأن إمكانية تغذيته محسوبة ومدروسة حتى يؤمن 110Watt , كما سنجد بعد قليل أن أهم ميزة فيه هي زيادة الاستطاعة حيث أصبح قادراً على تأمين استطاعة أكبر لتشغيل البطاقات الحديثة. ويبين الشكل (١-٥٩) المسرى AGP pro , الذي يتميز بما يلي :

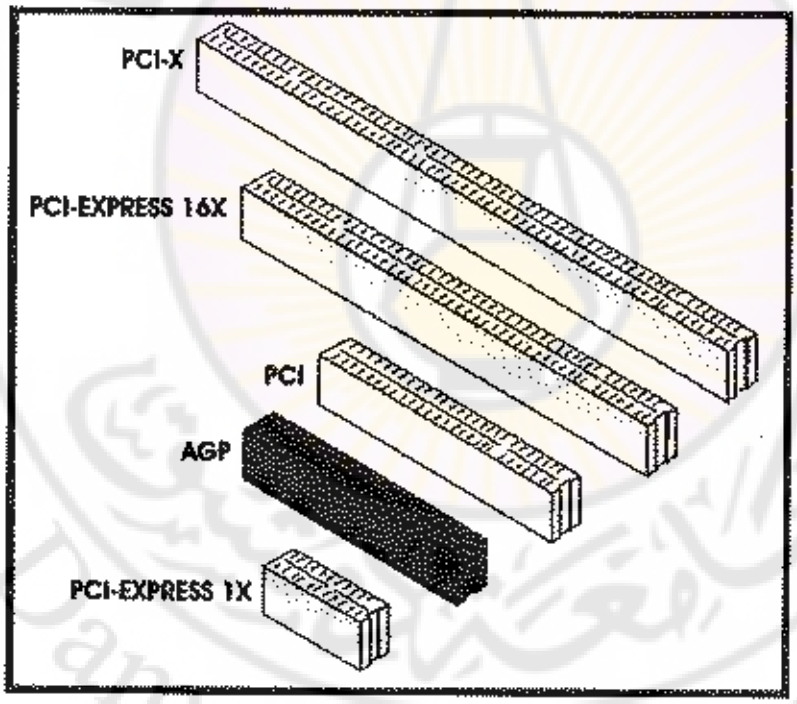
١- القدرة على تأمين طاقة أكبر

إن المنافذ AGP PRO هي امتداد لمنافذ AGP , ويوفر هذا المنفذ طاقة 110 واط لبطاقات موائمة الأشكال الرسومية (بطاقة الشاشة مع إضافات مثل المسرعات) , التي تحتاج لطاقة كهربية عالية . وتحتاج كافة أجهزة الحواسيب لبطاقة عرض واحدة , وهناك أجهزة تدعم تشغيل بطاقتين لتشغيل أكثر من وحدة عرض , إلا أنه لا يوجد سوى منفذ AGP واحد فقط في اوحات الأم العادية .

الشكل (٥٩) – المسرى AGPpro

٢- قدرة لوحات الأم التعامل مع شاشتين

يمكن لبعض لوحات الأم أن تتعامل مع شاشتين , بحيث يربط كرت الشاشة الأول مع شاشة 21 بوصة أو أكبر, يظهر عليها الرسم الذي يتم تصميمه والذي يمكن أن يكون رسماً الكترونياً أو معمارياً أو دارةً الكترونية تحوي أي رسم يتم تصميمه . وكرت شاشة آخر يُربط بشاشة تحوي أوامر البرمجة التي يتم تنفيذها, ويختلف الخرج على الشاشة الثانية عن الخرج في الشاشة الأولى وهذا يختلف عن أنظمة IBM , ويحتاج إلى أنظمة تشغيل مختلفة وبرامج مختلفة (كما في الأنظمة التي يستخدمها بعد المصممين) .



الشكل (١-٦٠) – مقاربة بسيطة بين أنواع المساري

٣- قدرة المواءمة

وهي الملائمة بين شيئين ,مثلاً بطاقة الإظهار موائمة لأنها توفّق بين جهاز الإظهار (الشاشة) وبين اللوحة الأم Motherboard . ويبين الشكل (١-٦٠) مقاربة بسيطة بين المسرى PCI-EXPRESS-1 والمسرى AGP والمسرى PCI والمسرى PCI-EXPRESS-1 والمسرى PCI-X .

١-٢٠-٣- مزايا (AGP) بالمقارنة مع PCI

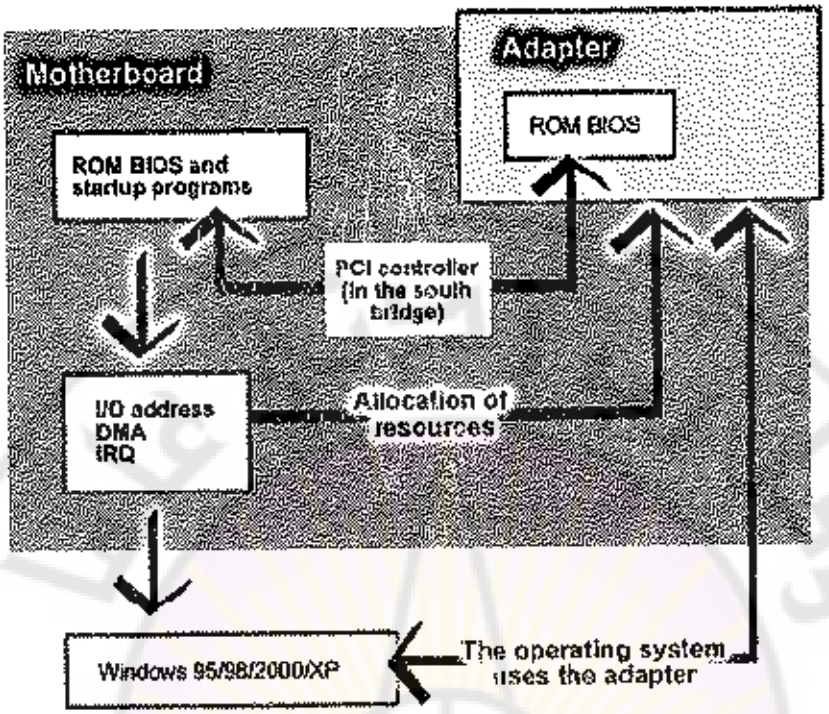
أدى التوجه المباشر للحواسيب نحو الرسومات والفيديو ذلك إلى تطوير المسرى AGP على حساب المسرى PCI الذي يعتمد على المشاركة مع عدة أجهزة بعرض المجال الترددي الخاص به . وإن سبب التفوق الواضح للمسرى AGP على حساب المسرى PCI , لأن المسرى AGP يحدد مساراً أو طريقاً مخصصاً بين الشق Slot والمعالج Processor أكثر من طريقة مشاركة التجهيزات التي يعتمدها المسرى PCI , وهذا أدى إلى زيادة في سرعة الاتصالات . ويستخدم المسرى AGP أيضا طريقة العنونة الـ Side Band وهذا يعني أن خطوط المعطيات والعنونة تكون منفصلة عن بعضها بعضاً وبالتالي لا داعي لقراءة الرزمة بأكملها لاستخلاص معلومات العنونة . ويتم هذا بإضافة مسرى بعرض 8 Bit , يسمح بمتحكم الرسم البياني Graphic بتنفيذ الطلبات والأوامر للمسرى الجديد AGP باللحظة نفسها مع المعطيات المتدفقة للمسرى الآخر AGP وذلك من خلال 32 خط معطيات /عنونة AD lines , وبهذه الطريقة تم تطوير عملية نقل المعطيات في المسرى AGP . بالإضافة لما سبق من أجل تحميل ملف نصي فإن بطاقة الـ PCI للرسم البياني يجب أن تنسخ هذا الملف من ذاكرة النظام RAM ووضعها في مخزن الإطار Frame Buffer الخاص للبطاقة ,بينما بطاقة AGP قادرة على قراءة الملف

النصي مباشرة من ذاكرة النظام RAM باستخدام تقنية GART أو المسماة Graphics Address Remapping Table .

١-٢١- تقنية ركّب وشغّل Pnp (plug and play)

صممت تقنية ركّب و شغّل Pnp لتسهيل عملية التعرف على البطاقات المضافة للحاسوب حديثاً بدون مشاكل تعارض مع الأجهزة المركبة سابقاً . ويتم التعرف على محددات البطاقة الجديدة بشكل آلي (رقم المقاطعة , رقم البوابة ...) . وإن خاصية ركب وشغل(Plug and Play) جزء من خواص الـ PCI وهي تعني أن جميع بطاقات الوصلات PCI ذاتية التعريف , ولقد تم تطوير هذه الطريقة من قبل شركة إنتل ومايكروسوفت Microsoft وذلك لتزويد النظام بإمكانية التعرف بسهولة على أية بطاقة نقوم بوصلها , لكنه من الناحية العملية ليست العملية سهلة جداً , حيث يجب تنزيل السواقة البرمجية قبل عمل الوصلة لكن العمليات المساعدة الحقيقية بين الوصلة واللوحة الأم ونظام التشغيل تحدث بشكل آلي . وتحدث خلال الإقلاع الاتصالات بين برامج إقلاع الحاسوب ومتحكم PCI وكل جهاز PCI أو بطاقة وصلة . ويبين الشكل (١-٦١) المخطط الصندوقي لعمل Plug and Play .

وينبغي أن تكون بطاقة الوصلة قادرة على إعلام مسرى الدخل/الخرج I/O بعناوين الدخل/الخرج I/O وطلبات المقاطعة التي تعمل معها وتكون قادرة على تعريف نفسها وتجهيزها من أجل استعمال المصادر الموزعة إليها من خلال المسرى I/O . وعندما يتم ذلك بنجاح تقوم الوصلة بتجهيز نفسها تلقائيا وتصبح جاهزة للاستخدام من قبل نظام التشغيل . إن جميع التجهيزات التي تتضمن Adapter و Motherboard بالإضافة إلى ذلك تتضمن نظام تشغيل Windows , ويجب أن تمتلك خاصية Pnp من أجل عمل النظام .



الشكل (١-٦١) – المخطط الصندوقي لعمل Plug and Play

١-٢١-١- شرط عمل هذه التقنية

من شروط عمل هذه التقنية :

١. دعم نظام الإدخال والإخراج الأساسي BIOS لتقنية Pnp , ويجب أن يحوي الـ BIOS عتاد وتحكم برمجي لمراقبة المنافذ.

٢. دعم نظام التشغيل لتقنية Pnp .

٣. يعمل الجهاز المضاف بتقنية Pnp حيث يرسل معلومات عن نفسه لتعريفه على الحاسوب .

يوجد داخل الـ BIOS برنامج صغير يراقب كل المنافذ ويقوم بشكل آلي

بإرسال إشارات تحكمية إلى أي بطاقة تركب في أحد هذه المنافذ . وإذا كانت هذه البطاقة تدعم تقنية Pnp تتلقى الإشارة وتُجيب عليها معرّفة عن نفسها حسب طبيعتها (شاشة , صوت .....) وتعطي كل المعلومات عنها ويقوم نظام التشغيل بالإعلام عن وجود جهاز جديد.

وإذا كان تعريف هذه البطاقة ضمن تعاريف نظام التشغيل يتم التعرف عليها وتبدأ عملها ,أما إذا كانت البطاقة قد صدرت بعد نظام التشغيل فإن تعريفها لا يتواجد مع تعريفاته حكماً وبالتالي يستخدم القرص CD المرفق لتعريفها . وهذا يعني كل بطاقة نضيفها لها برنامج مواءمة خاص بها . عندما ظهر نظام التشغيل Windows Vista واجهت مشكلة عدم التوافق مع كثير من البطاقات كما حدث عند إصدار نظام التشغيل Windows XP . إن حل هذه المشكلة بسيط جداً وذلك عن طريق تحديث برامج هذه البطاقات لتتوافق مع النظام .

١-٢٢- المنافذ الخارجية لنظام الحاسوب

١-٢٢-١- منافذ النقل التسلسلي Serial Transmission

وهي المنافذ التي يتم من خلالها الإرسال الذي ينقل مجموعة من البتات Bits بمعدل بت واحدة في كل مرة عبر خط نقل واحد .إن المنفذ التسلسلي هو عبارة عن ممر(سلك) تمر ضمنه البيانات بتاً وراء بت أي تتسلسل المعطيات DATA وراء بعضها . عادة من الضروري نقل المعلومات تسلسلياً لسببين :

١. متطلبات وحدة الدخل/الخرج I/O المراد النقل إليها أو منها لا تقبل إلا معطيات تسلسلية بت واحدة (1Bit) في كل مرة .
٢. عندما تكون المسافة بين المعالج الصغري ووحدة الدخل/الخرج I/O كبيرة .

بشكل عام الربط التسلسلي مطلوب بين المعالج الصغري ووحدة

الدخل/الخرج I/O . وهذا الربط يحقق وظيفتين :

١. تتضمن الدارات المنطقية لتشكيل هيئة المعطيات مبدلات (توازي/تسلسلي) و مبدلات (تسلسلي / توازي) .

٢. تحويل مستوى الإشارة المنطقية إلى مستوى إشارة مقبولة من خطوط القناة المراد استخدامها لإرسال المعطيات من المعالج الصغري إلى وحدة الدخل/الخرج أو بالعكس .

يمكن تحقيق نقل المعطيات التسلسلية بأحد الطرق التالية :

١. **نظام Simplex** : في هذا النظام تنقل المعطيات فقط باتجاه واحد .

٢. **نظام Half duplex** : تنقل المعطيات في هذا النظام باتجاهين ولكن في كل مرة يتم استخدام اتجاه واحد من الاتجاهين .

٣. **نظام Full duplex** : تنقل المعلومات في هذا النظام بالاتجاهين في الوقت نفسه .

١-٢٢-٢- منافذ النقل المتوازي Parallel Transmission

وهي المنافذ التي يتم من خلالها الإرسال الذي ينقل مجموعة من البتات المحددة من البايتات (Byte) في كل لحظة, ويمكن أن يكون 8 bit أو 16 bit أو 32 bit أو 64bit . وهو عبارة عن مجموعة أسلاك تتدفق فيها المعطيات على التوازي . **وإذا فرضنا سرعة التدفق في النقل التسلسلي والمتوازي نفسها هل تكون سرعة انتقال البيانات نفسها ؟**

حكماً لا , لأن سرعة النقل المتوازي أكبر بـ 8 مرات من النقل التسلسلي (إذا كان 8 بت طول الكلمة على سبيل المثال) .

يستخدم النقل التسلسلي إذا كانت كمية المعطيات DATA المتبادلة صغيرة أو عندما نضطر لاستخدامه لسبب ما .أما النقل المتوازي فيستخدم إذا أردنا زيادة

تبادل المعلومات مع الجهاز . وبالتالي توجد شروط معينة للتواصل بين المرسل والمستقبل وقد تكون هذه الشروط صارمة أحياناً .

١-٢٢-٣- المنفذ التسلسلي Serial Port RS232

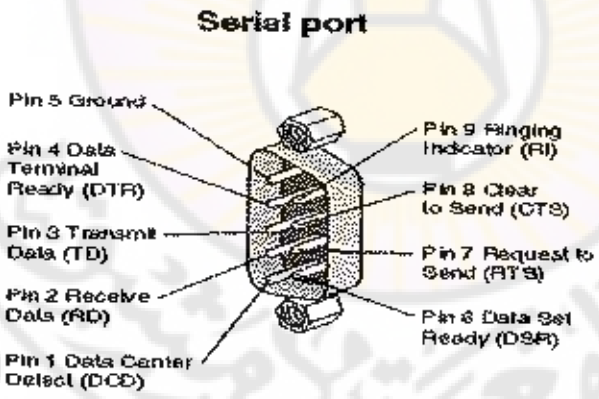
هو وصلة تسلسلية طورتها منظمة EIA (تقابل V 24) في CCITT, له المواصفات التالية :

- تحول المعطيات من الربط التفرعي إلى الربط التسلسلي وبالعكس .
- تتعامل مع عدة سرعات :

50 MHz , ... ,2400 MHz ,4800 MHz 9600 MHz

(تعمل عليها الفأرة) و 14800MHz , 19200 MHz .

- تتألف من 25 رجل للشكل الكامل و 9 أرجل للشكل المختصر . ويبين الشكل(١-٦٢) المنفذ التسلسلي في منافذ النظام .



الشكل (١-٦٢) – المنفذ التسلسلي RS232 ذو 9 أرجل

١-٢٢-٣-١- مبدأ عمل المنفذ التسلسلي RS232

يتألف من مرسل/ مستقبل بالإضافة إلى منطق التحكم ويوصل بالحاسوب باتجاهين للمعطيات DATA . وهذا المنفذ سواءً أكان 9 أو 25 رجلاً فهو يحوي مستقبل (رجل) ومرسل (رجل) ومجموعة أرجل تحكمية . وهو يحتاج إلى ذاكرة . فعلى سبيل المثال إذا تم إرسال 8bit بشكل تفرعي من المعالج فإنها تخزن في المخزن Buffer ضمن المتحكم ثم تخرج بعد ذلك تسلسلياً أي Bit - Bit وبالعكس أيضاً إذا تم إرسال المعطيات تسلسلياً فإنها تخزن في المخزن Buffer ضمن المتحكم ثم تخرج تفرعياً (بالتوازي) أي أن المعطيات تخزن في المخزن Buffer إلى أن تصبح جاهزة .

تعتمد جميع الدارات الرقمية المبدأ الرقمي Digital , أما الدارات التمثيلية (التناظرية) Analog فتعمل على مبدأ آخر .فمثلاً يكون التلفاز إما في حالة تشغيل أو عدم تشغيل , ولكن توجد أيضاً حالة ثالثة عند إطفائه عن طريق جهاز التحكم بحيث تكون معظم الدارات في الحالة OFF بينما تكون بعض الدارات في الحالة ON ترتقب إعادة التشغيل مرة أخرى . وهذا ما يؤدي إلى المحافظة على آخر تعديلات جرت على الجهاز, كما تجعل تشغيله مرة أخرى أسرع بحيث تكون بعض الدارات قيد العمل , وهذا ما يسمى بالحالة Stand by أو حالة ثبات .فمثلاً عندما نضع الحاسوب في حالة ثبات يتم الاحتفاظ بالحالة الأخيرة أي الاحتفاظ بالملفات المخزنة على الذواكر مؤقتاً وتكون بحالة استعداد لاسترجاعها إلى الحالة التي كان عليها قبيل بدء حالة الثبات Stand by .

وتعمل الدارات الرقمية بشكل عام على هذا المبدأ , وذلك لعدم الرغبة بوضع الدارات في الحالة OFF التي تؤدي إلى فقدان المعلومات المؤقتة التي تصلها, حيث تساعد حالة الثبات Stand by على إزاحة تلك المعلومات في حالة عدم

استخدامها إلى أن يتم طلبها عند الحاجة, ويستفاد منها عندما يكون لـدينا عـدة دارات خرج نريد التحكم بها عن طريق تشغيل بعضها وإيقاف تشغيل بعـضها الآخر (ليس إيقاف نهائي وإنما Stand by) بالتبادل السريع فيما بينها وذلـك لأن حالة الإيقاف النهائي تؤدي إلى الحاجة لفترة زمنية قبل أن تتمكن الـدارات من استعادة نشاطها , إضافة إلى المعطيات التي قد تفقدها عند التبادل فيما بينهـا لولا وجود مثل هذه الحالة . وبنفس الشكل المنفذ RS232 يكون فعالاً ولكـن لا يتم تبادل المعطيات بين الجهاز الخارجي واللوحة الأم إلا بتفعيل الرجل CS.

تُعرف مواصفات المنفذ **RS232** نوعين من التجهيزات التي تستطيع أن تتـصل بوصلات تسلسلية وهي:

- **تجهيزة نهاية المعطيات DTE**

(Data Terminal Equipment)

مثل الطابعات، والحواسيب، والطرفيات .

- **تجهيزة اتصال المعطياتDCE**

(Data Communication Equipment)

مثل جهاز مصمم ليتصل مع كبل مسافات طويلة (خط الهاتف)، كالمودم.

إن المنفذ التسلسلي RS232 يضم مرحلتين أساسيتين :

١. **دارة محول تسلسلي Serial Transmitter** : مـسؤولة عـن تحويـل المعطيات القادمة لها (تفرعياً) والمأخوذة من مسرى المعطيات Data Bus وتحوله إلى شكل تسلسلي, ويحتاج هذا المنفذ إلى مخـزن Buffer يتـسع لعدد بتات التحويل التفرعي (المتوازي) إلى تسلسلي أو بالعكس .

٢. **دارة تحكم منطقي Control Logic**: تقوم بقيادة دارة RS232 وتحويـل إشارات التحكم من الحاسوب إلى المنفذ التسلسلي .

يتألف المنفذ RS232 قياسياً من 25 رجلاً وخفضت فيما بعد من 25 إلى 9 أرجل (مثلاً وصلة com, وصلة RS 232 لها 9 أرجل) . ويوجد خطوط تأهيل CS أو CE أو ES (SELECT CHIP ENABLE) .

تُستعمل الوصلة RS 232 ذات 25 Pin (رجل) لتحقيق ما يلي :

١. توافق مستوى فولطية الإشارات بين طرفي الوصلة .
٢. وصل خطوط المساري بشكل صحيح .
٣. ملائمة بعض خطوط تحكم المعطيات .

المنفذ التسلسلي RS232 المستخدم في الحاسوب هو من نوع 9 أرجل ويتمثل بشكل Male (منافذ ذكرية) . ويوضح الشكل (١-٦٢) هذا المنفذ . ويستخدم في المودم حيث يسمى أحياناً بمنفذ المودم ويتصل عبر الحاسوب عبر منافذ الكوم الشهيرة Com . ويستطيع التعامل مع المتحكمات الصغرية Microcontroller بشكل ممتاز في القراءة والكتابة .

المعيار الأساسي يعرف 25 خطاً في واجهة الترابط ولكن منافذ RS-232 قلما تدعم أكثر من 9 خطوط ، والإشارات الإضافية تكون مستخدمة في المودمات المتزامنة مثل :اختيار سرعة النقل في مودم يمكنه استخدام معدلين لنقل المعطيات .

بعض التطبيقات تتطلب استخدام ثلاثة خطوط فقط ، و خطين في حال النقل باتجاه واحد . ويستخدم RS-232 للاتصال بين طرفية حاسوبية ومودم خارجي. والاستخدام المحبب لـ RS-232 هو في ربط الحاسوب إلى الأنظمة المضمنة أو لربط نظامين مضمنين مع بعضهما . ويبين الجدول (١-١١) إشارات المنفذ التسلسلي للحاسوب ذي 9 خطوط وكيفية استعمالها من قبل التجهيزات الطرفية .

تجهيزة الـ DTE وDCE

❖ إن التعبير DTE يعني تجهيزة طرفية المعطيات

DTE (Data Terminal Equipment)(computer)

❖ و التعبير DCE يعني تجهيزة دارة المعطيات

DCE (Data Circuit Equipment)(modem)

تكون الإشارات السابقة متبادلة حسب الجدول(١-١١) بين الـ DTE و DCE، وتمثل منافذ RS-232 على الحاسوب دائما DTE . ليس مهماً أي جهاز هو DTE أو هو DCE . تعطي الـ DCE إشارة CTS عندما تكون جاهزة لاستقبال المعطيات . وتعطي الـ DTE إشارة RTS عندما تكون جاهزة لاستقبال المعطيات.

Pin Number (9-pin D-sub)	Pin Number (25-pin D-sub)	Signal	Source	Type	Description
1	8	CD	DCE	control	Carrier detect
2	3	RX	DCE	data	Receive data
3	2	TX	DTE	data	Transmit data
4	20	DTR	DTE	control	Data terminal ready
5	7	SG	–	–	Signal ground
6	6	DSR	DCE	control	Data set ready
7	4	RTS	DTE	control	Request to send
8	5	CTS	DCE	control	Clear to send
9	22	RI	DCE	control	Ring Indicator
–	1, 9-19, 21, 23-25	unused	–	–	–

الجدول (١-١١) – وظائف وإشارات المنفذ التسلسلي للحاسوب ذي 9 أرجل

ويبين الجدول (١٢) استخدام المنفذ RS232 للجهود السالبة والموجبة .

Parameter	Voltage (V)
Logic 0 or On output	+5 to +15
Logic 1 or Off output	-5 to -15
Logic 0 or On input	+3 to +15V
Logic 1 of Off input	-3 to -15

الجدول (١٢) –استخدام المنفذ RS 232 للجهود السالبة والموجبة

١-٢٢-٣-٢- مساوئ وميزات المنفذ التسلسلي RS232

Serial Port RS232

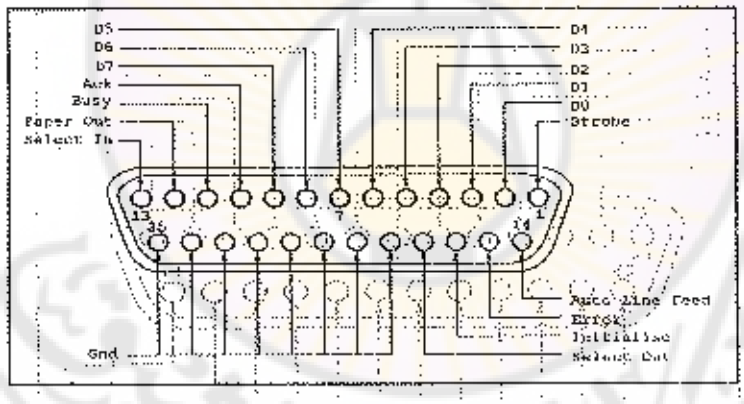
إن أهم ميزات ومساوئ المنفذ التسلسلي RS232 هي :

- من مساوئ المنفذ التسلسلي هو استخدام مزود طاقة لكافة الأجهزة التي تتصل عبره.
- ويمتاز المنفذ التسلسلي عن المنفذ التفرعي(التوازي) باستخدام رجل pin خاص للإدخال وأخرى للإخراج . أي بمعنى آخر أنه أسرع بكثير من المنفذ التفرعي Parallel Port .

١-٢٢-٤- المنفذ التفرعي Parallel Port

من مساوئ النقل التسلسلي هو انخفاض معدل النقل، ويحتاج الإرسال التفرعي إلى كابلات بأسلاك متعددة، غالية الثمن، وتسبب تخامداً للإشارة Signal Attenuation، وتشوهاً لها على الكابلات الطويلة. وعند الإرسال لمسافات قصيرة ويُعد الإرسال التفرعي أكثر فعالية من الإرسال التسلسلي، من جهة

السرعة وبساطة الدارة. ويبلغ عرض المنفذ التفرعي LPT1 في الحاسوب الشخصي 8bit، وبذلك فإنه يتم نقل البتات كاملة دفعة واحدة. وتركيب المنفذ التفرعي أبسط من تركيب المنفذ التسلسلي أيضا، ولا يتطلب إزاحة مستوى جهد، ولا يستخدم بتات بدء، وتوقف، وزوجية Parity، بل يتطلب إشارات مصافحة Handshake للتحكم بتدفق المعطيات بين الجهاز المحيطي والحاسوب. ويُعرف مقياس الاتصال التفرعي باسم مقياس سينترونكس Centronics، وقد أعد هذا المقياس لنقل 8bit من المعطيات بين الحاسوب والوحدات المحيطية، ويسمح المنفذ التفرعي بتدفق المعطيات باتجاهين Bi-directional Data Flow، واتصال ذكي ثنائي الاتجاه Intelligent Bi-directional Communications. ويبين الشكل (١-٦٣) المنفذ التفرعي .



الشكل (١-٦٣) - المنفذ التفرعي

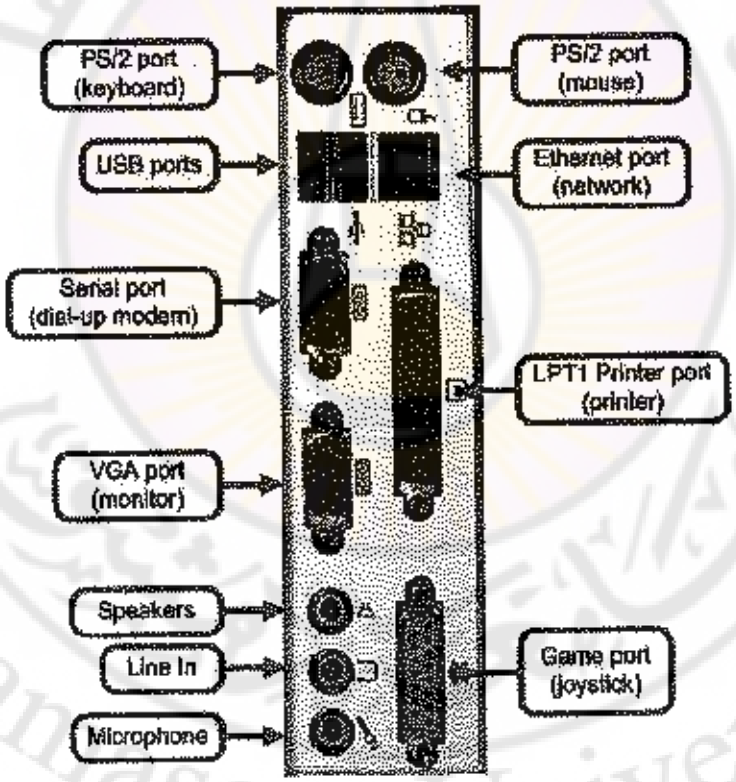
وتنقل المساري التفرعية جميع وصلات المعطيات عبر أسلاك منفصلة ، وفي الوقت نفسه يحتوي المنفذ التفرعي على المجموعات التالية من الخطوط وهي 25 خطاً :

❖ **8 خطوط لنقل المعطيات** من/إلى الحاسوب (لقد كانت خطوط خرج فقط في الحواسيب القديمة) .

❖ **مجموعة خطوط تحكم** : وعددها 9 خطوط وتستخدم لدورة القراءة والكتابة والمقاطعة وطلب DMA والانتظار وغيرها ....الخ .

❖ **8 خطوط** : خط واحد أرضي وسبعة خطوط غير مستخدمة .

نرمز للمنفذ التفرعي بـ LPT1 , LPT2 ويوضح الشكل (١-٦٤) المنفذ التفرعي LPT1 لمدخل الطابعة أما المنفذ LPT2 لعصى الألعاب .



الشكل (١-٦٤) – يوضح منافذ النظام الأساسية في الحاسوب

١-٢٢-٥- منافذ PS/2

وهما منفذان مخصصان لتوصيل الفأرة ولوحة المفاتيح وهما متشابهان من حيث الشكل إلا أنهما مختلفان من حيث اللون. فاللون الأول أخضر وهو مخصص للفأرة واللون الآخر بنفسجي وهو مخصص للوحة المفاتيح . ويبين الشكل (١-٦٣) المنفذين PS/2 للفأرة وللوحة المفاتيح .

تعتبر منافذ الـ PS/2 منافذ متوالية حديثة وبظهورها أصبحت الفأرة توصل بها بدلاً من توصيلها بالمنفذ المتوالي COM1 أو COM2 . و أصبحت لوحة المفاتيح توصل بها بدلاً من المنفذ المخصص للوحة المفاتيح القديمة .

١-٢٣- منافذ المسرى التسلسلي العام USB

Universal Serial Bus

لقد بقيت سرعة المعطيات Data نفسها في كل من النقل التسلسلي والتفرعي وإنما ازداد عدد الأسلاك , لذا كانت الحاجة إلى وجود منفذ جديد يتيح تدفقاً أكبر للمعطيات . فظهر منفذ جديد يدعى المنفذ التسلسلي العام USB . إن التعامل معه بشكل تسلسلي ولا يحتوي على عدد كبير من الخطوط (الأسلاك .

لقد ظهر المنفذ التسلسلي العام USB بجهد العديد من الشركات العاملة في مجال الحاسوب في محاولة لإنتاج منفذ قياسي عالمي يمكن استخدامه لتوصيل أي تجهيزة من التجهيزات الملحقة بالحاسوب , وبالفعل بدأت هذه الشركات وشركات أخرى في تكييف ملحقات الحاسوب كي يمكن توصيلها بهذه المنافذ. وهو يستخدم التوصيل التسلسلي وقد أنتج منافذ USB1.1 و USB2.0 و USB3.0 ويتراوح معدل نقل المعطيات مابين 12 Mbps إلى 4.8Gbps . وهو معدل يجعل من هذا النوع من المنافذ في المقدمة , ومن المتوقع أن توصل

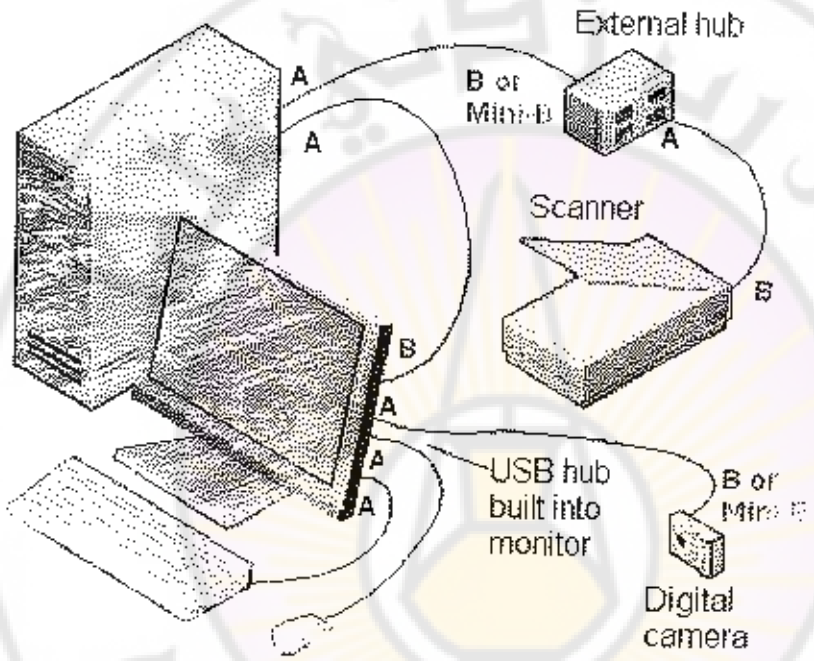
معظم ملحقات الحاسوب عن طريق هذه المنافذ قريباً. ويبين الجـدول(١-١٣) مواصفات المسرى UAB .

U.S.B. *Universal Serial Bus*	
Year created :	January 1996
Created by :	Intel, Compaq, Microsoft, Digital Equipment Corporation, IBM, Northern Telecom
Width in bits:	1
Number of devices:	127 per host controller
	1.5, 12, or 480 Mbit/s (0.2, 1.5 or 60 MByte/s)
Style:	Serial
Hotplugging?	Yes
External?	Yes

الجدول(١-١٣) – مواصفات المسرى USB

هذا المنفذ هو أسرع من المنفذ التسلسلي RS232 (Serial Port RS232). ولكن الإصدار الثاني الشهير USB2 أصبحت سرعته ضعف سرعة الإصـدار الأول . وأصبحت هناك تحويلات جديدة نشاهدها مثل تحويل منفذ الشبكة الـذي لم يكن موجوداً من قبل , كونه أسرع من المنافذ القديمة. وهذا المنفذ يشبه فـي عمله المنفذ التسلسلي RS232 , بحيث يحتوي على أربعة كوابل داخلية اثنـان منها للطاقة بمقدار 5volt , والثالث للإرسال والرابع للاستقبال . إن منفذ USB أصبح حالياً المنفذ المعتمد في معظم أجهزة التوصيل أو ما يعرف بالوحـدات

المحيطية Peripheral ، ويمكننا من خلال منفذ واحد فقط التحكم بعدد كبير من الأجهزة وذلك باستخدام ما يعرف بالموزع (مبدل) Hub حيث يقوم بتحويل عدة منافذ جديدة عبر منفذ واحد كما هو موضح في الشكل (١-٦٥) .
ويبين الشكل (١-٦٤) منافذ الـ USB في نظام الحاسوب .



الشكل (١-٦٥) – وصل الوحدات الطرفية بالحاسوب بواسطة المنفذ USB

١-٢٣-١- ميزات المنفذ USB

من أهم ميزات المنفذ USB :

١. التخلص من العدد الكبير للأسلاك .

٢. زيادة تدفق المعطيات DATA حيث تم إنتاج منفذ USB بسرعة بطيئة

1.5 MBps وسرعة عالية 12 MBps وسرعة عالية جداً 480 MBps وسرعة فائقة 4.8 GBps.

٣. سهل التنفيذ :

أ- للوصول لوضع المقاطعات IRQ .

ب-للوصول المباشر للذاكرة DMA .

ت-لعنونة المنافذ لتصبح مع استخدام المنفذ USB .

٤. أهم خصائص هذه المنافذ إمكانية تركيب وتثبيت أجهزة مع المسرى USB لا تحتاج إلى عمليات إطفاء الجهاز قبل التوصيل، أو إعادة إقلاع الجهاز بعد تنفيذ عملية التوصيل وتعرف هذه الخاصية باسم الاستبدال السريع Hot- Swapping .

٥. يتم التحسس لكل ما يتم توصيله آليا عبر نظام التشغيل مثل نظام مايكروسوفت ويندوز أو لينوكس أو ماكنتوش .

٦. تستطيع منافذ الـ USB تحويل معطيات بمعدل 1.5 Mbps حتى 4.8GBps فهو اسرع بكثير من المنافذ التسلسلية الأخرى

٧. القدرة الفائقة في النقل مابين الحواسيب والتجهيزات المحيطية ، مثل وسائط التخزين المغناطيسي و الكاميرات الرقمية ... الخ .

٨. يستطيع منفذ USB أيضا نقل الطاقة الكهربائية اللازمة من الحاسوب إلى بعض الوحدات الطرفية . فهو بذلك يؤدي نفس وظيفة وحدة مزود الطاقة الخارجية External Power Supply .

إن أفضل ما يميز هذا المنفذ هو عدم الحاجة لمزود طاقة في بعض الأجهزة التي لا تحتاج إلى طاقة كبيرة مثل المودم وبعض أنواع بطاقات الصوت والفيديو الخارجية وكاميرات الويب وبعض أنواع الطابعات صغيرة الحجم

والماسحات الضوئية ،وجميع الأجهزة التي تستهلك طاقة مثل الماسحات الضوئية . إذا تم تطوير نوعية تتصل عبر منفذ الـ USB , مثل الماسح الضوئي , دون الحاجة لمزود طاقة , فسيكون إنتاجها أقل من ناحية الجودة وهذا شيء طبيعي بسبب قوة الإضاءة الواجب توفرها للماسح الضوئي والتي لا يمكن توفرها في منفذ الـ USB الحالي والذي لدية جهد خرج بقيمة 5V , وقد تكفي لبعض الأجهزة الأخرى .

١-٢٣-٢- المنفذ USB1.1

لقد ظهرت المواصفات العامة لتقنية USB 1.1 في عام 1998 . وإن معدل سرعة نقل المعطيات عبر المسرى USB تصل إلى 12Mbps أي بمعدل 100 مرة أسرع من المنفذ التسلسلي RS232 وحوالي أربع مرات على الأقل من أقوى منفذ تفرعي Parallel . ويمكن توصيل 127 تجهيزة على منفذ واحد من نوع USB مما يسهل استخدام العديد من التجهيزات في الوقت نفسه وبدون حدوث أي اختناقات . وتستخدم تلك التجهيزات رقم مقاطعة IRQ واحدة فقط والذي يحل مشكلة تضارب الأوامر . وله إمكانية التبديل الفوري HOT- SWAPPING , ويمكن تركيب أي جهاز وفكه أو استبداله بجهاز آخر مختلف بدون تغيير الإعدادات أو إغلاق نظام التشغيل Windows وإعادة تشغيل الحاسوب .

ويدعم نظام التشغيل Windows 98/Me/2000/XP/LINUX/MAC9 لتكنولوجيا USB. وتنتقل المعطيات على شكل مجموعات (رزم) Packets وفي اتجاهين أي يقطع المعطيات وينقلها بشكل رزم وهو مبدأ عمل الشبكات . فهو مصمم ليعمل بسرعتين :

- **سرعة بطيئة** : 1.5 Mbps وتستخدم للتجهيزات البسيطة مثل الفأرة ولوحة المفاتيح وأداة التحكم للألعاب .

❖ **سرعة كبيرة Full Speed:** 12 Mbps وتستخدم للتجهيزات السريعة مثل الطابعات والماسحات الضوئية والكاميرات الرقمية .

ويوفر منفذ USB تياراً كهربياً بمقدار 500 mA من مصدر طاقة الحاسوب إلى التجهيزات الموصولة به مثل الكاميرات وغيرها مما لا يتطلب الحاجة إلى استخدام مصادر طاقة أخرى. فكل مأخذ تسلسلي أو تفرعي يأخذ رقم مقاطعة واحد فمثلاً إذا وضعنا مأخذين يأخذان رقمي مقاطعة وهكذا , أي كأننا نصل جهازين منفصلين مستقلين , أما في منفذ USB إذ أنه يعتمد مبدأ الشبكات أي يستطيع المتحكم نظرياً التعامل مع 127 جهازاً برقم مقاطعة واحد وبدون وجود اختناقات . ولكن للتوفير تصنع اللوحة الأم بعدد محدود من مآخذ USB .

١-٢٣-٣- المنفذ USB 2.0

تم إصدار هذا المنفذ في عام 2000 , ويمتاز بخواص المنفذ USB1.1 نفسها, أما سرعته فهي 480 Mbps أي أسرع بـ 40 مرة من منفذ USB 1.1 مما يؤدي إلى زيادة سرعة انتقال المعطيات ويقلل الاختناقات , أما في حالة توصيل العديد من التجهيزات على المنفذ التسلسلي أو التفرعي يجب إعادة تشغيل الحاسوب حتى تعمل التجهيزات المتصلة بها , أما منفذ USB فلا حاجة لذلك حيث تعمل التجهيزات الموصولة بواسطتها بتقنية Pnp ويتم تعريف الجهاز آلياً . إن تصميم منفذ USB2.0 في الأساس لتوصيل الكاميرات الرقمية والأقراص الصلبة الخارجية ومعدات أخرى تحتاج إلى تحويل كميات كبيرة من المعطيات بسرعة. هذا المنفذ أسرع من منفذ Firc wire 400 ويتوافق مع منفذ USB1.1 . لكنه أعلى سعراً من المنافذ الأخرى. فهو مصمم ليعمل بسرعة عالية تصل إلى 480Mbit/s أي بمعدل 60Mbyte/s . ويبين الشكل (١-٦٦)

منفذ USB خارجي .

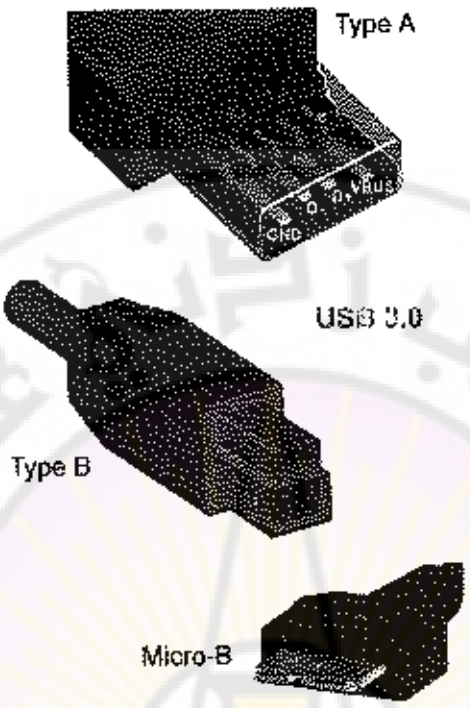
يبين الشكل (١-٦٦) – منفذ USB خارجي

❁ **ملاحظة :** الأجهزة الموصولة عبر المأخذ USB تأخذ تغذيتها من اللوحة الأم لذا لا ينبغي وضع جهاز يحتاج الى طاقة عالية لأن ذلك سيؤدي إلى إجهاد اللوحة الأم وإرهاقها .

١-٢٣-٤- المنفذ USB 3.0

تم إصدار هذا المنفذ في عام 2008 ، ويمتاز بخواص المنفذ USB2.0 نفسها ، أما سرعته فهي 4.8 Gbit/s (أي بمعدل نقل تصل إلى 600MByte/s) أي أسرع بـ 10 مرة من المنفذ USB 2.0 مما يؤدي إلى زيادة سرعة انتقال المعطيات وتقلل الاختناقات ، فهو يملك سرعة فائقة لنقل المعطيات ، وهو متوافق مع جميع الإصدارات السابقة ، فهو مصمم ليعمل بسرعة فائقة Super Speed ، ويبين الشكل (١-٦٧) منفذ الـ USB3.0 .

From Computer Desktop Encyclopedia
Reproduced with permission.
©2009 Intel Corporation



الشكل (١-٦٧) - يبين منافذ الـ USB3.0

مـيـزاتـــه

- من الميزات الهامة للمسرى USB3.0 السرعة الفائقة Superspeed وتصل إلى 4.8Gbit/s (معدل نقل تصل إلى 600MByte/s) أو أكثر .
- إن كابلات الـ USB3.0 تحتوي على سلكين للطاقة والأرضي وسلكين للمعطيات ذات السرعة غير الفائقة وأربعة أسلاك للمعطيات ذات السرعة الفائقة وحاجب (غير مطلوبة في المواصفات السابقة) .
- لملائمة الأرجل الإضافية لنمط السرعة الفائقة , يحلل الشكل المادي لموصلات USB3.0 عن تلك المستخدمة في الاصدارات السابقة .

- تثبت السرعة الفائقة اتصالات الـ pipe (خط توارد) بين المضيف Host وكل تجهيزة (راجع الشكل (١-٦٧)) في برتوكول الدليل – المضيف . بالمقارنة مع USB2.0 الذي يقوم بإرسال الرزم إلى جميع التجهيزات .
- يوسع الـ USB3.0 نوع النقل الكتلي في السرعة الفائقة بتدفقات المعطيات, هذا التوسع يسمح للمضيف والتجهيزات لخلق ونقل تدفقات متعددة للمعطيات من خلال خط توارد وحيد .
- تتضمن ميزات إدارة الطاقة الجديدة دعماً للعطالة والسبات والحالات المؤجلة بالإضافة إلى الربط والتجهيزة ومستوى الوظيفة لإدارة الطاقة .
- لا يعرّف USB3.0 طول الكبل ويمكن أن يكون أي طول طالما يقابل كل المتطلبات المعرفة في المواصفات . على أي حال إن توقعات electronicdesign.com سيكون طوله 3m في السرعة العالية .
- التقنية مشابهة لقناة وحيدة من PCI Express 2.0(5-Gbit/s) . يستعمل ترميز 8B/10B وسجل إزاحة ذو تغذية خلفية خطي (LFSR) يتدافع من أجل المعطيات وطيف الإشارات , ويجبر المستقبل لاستعمال إشارات التردد المنخفض الدورية , والمساواة الديناميكية , وتدريب سلاسل لضمان قفل الإشارة السريعة .

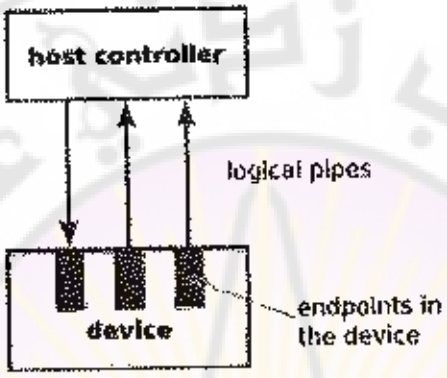
١-٢٣-٥- أقسام المنفذ USB

يتألف المنفذ USB من ثلاثة أجزاء(كما هو مبين في الشكل (١-٦٨)) وهي :

١. **الجزء المركزي للمسرى HOST** : وهو أداة التحكم الموجودة ضمن لوحة الشرائح ويعمل كوسيط بين مكونات المنفذ USB الأخرى .
٢. **الموزع HUB** : وهو موزع لتوصيل أكثر من جهاز على منفذ

HOST واحد ويسمى Hub Root ويمكن توصيل موزعات إضافية أخرى عليه .

٣. **الأجهزة Devices:** هو الجهاز المعد للتوصيل على منفذ الـ USB .



الشكل (١-٦٨) – أقسام المنفذ USB

١-٢٤- المسرى التسلسلي Fire Wire

ويسمى المسرى IEE1394 , ويوجد نوعين من المسرى التسلسلي **Fire Wire**:

أ – المسرى التسلسلي **Fire Wire** وتصل سرعته إلى 400 MbPS .

ب – المسرى التسلسلي **Fire Wire** وتصل سرعته إلى 800 MbPS .

وسوف يتم شرحه بشكل مفصل في فصل قادم .

١-٢٥- منفذ سينترونيكس Centronics

يتم اتصال معظم الطابعات مع الحاسوب عبر هذا المنفذ ، والذي يتمتع بالمواصفات التالية:

- نقل تفرعي للمعطيات من الحاسوب إلى الطابعة.
- مصافحة Handshaking عن طريق إشارة تعارف بمستوى منخفض (ACK Logic Low Acknowledge)، وبإشارة مستوى مرتفع BUSY من الطابعة إلى الحاسوب .
- إن إشارات المعطيات، وإشارات التحكم بالواجهة كلها متوافقة مع مستويات منطق TTL.

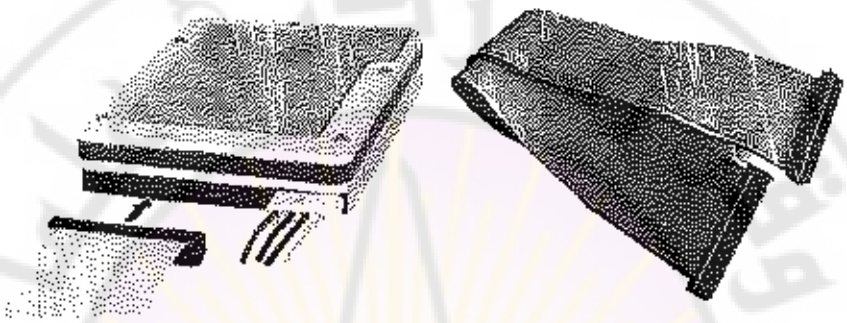
١-٢٦- موصلات الأقراص IDE & FDD Connectors

هي موصلات خاصة بتوصيل كوابل المعطيات الموصلة بمشغلات الأقراص المرنة والصلبة والمدمجة حيث يوصل القرص المرن بالموصل FDD Connector ويوصل القرص الصلب أو المدمج بالموصل IDE Connector حيث تزود اللوحة الأم بموصل واحد لمشغل الأقراص المرنة FDD و موصلين من نوع IDE يستخدم إحداها لمشغل القرص الصلب والآخر لمشغل الأقراص المدمجة .

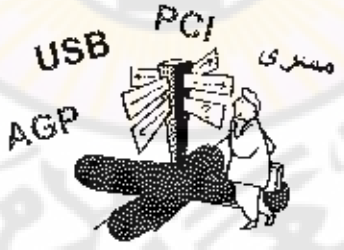
المصطلح IDE يعني (Integrated Drive Electronics)إلكترونيات الأجهزة المضمنة وهو يشير إلى أنه موصل يمكن استخدامه لتوصيل أجهزة ملحقة مثل مشغلات الأقراص .

١-٢٧- كوابل المعطيات Data Cables

وهي كوابل للتوصيل بين الموصل IDE أو FDD ومشغلات الأقراص ويستخدم كبل معطيات خاص كما يظهر في الشكل (١-٦٩) .



الشكل (١-٦٩) – كوابل المعطيات



وقل رب زدني علما
جامعة دمشق
Damascus University

١-١- نفترض أن لدينا معالجاً صغرياً ذا 32 – Bit تُرمز تعليماته على 32- Bit . وهي تتألف من حقلين : يضم البايت الأول مرمز code العملية , وتضم البايت الأخرى المعامل الفوري أو عنوان المعامل .

A. ماهي سعة الذاكرة العظمى الممكن عنونتها مباشرة .

B. ناقش تأثير ما يلي على النظام :

I. إذا كان للمعالج مسرى عناوين محلية ذو 32 – Bit ومسرى معطيات محلية ذو 16 – Bit .

II. إذا كان للمعالج مسرى عناوين محلية ذو 16 – Bit ومسرى معطيات محلية ذو 16 – Bit .

١-٢- لنفرض أن معالجاً صغرياً يولد عناوين مرمزة على 16-Bit(نفرض لسجل العناوين وعداد البرنامج 16-Bit) وأن له مسرى معطيات ذا 16-Bit.

١. ما هو فضاء عناوين الذاكرة الأعظم الذي يستطيع المعالج النفاذ إليه مباشرة عند ربطه بذاكرات ذات 16-Bit ؟

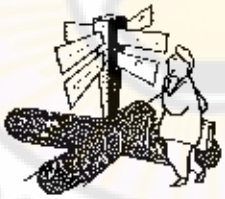
٢. ما هو فضاء عناوين الذاكرة الأعظم الذي يستطيع المعالج النفاذ إليه مباشرة عند ربطه بذاكرات ذات 8 -Bit ؟

٣. ما هي السمات البنيوية التي تسمح للمعالج الصغري النفاذ إلى فضاء دخل/خرج منفصل ؟

٤. إذا وجدت تعليمة دخل/خرج تحدد رقم منفذ الدخل/الخرج على 8-Bit , فما هو عدد منافذ الدخل/الخرج التي يمكن للمعالج

الصغري تقبلها ؟ وما هي عدد المنافذ ذات العرض 16-Bit الممكن تقبلها ؟ اشرح ذلك .

١-٣- لنفرض معالجاً صغرياً ذا 32-Bit له مسرى معطيات خارجي ذو 16- Bit، تقوده نبضات ساعة ترددها 8 MHz ، ولنفرض أن لذلك المعالج دورة مسرى تساوي مدتها الدنيا 4 دورات ساعة الدخل . ما معدل نقل المعطيات الأعظم الذي يمكن للمعالج الحفاظ عليه ؟ لتحسين الأداء ، هل يفضل جعل مسرى المعطيات الخارجي مساوياً 32 – Bit أو مضاعفة تردد الساعة التي يقودها المعالج الصغري ؟ اشرح ذلك .



Damascus University

الفصل الثاني

وحدات التخزين المحيطية

Peripheral Data Storage Units

Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

وحدات التخزين المحيطية
Peripheral Storage Units

٢-١-مقدمة

تتطلب التطبيقات التي تشمل معالجة المعطيات Data Processing باستخدام نظم الحواسيب وحدات تخزين ذات سعات عالية . لكي تُخزن في هذه الوحدات قواعد المعطيات Data Base , التي تشغل أغلب سعات وحدات التخزين المحيطية , بالإضافة إلى برامج نظم التشغيل Operating System , ونظام إدارة قواعد المعطيات Data Base Management System , والبرامج التطبيقية الملحقة المختلفة . ومن هنا تظهر الأهمية الكبيرة لمثل هذه الوحدات , وبالتالي كثرة الأبحاث المتجهة نحو تطوير هذه الوحدات , وذلك لزيادة كفاءتها , ووثوقيتها , وسعة تخزينها . ومن أهم هذه الوحدات هي : الأقراص الممغنطة , والأقراص الليزرية المدمجة CD-ROM , والأشرطة المغناطيسية . ويطلق على هذه الوحدات وحدات التخزين المحيطية ؛ أو وحدات التخزين الثانوية , أو وحدات التخزين المساعدة .

٢-٢- أداء نظام الدخل/ الخرج I/O System Performance

يتأثر أداء نظام الدخل/الخرج I/O بعدد من السمات , هي :

- وحدة المعالجة CPU
- نظام الذاكرة , مثل :
  - ذاكرة الكاش الداخلية والخارجية (Internal and external caches)

- الذاكرة الرئيسية (Main Memory) .

- الترابط البيني (interconnection) أي المساري Busses .
- متحكم الدخل /الخرج (The I/O controller) .
- أجهزة الدخل/الخرج I/O .
- سرعة برمجيات الدخل/الخرج I/O .
- كفاءة استعمال برمجيات أجهزة الدخل/الخرج I/O .

أما إجرائيات الأداء المشتركة فهي :

- الإنتاجية (Throughput) : وهو عرض المجال لوحدات الدخل/الخرج I/O .
- زمن الاستجابة (Response time) : وهو التلبث (التأخير) Latency .

٢-٢-١- الإنتاجية Throughput

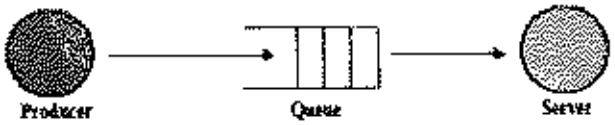
يمكن أن نعرف الإنتاجية وزمن الاستجابة كما يلي :

الإنتاجية (Throughput) :

هي عدد المهمات التي تُنجز في المخدم في واحدة الزمن . وللحصول على الطاقة الإنتاجية المحتملة :

- يجب على المخدم Server أن لا يكون معطلاً .
- يجب على الرتل queue أن يكون فارغاً .

يبين الشكل (٢-١) نموذج مخدم – منتج .



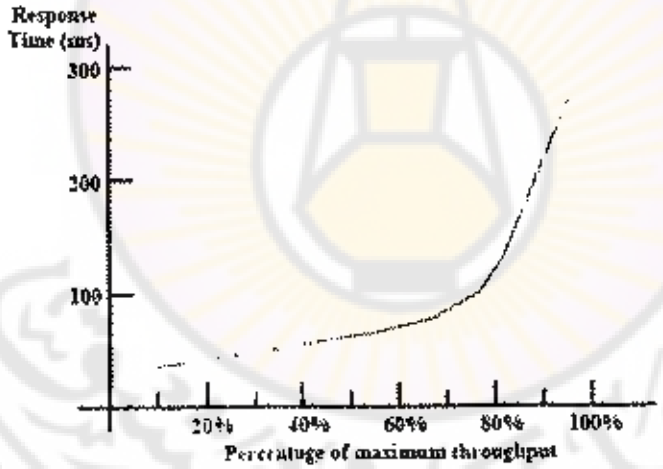
الشكل (٢-١)- نموذج مخدم - منتج

● **زمن الاستجابة (Response time):**

يبدأ زمن الاستجابة عندما يكون هناك مهمة موجودة في الرتل , ولتقليل زمن الاستجابة :

- يجب أن يكون الرتل queue فارغاً .
- يجب أن يكون المخدم Server معطلاً .

ويبين الشكل (٢-٢) العلاقة بين زمن الاستجابة والطاقة الإنتاجية .



الشكل (٢-٢) – العلاقة بين زمن الاستجابة والطاقة الإنتاجية

<u>مثال :</u>

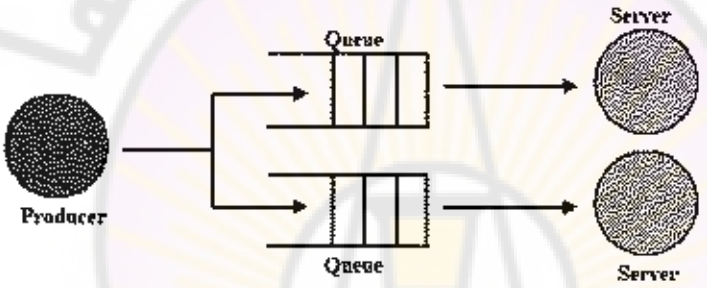
تجمع طلبات الوصول القريبة قد يزيد من الطاقة الإنتاجية , ولكن يزيد زمن الاستجابة لبعض الطلبات أيضاً .

٢-٢-٢- تحسين الطاقة الإنتاجية Throughput Enhancement

ويمكن أن تُحسّن الطاقة الإنتاجية بواسطة :

- وضع عتاد أكثر في المسألة التي يتم معالجتها .
- إنقاص زمن الاستجابة وهو أصعب بكثير من الطاقة الإنتاجية ؛ لأن السرعة تحدد بسرعة الضوء .

ويبين الشكل (٢-٣) نظام مخدم – منتج .

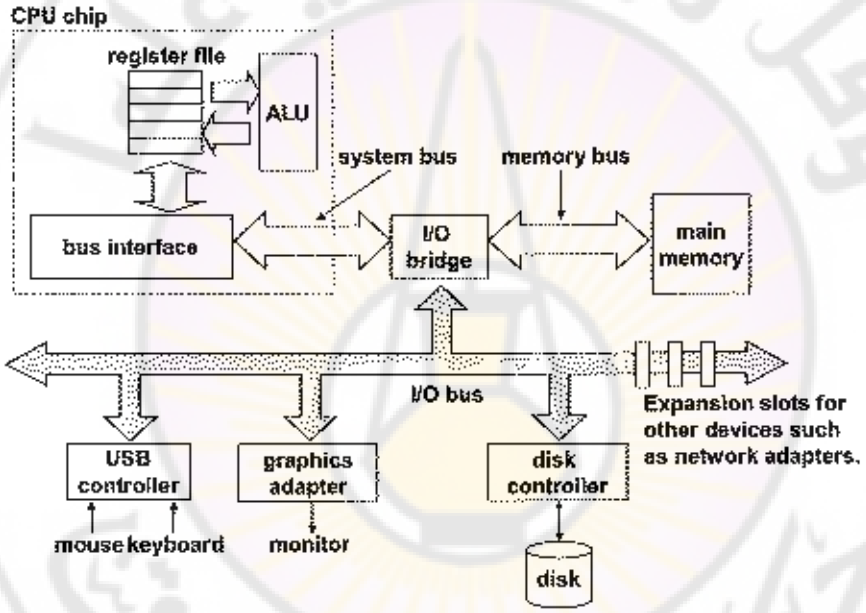


الشكل (٢-٣) – نظام مخدم – منتج

في هذه النماذج يُفترض بأن الزبائن التي تتطلب خدمة تولّد عبر الزمن عن طريق مصدر الدخل Input source , هؤلاء الزبائن يسدخلون نظام الرتل Queueing system وينضمون للرتل . الخدمة المطلوبة حينئذ تقدم للزبون عن طريق ميكانيزم الخدمة ، وبعد هذا يغادر الزبون نظام الرتل Qucucing system . هناك عدة افتراضات اختيارية يمكن أن تعمل بما يتعلق بالعناصر المختلفة لعملية الرتل Queucing process .مثل , مصدر الدخل , الرتل وميكانيزم الخدمة .

٢-٣- مسرى الدخل/الخرج(I/O Bus)

يربط على مسرى الدخل/الخرج متحكم USB للفأرة , ولوحة المفاتيح , وموائمة الرسوم البيانية للشاشة , ويربط أيضاً متحكم الأقراص من أجل الأقراص المغناطيسية والذاكرة الضوئية . ويبين الشكل (٢-٤) مسرى الدخل/الخرج I/O .



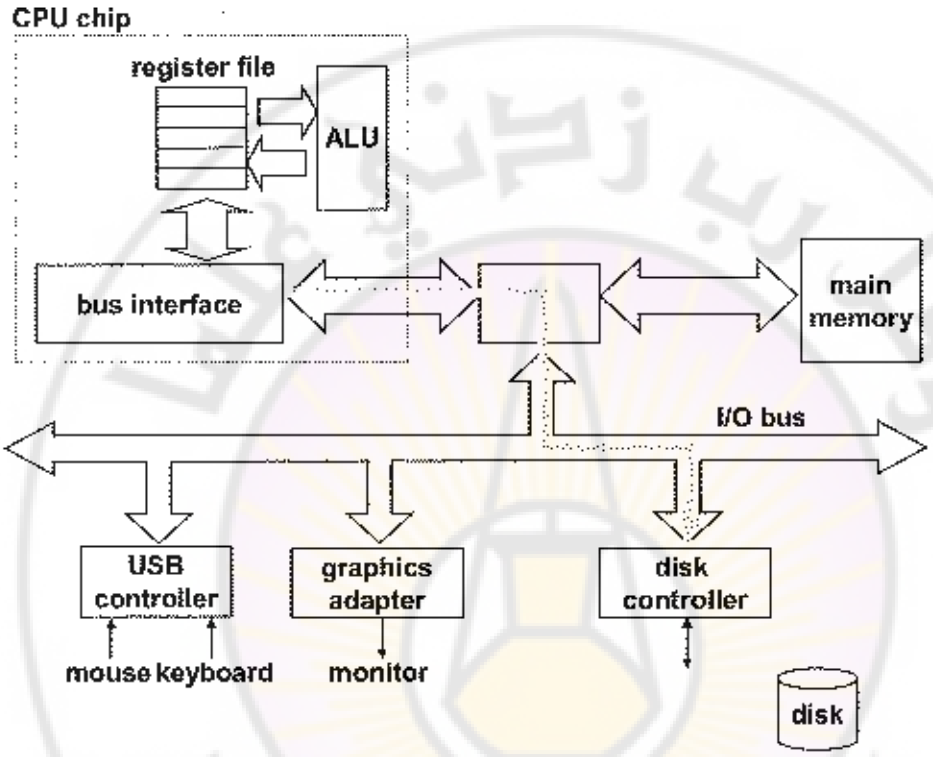
الشكل (٢-٤) - مسرى الدخل/الخرج I/O

٢-٣-١- مراحل قراءة المعطيات من الأقراص

المرحلة الأولى

تبدأ وحدة المعالجة CPU بقراءة القرص , وذلك بكتابة الأمر , ورقم الكتلة

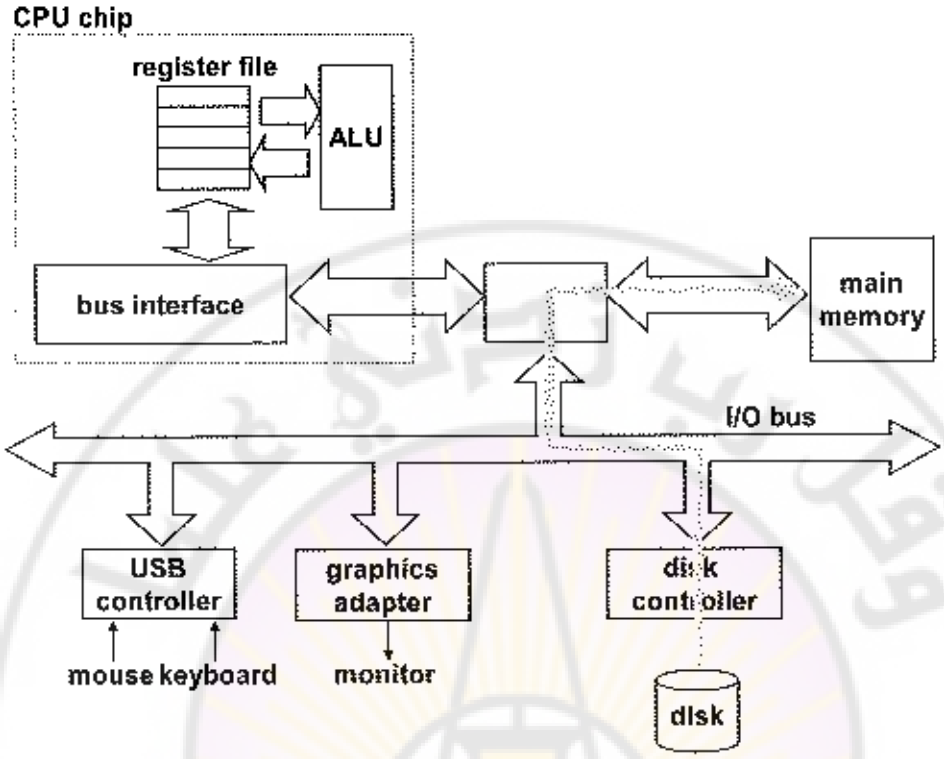
المنطقية وعنوان ذاكرة الوجهة إلى المنفذ المرتبط بمتحكم القرص . ويبين الشكل (٢-٥) هذه المرحلة .



الشكل (٢-٥) – مرحلة كتابة الأمر ورقم الكتلة المنطقية وعنوان ذاكرة الوجهة

المرحلة الثانية

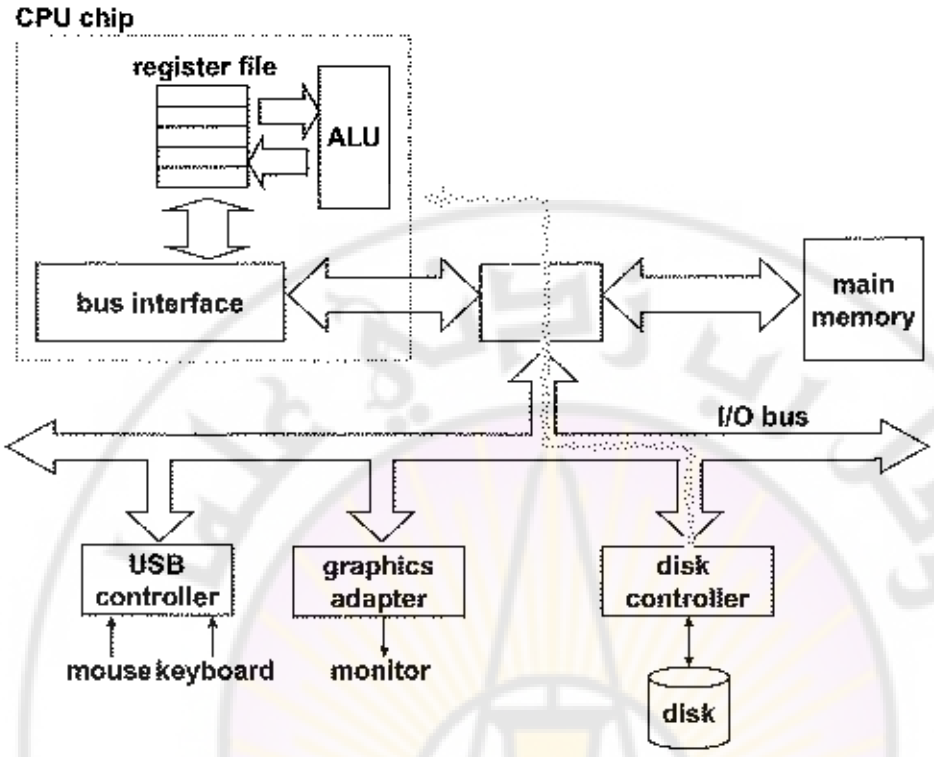
يقرأ متحكم القرص القطاع ، ويتم نقل المعطيات عن طريق النفاذ المباشر DMA إلى الذاكرة الرئيسية . ويبين الشكل (٢-٦) هذه المرحلة .



الشكل (٢-٦) – مرحلة نقل المعطيات عن طريق النفاذ المباشر DMA إلى الذاكرة الرئيسية

المرحلة الثانية

عندما تنتهي وحدة DMA من النقل بشكل كامل تُعلم وحدة المعالجة CPU عن طريق المقاطعة بانتهاء العملية . ويبين الشكل (٢-٧) هذه المرحلة .



الشكل (٢-٧) – مرحلة إعلام وحداة المعالجة CPU عن طريق المقاطعة بانتهاء النقل

٢-٣-٢- اتجاهات التخزين Storage Trends

انخفضت كلفة الذاكرة SRAM بشكل كبير خلال تطورها مع الزمن ،فقد كانت كلفة الـ 1MB في عام 1980 حوالي 19200$, بينما أصبحت الكلفة في عام 2000 حوالي 100$, أي بنسبة 190 مرة . أما زمن النفاذ فقد تحسن بشكل كبير , فقد كان في عام 1980 حوالي 300nS وأصبح 2nS عام 2000 أي أن تحسن بنسبة 100 مرة . وانخفضت كلفة الأقراص المغناطيسية بنسبة

10000 مرة . ويبين الجدول (٢-١) تطور تخزين المعطيات في الذاكرة SRAM وDRAM والأقراص المغناطيسية , ويبين العلاقة بين كلفة هذه الذواكر خلال تطورها مع الزمن وتحسين زمن النفاذ .

SRAM

metric	1980	1990	2000	2005	2010	*2010:1980*
$/MB	19,200	320	100	10	1	*19,200*
access (ns)	300	15	2	0.7	0.05	*10,000*

DRAM

metric	1980	1990	2000	2005	2010	*2010:1980*
$/MB	8,000	100	1	0.04	0.02	*800,000*
access (ns)	375	100	60	40	30	*12.5*
typical size(MB)	0.064	4	64	512	1000	*1,000,000*

Disk

metric	1980	1990	2000	2005	2010	*2010:1980*
$/MB	500	8	0.05	0.0005	0.0002	*10,000*
access (ms)	87	28	8	4	2	*40*
typical size(MB)	1	160	9,000	80,000	360,000	*360,000*

الجدول(٢-١) – العلاقة بين كلفة سعة الذاكرة خلال تطورها مع الزمن وتحسين زمن النفاذ

SRAM:الذاكرة الستاتيكية Static RAM وهي ذاكرة ذات وصول(نفاذ) عشوائي , وتتكون خلاياها من قلابات . وهي تحتفظ بالمعطيات مادامت مزودة بالتغذية , ولا تحتاج إلى حالة إنعاش دوري .

DRAM: الذاكرة الديناميكية Dynamic RAM وهي ذاكرة ذات وصول عشوائي , وتتكون خلاياها من المكثفات , وتفقد الذاكرة معطياتها بشكل تدريجي, وبالتالي فهي بحاجة إلى حالة إنعاش دوري .

لقد ازدادت سرعة المعالجات خلال العقد الأخير من الزمن حتى أصبحت سرعتها تتجاوز 300GHz أي بنسبة 3000 مرة , مقارنة مع سرعة المعالجات في عام 1980 , بينما تحسن زمن الدورة بنفس النسبة. يبين الجدول (٢-٢) تردد الساعة للمعالجات(زيادة سرعة المعالج) خلال تطورها مع الزمن , وتحسين زمن الدورة.

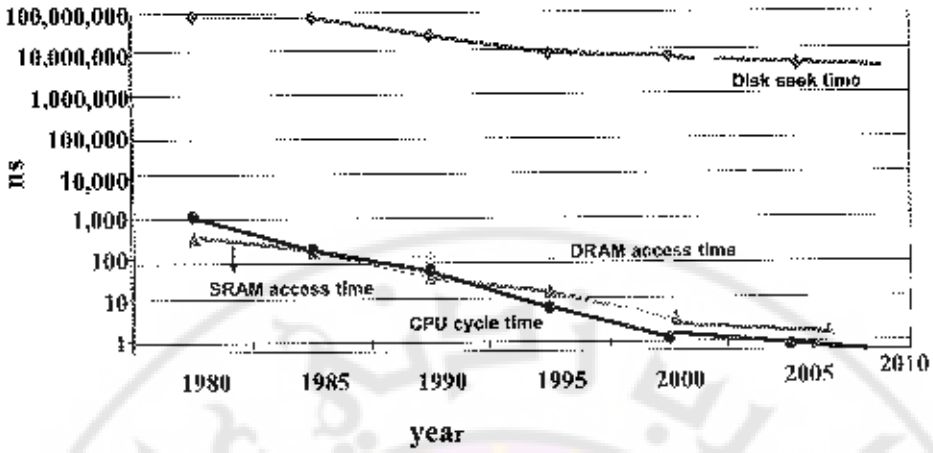
metric	1980	1990	2000	2005	2010	*2010:1980*
processor	8080	386	P-III	P4	Core	
clock rate(MHz)	1	20	750	3800	2600	4000
cycle time(ns)	1,000	50	1.6	0.6	0.04	100,000

الجدول (٢-٢) – العلاقة بين تطور سرعة المعالجات مع الزمن

٢-٢-٣- الفجوة بين الذاكرة ووحدة المعالجة

The CPU-Memory Gap

يبين الشكل (٢-٨) الفجوة المتزايدة بين سرعة الذاكرة الديناميكية DRAM والذاكرة الستاتيكية SRAM , وسرعة الأقراص المغناطيسية Disk , وسرعة وحدة المعالجة المركزية CPU (سرعه المعالج) .



الشكل (٢-٨) – العلاقة بين سرعة المعالج والذاكرة DRAM والذاكرة SRAM والأقراص

٢-٤- القرص المغناطيسي Magnetic Disk

تعتبر الاقراص المغناطيسية أساس الذاكرة الخارجية في جميع النظم الحاسوبية , مثل : القرص الصلب Hard disk , والقرص اللين Floppy disk . ويبين الشكل(٢-٩) قرص صلب بسعة 160GB .

لتحقيق أداء أفضل ومتاحية أعلى , هناك تقانة شائعة تستخدم في المخدمات والنظم الأضخم , وهي تقانة الأقراص RAID . وترمز التقانة RAID إلى مجموعة التقنيات التي توظف أقراصاً متعددة كمصفوفة متوازية من تجهيزات تخزين المعطيات , وتتميز بتكرارية تتغلب على أعطال الأقراص .

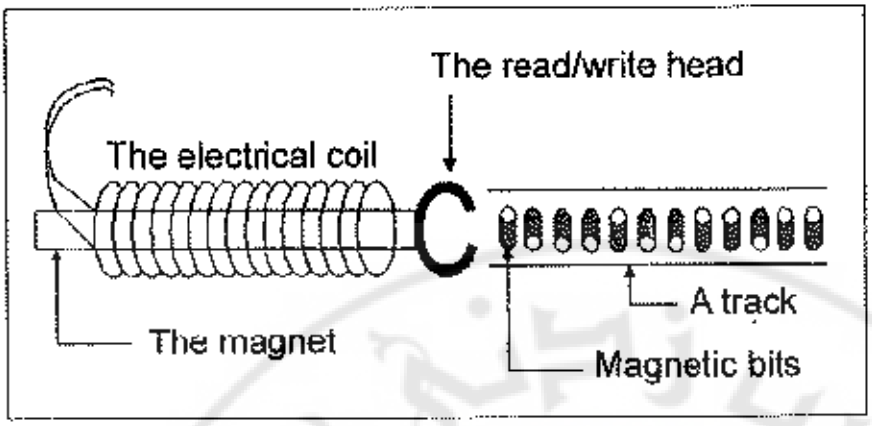
ويزداد الاهتمام اليوم بتقنية التخزين الضوئي في جميع النظم الحاسوبية , مع أن الأقراص المدمجة CD-ROM انتشرت انتشاراً واسعاً منذ عدة سنوات , الا أن هناك تقنيات أحدث , كالأقراص المدمجة القابلة للكتابة والقراءة والأقراص الضوئية المغناطيسية , وهي أغلى ثمناً من الأقراص المدمجة .

الشكل (٢-٩) – قرص صلب بسعة 160GB

٢-٤-١- عملية القراءة والكتابة على القرص المغناطيسي

القرص المغناطيسي هو صفيحة دائرية , تصنع من مواد معدنية أو بلاستيكية , وتُطلى بمادة قابلة للتمغنط .وتتم عملية القراءة والكتابة على القرص المغناطيسي كما يلي :

- تُسجل المعطيات على القرص وتسترجع منه بواسطة وشيعة تسمى الرأس head .
- يبقى الرأس ساكناً أثناء عملية القراءة أو الكتابة في حين تدور الصفيحة تحته. ويبين الشكل (٢-١٠)عملية القراءة والكتابة في الوشيعة المغناطيسية في القرص الصلب .



الشكل (٢-١٠) – عملية القراءة والكتابة في الوشيعة المغناطيسية للقرص الصلب

عندما يتحرك القرص تحت رأس القراءة/الكتابة , يستطيع قراءة المعطيات الموجودة أو كتابة معطيات جديدة على القرص :

- إذا تم تزويد الملف بالتيار المناسب , يصبح الرأس مغناطيسيا , وهذه المغنطة تقوم بإعادة توزيع البنات الممغنطة الصغيرة جداً في المسار , لذلك فهي تمثل قيماً جديدة , وبالتالي يمكن كتابة المعطيات .
- إذا تحرك الرأس على المسار من دون مرور أي تيار , سيجمع الرأس الشحنات المغناطيسية , وبالتالي هذه المغنطة يتولد عنها تيار تحريضي في الملف , وهذا التيار يحوي معلومات المسار , وبذلك تُسمى هذه العملية بالقراءة .

تعتمد آلية الكتابة على الظاهرة التالية :

- أن الكهرباء المارة في الوشيعة تولد حقلاً مغناطيسياً .

- ترسل النبضات إلى الرأس وتسجل القيم المغناطيسية على السطح الواقع أسفل الرأس وتختلف القيمة المسجلة حسب جهة التيار .

أما آلية القراءة :

- فتعتمد على توليد الحقل المغناطيسي لتيار كهربائي في الوشيعة, وعند مرور سطح القرص تحت الرأس يتولد تيار له نفس القطبية المخزنة سابقاً .

وتعتبر رؤوس القراءة/الكتابة الجزء الأعلى في القرص الصلب . وعندما يتم إيقاف القرص الصلب يتم إيقاف الرؤوس في منطقة خاصة كي لا تتعرض للضرر أثناء عملية النقل. ويبين الشكل (٢-١٢) نزع الغطاء من القرص الصلب بحيث نستطيع رؤية الذراع الأعلى مع رأس القراءة/كتابة الخاص به .

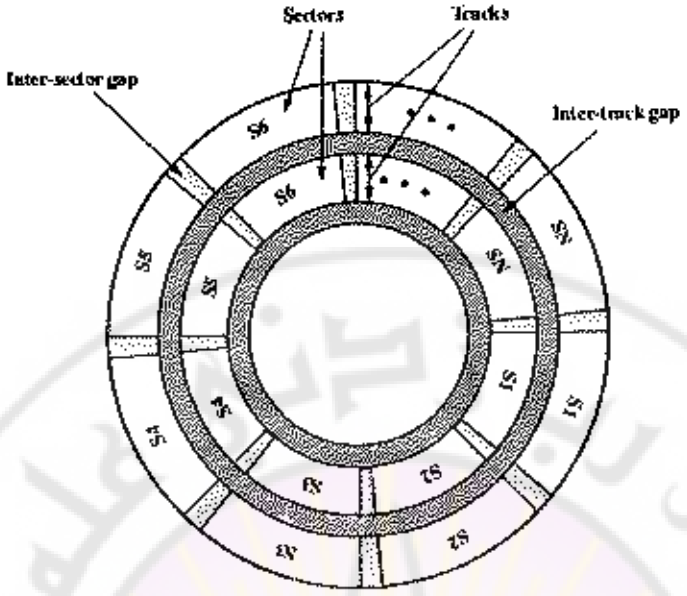
٢-٤-٢- تنظيم المعطيات وصياغتها

Data Organization and Formatting

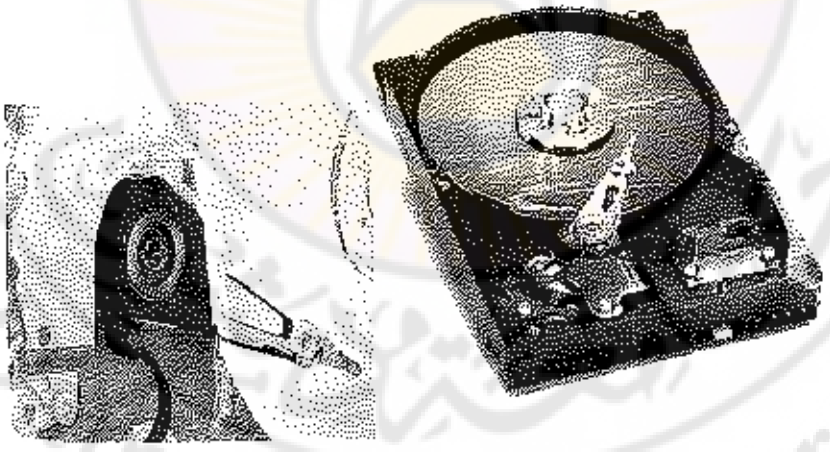
إن الرأس هو جهاز صغير نسبياً قادر على قراءة جزء من القرص تدائر أو الكتابة فيه . وهذا ما يؤدي إلى تنظيم المعطيات على القرص كمجموعة حلقات تسمى المسالك Tracks . يساوي ثخن كل مسلك ثخن الرأس . ويتراوح عدد المسالك بين 500 و 2000 مسلك على السطح . ويبين الشكل (٢-١١) مخطط المعطيات المنسق للقرص .

نجد في هذا القرص ما يلي :

- تفصل المسالك المتجاورة بفجوات gaps ، لمنع حدوث الأخطاء الناتجة عن عدم محاذاة الرأس او عن تداخل الحقول المغناطيسية .



الشكل (٢-١١) – مخطط المعطيات النسقي للقرص



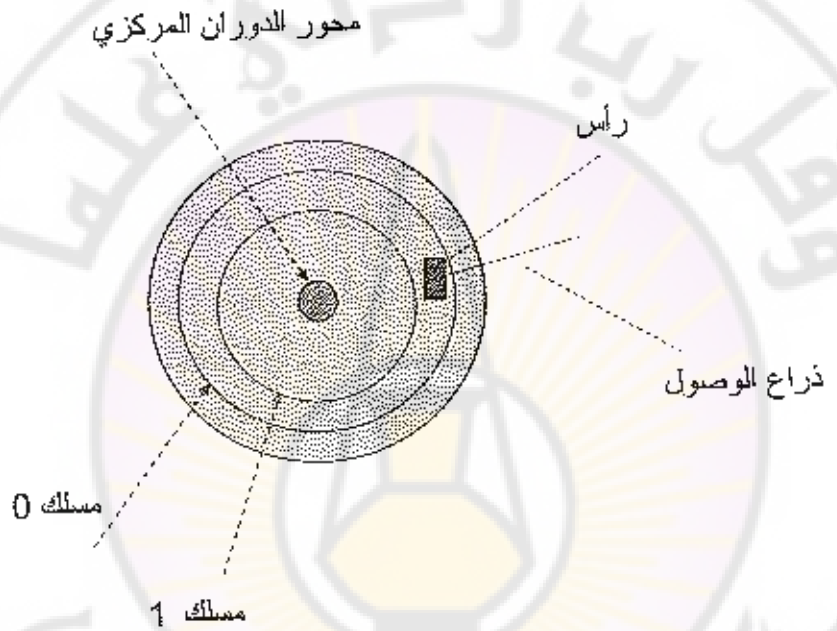
الشكل (٢-١٢) – شكل رأس القراءة والكتابة للقرص الصلب

- يخزن العدد نفسه من البتات على كل مسلك .وبذلك تزداد الكثافة Density المقدرة bit/inch عند الانتقال من المسلك الخارجي إلى المسلك الداخلي القريب من المركز .
- تنقل المعطيات من/إلى القرص كتلة كتلة (Block - Block). وتكون الكتلة أصغر من سعة المسلك .
- تخزن المعطيات في مناطق لها حجم الكتل , وتسمى بالقطاعات Sectors .
- يُخزن في كل قطاع 512 بايت من المعطيات .
- يحتوي المسلك الواحد على عدد يتراوح بين (100 ←10) قطاع . وقد تكون بطول ثابت أو متغير .
- للحيلولة دون فرض متطلبات دقة مبالغ فيها على النظام , تفصل القطاعات المتجاورة بفجوات تسمى الفجوات الفاصلة بين القطاعات داخل المسلك .
- يُحتاج لتحديد موضع القطاعات في المسلك وسيلة محددة . وينبغي وضوحاً توفر نقطة بداية على المسلك , وتوفر طريقة لتعرّف بداية كل قطاع ونهايته . ويُستجاب لهذه المتطلبات بواسطة معطيات التحكم المسجلة على القرص .

تُكتب الملفات على عدد من قطاعات القرص (على الأقل قطاع واحد) , وتعود هذه المهمة إلى نظام الملفات . إن نظام الملفات هو عبارة عن الجزء من نظام التشغيل الذي هُيِّئ بواسطته القرص. يستخدم نظام ويندوز 98 نظام الملفات fat32 , وفي نظام ويندوز xp/2000 يمكننا استخدام نظام ملفات NTFS . ويعتبر نظاما الملفات السابقين أنظمة مختلفة لإدارة بنى الملفات

والمجلدات على القرص الصلب .

يُقسم القرص إلى مسالك دائرية تكون مرقمة من الخـــارج إلـــى الـــداخل . ويُستخدم ذراع الوصول Access Arm للوصول إلى المسلك المحدد , أما المحور المركزي فيستخدم لدوران القرص ,كما هو مبين في الشكل(٢-١٣).



الشكل (٢-١٣) – كيفية ترقيم المسالك في القرص المغناطيسي وذراع الوصول

● خصائص القرص الصلب **Characteristics :**

- ❖ القطر Diameter : 2.5in - 5.25in
- ❖ سرعة الدوران 3,600RPM-10,000 RPM
- ❖ مسالك لكل سطح Tracks per surface

❖ قطاعات لكل مسلك Sectors per track بسعة 512 Byte ، والمسالك الخارجية تحتوي على قطاعات أكبر .

❖ الكثافة Density : وتساوي إلى (Tracks/in * Bits/in) .

❖ الكلفة في الميغابايت Cost Per Megabyte .

● تتم عملية القراءة من القرص كما يلي :

١. يتحرك ذراع الوصول بشكل أفقي بهدف الوصول إلى المسلك المطلوب حسب العنوان المعطى . ويُسمى الزمن اللازم لذراع الوصول لتنفيذ هذه العملية زمن البحث S (Seek Time) .

٢. يدور القرص بحيث تقع المعلومات المطلوب قراءتها تحت رأس Read/Write . ويُسمى الزمن اللازم لتنفيذ هذه العملة زمن الانتظار L (Latency Time).

٣. تتم عملية قراءة المعلومات وتمريرها إلى وحدة الذاكرة ويسمى الزمن اللازم لتنفيذ هذه العملية زمن القراءة R (Read Time) .

٤. الفترة الزمنية T اللازمة لقراءة السجل المعين على القرص المغناطيسي تساوي :

$$T = S + L + R$$

من الطبيعي أن تكون أطول الفترات الزمنية المذكورة هي الفترة الزمنية اللازمة لإتمام عملية البحث S ؛ وذلك بسبب الذارع الميكانيكي . إن عملية القراءة لسجل معين من القرص لا تتطلب المرور بكل السجلات التي تسبقه . تسمى هذه الطريقة بالوصول المباشر Direct Access (النفاذ المباشر) .

٢-٤-٣- الميزات المادية للقرص Physical Characteristics

يبين الجدول (٢-٣) الميزات المادية للقرص المغناطيسي , وهي :

١. **حركة القرص** : وفيها يكون الرأس ثابت أو متحرك :

❖ عندما يكون القرص ذا رأس ثابت Fixed Head Disk هذا يعني أن لكل مسلك رأس قراءة/كتابة .وتثبت هذه الرؤوس على ذراع صلب يمتد عبر جميع المسالك .

حركة القرص	أقراص التخزين
الرأس ثابت (رأس لكل مسلك)	قرص تخزين واحد
الرأس متحرك (رأس لكل سطح)	اقراص متعددة
متحولية القرص	آلية الرأس
قرص غير قابل للنزع	تلامس (القرص المرن)
قرص قابل للنزع	فجوة ثابتة
	فجوة هوائية (وينشستر)
الجوانب	
وحيد الجانب	
متعدد الجوانب	

الجدول (٢-٣) – الميزات المادية للقرص المغناطيسي

❖ عندما يكون القرص ذات رأس متحرك Movable Head Disk يستخدم رأس R/W واحد . ويُثبّت الرأس على الذراع , وبإمكان الذراع التمدد أو التقلص حسب بعد أو قرب المسلك .كما هو مبين في الشكل (٢-١٤) .

٢. **محمولية القرص** , وفيها :

- **يمكن أن يكون القرص غير قابل للنزع Non Removable Disk**

عندها يُثبّت القرص بشكل دائم في مشغل(سواقة) الأقراص Drive Disk.

- **أو أن يكون القرص قابلاً للنزع Removable** , ويمكن إخراجه واستبداله, ويخزن كمية غير محدودة من المعطيات , بوساطة عدد أقراص محدود ويمكن نقله من حاسوب إلى آخر . فعلى سبيل المثال :

القرص ZIP , ميزاته :

- رخيص Cheap
- شائع جداً Very common
- سعته فقط 100M

القرص JAZ , ميزاته :

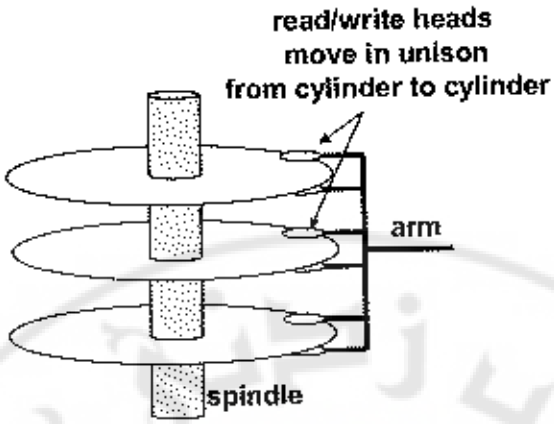
- ليس رخيصاً Not cheap
- سعته 1G

القرص(L-120 (a: drive , ميزاته :

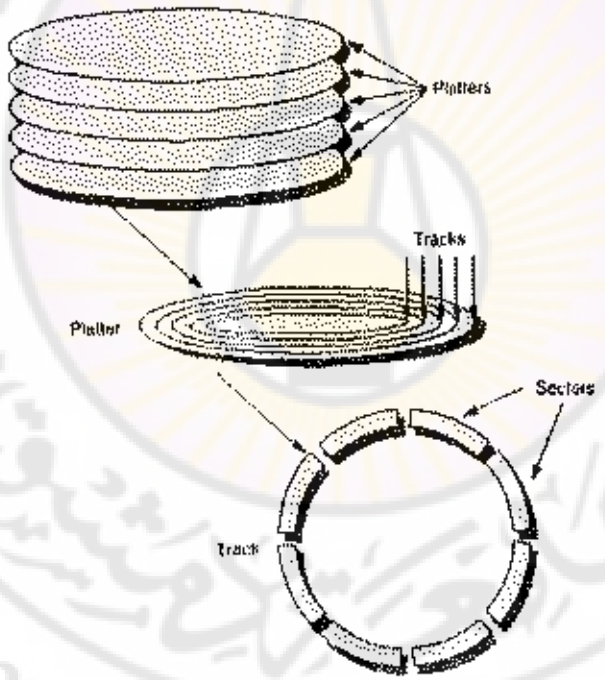
- القرص المرن "3.5
- كان منتشراً بكثرة وأصبح انتشاره الآن قليلاً جداً .

القرص All obsolcted by CD-R and CD-R/W , ميزاته :

- رخيص
- سعته لا تقل عن 700M
- شائع جداً



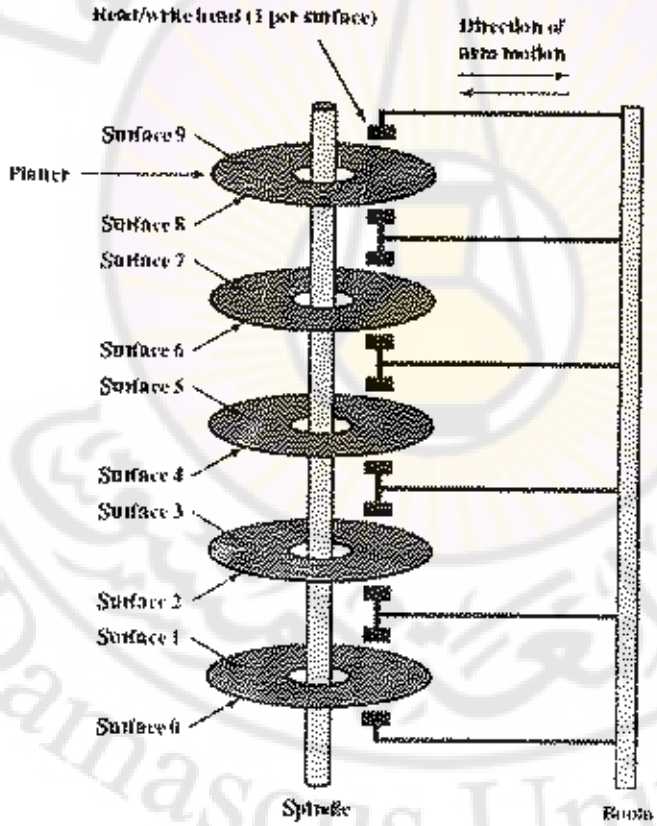
الشكل (٢-١٤) – قرص مغناطيسي ذو رأس ثابت وذراع متحرك لكل وجه



الشكل (٢-١٥) – نظام متعدد الأقراص

ويبين الشكل (٢-١٥) مكونات القرص الصلب . حيث يتكون القرص الصلب من عدد من الأقراص (أطباق) , وكل قرص يتكون من عدد من المسالك , وكل مسلك يتكون من عدد من القطاعات .

- يُطلى جانبا القرص بمادة قابلة للتمغنط , ويُسمى قرصاً مزدوجا الجانب Dual Sided أما الأقراص الأقل كلفة فيتم طلاء جانب واحد منها , ويُسمى وحيد الجانب Single Pack . وتحوي بعض مشغلات الأقراص عدة أقراص (أطباق) تخزين , وتتوضع شاقولياً , ويبعد بعضها عن بعض بمقدار إنش واحد تقريباً . كما هو مبين في الشكل (٢-١٦) .



الشكل (٢-١٦) – توضع الأقراص والرؤوس في القرص

❑ وتزود هذه المشغلات بعدة أذرع, وتُسمى مجموعة الأقراص الناتجة برزمة الأقراص disk pack . ويُبين الشكل (٢-١٦) عدد من الأقراص المزدوجة الجانب , ولكل وجه من وجوه القرص رأس ثابت .

عند تجميع n قرص(طبق) ممغنط في حزمة أقراص , فإن عدد الأوجه المستخدمة للتخزين هي 2n-2 , حيث لا يستخدم الوجه العلوي في أول قرص والوجه السفلي في آخر قرص لتخزين المعلومات .ونلاحظ من الشكل (٢-١٦) أن عدد رؤوس R/W يساوي عدد السطوح الممغنطة المستخدمة لتخزين المعلومات , باعتبار أن جميع السطوح ممغنطة . ويُستعمل في بعض أنواع مشغلات الأقراص الصلبة رأس قراءة وكتابة واحد لكل مسلك .وإن عدد رؤوس القراءة والكتابة R/W يساوي M :

$$M = 2 (n - 1) * L ;$$

حيث :

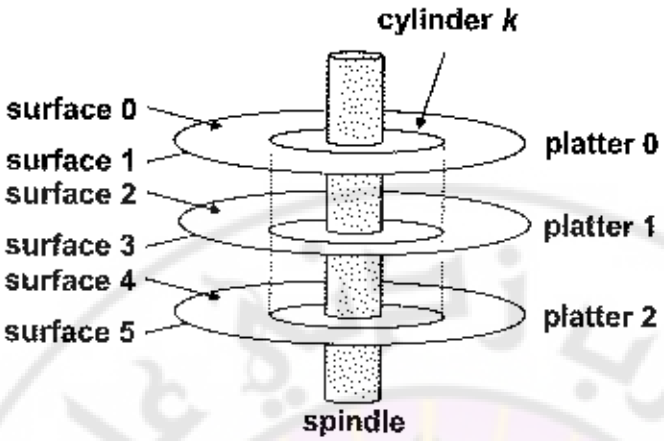
- L : عدد المسالك في كل قرص .
- n : عدد الأقراص(الأطباق) في الحزمة .

وبذلك يكون الزمن اللازم لقراءة السجل :

$$T = L + R ;$$

حيث لا يلزم في هذه الحالة زمن للبحث عن المسلك S .

وعند استخدام حزم الأقراص الممغنطة ؛ لتخزين الملفات ؛ التي تحتوي على عدد كبير من السجلات المتتالية على المسلك نفسه من أقراص الحزمة . وعند القراءة توجه رؤوس R/W إلى المسلك نفسه وتنتقل الرؤوس من القرص الأول إلى الثاني من الحزمة , راسمة بحركتها اسطوانة Cylinder , لأن كل المسالك المتشابهة في الرقم والواقعة على الأقراص المختلفة , تكون متوازية , وتشكل فيما بينها أسطوانة , كما هو مبين في الشكل(٢-١٧) .



الشكل (٢-١٧) – حركة الرؤوس تشكل اسطوانة

أما الشكل (٢-١٨) فيظهر عدد الأسطوانات المتشكلة من حركة الرؤوس ، من الواضح أن عدد الأسطوانات في الحزمة مساوٍ لعدد المسالك في القرص .

الشكل (٢-١٨) – الاسطوانات المتشكلة من حركة الرؤوس

ويستعمل أسلوب تنظيم المعلومات على حزمة الأقراص في اسطوانات , في معظم مشغلات الأقراص الصلبة , ويهدف هذا الأسلوب إلى زيادة السعة الفعلية للقرص الممغنط , وكذلك زيادة سرعة الوصول إلى المعلومات .

وتجدر الإشارة هنا إلى أن الحواسيب الصغرية الحديثة تحتوي على مشغّل أقراص صلبة واحد على الأقل بسعة أكبر من 160GByte .

حساب سعة القرص الصلب

يتم حساب سعة القرص الصلب من العلاقة التالية :

السعة = (سعة القطاع) * (متوسط عدد القطاعات في المسلك) * (عدد المسالك في الوجه الواحد) * (عدد الوجوه الممغنطة في الطبقة الواحدة للقرص) * (عدد الأقراص (الطبقات) الممغنطة في القرص الصلب)

مثال : Example

لدينا قرص صلب له المعطيات التالية :

سعة القطاع 512 bytes/sector

عدد القطاعات 300 sectors/track (on average)

عدد المسالك (المسارات) 20,000 tracks/surface

عدد الوجوه الممغنطة في كل قرص 2 surfaces/platter

عدد الأقراص 5 platters/disk

الحل :

- باعتبار أن أول وجه وآخر وجه غير ممغنط

$$Capacity = 512 * 300 * 20000 * 2 * (5-1) = 24576\,000\,000$$
$$= 24.576\ GB$$

- باعتبار أن جميع الوجوه ممغنطة

$$Capacity = 512 * 300 * 20000 * 2 * 5 = 30,720,000,000$$
$$= 30.72\ GB$$

٢-٥- التطورات التي طرأت على القرص الصلب

طورت النماذج الجديدة من الأقراص الصلبة بشكل كبير ، وفي كل جيل جديد تصبح السعة أكبر . وهذا ممكن مع الرؤوس الجديدة للقراءة والكتابة R/W والأقراص (الأطباق) المغناطيسية ذات الكثافة العالية . وعندما تزداد الكثافة المغناطيسية يمكن إنتاج أقراص صلبة بسعات أكبر , للعدد نفسه من الأقراص (الأطباق) . ويصبح القرص أسرع كنتيجة للكثافة العالية. وبما أنه يستطيع نقل عدد كبير من المعطيات في الدورة الواحدة , فهناك ببساطة عدد أكبر من البتات في كل قطاع .

وكل الأقراص الصلبة تحتوي كمية معينة من الذاكرة كاش (cache) مثبتة بحجم 2-8 MB من الذاكرة RAM السريعة , التي تعمل عمل مخزن Buffer الأقراص الجديدة الأسرع , وتتبع عادة بنمط جديد من الواجهات , بما أن قواعد المتحكمات يجب أن تطور بشكل جديد ليسمح لها بحمل كميات كبيرة من المعطيات . وفي وقت الكتابة واجهة الترابط ATA (AT Attachment) السريعة تسمى ATA133 , ولكنها توشك أن تستبدل بالواجهة Serial ATA , وسيتم شرح هذه الواجهات في الفصل الثالث . ويبين الجدول (٢-٤) الإصدارات المختلفة لواجهة الترابط ATA .

Protocol	Max theoretical transfer rate
PIO 3	13.3 MB/sec
PIO 4	16.6 MB/sec
Ultra DMA(ATA/33)	33MB /sec
ATA / 66	66 MB/sec
ATA / 100	100 MB /sec
ATA / 133	133 MB /sec
SATA	150 MB /sec

الجدول (٢-٤) – الإصدارات المختلفة لواجهة الترابط ATA .

٢-٦- الأقراص المرنة

انتشر استخدام الأقراص المرنة بشكل واسع في عام 1980 عندما كان للحاسوب الشخصي قرص صلب بسعة 20MByte , حيث كانت سعة القرص المرن 1.2MByte , ويُعتبر القرص المرن الأداة الأساسية المستخدمة للتخزين, وبذلك فإن تخزين القرص الصلب على تلك الأقراص المرنة سيحتاج إلى 17 قرص مرن ممتلئ .في أوائل عام 1999 أصبح القرص المرن المدمج مع الحاسوب الشخصي بحدود 3-4GByte , وفي الوقت نفسه ازدادت سعة الأقراص المرنة بحوالي 20 % لتصل إلى 1.44MByte . إن استخدام الأقراص المرنة حالياً غير مُحبّذ للتخزين وخاصة بعد ظهور الأقراص المدمجة CD و DVD بسعات كبيرة . ويعتبر القرص المرن سيئاً بالنسبة للحواسيب

الحديثة , حيث لم يعد القرص المرن كافياً الآن. ويبين الشكل (٢-١٩) قرص مرن بسعة 1.44MByte .

الشكل (٢-١٩) – قرص مرن بسعة 1.44MByte

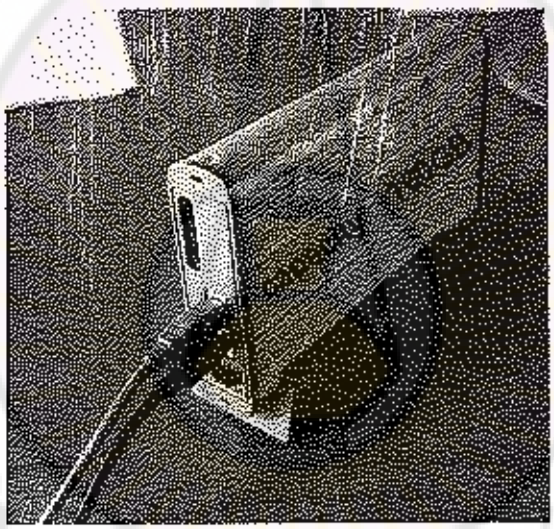
لقد واجهت مشكلة سعة التخزين الصغيرة في الماضي شريحة قليلة من المستخدمين , وكان الحل المتوافر آنذاك هو الحصول على أقراص قابلة للنزع ذات أحجام كبيرة , فعلى سبيل المثال في عام 1980 أصبحت أجهزة SyQuest 5.25 in 44 MB& 88MB الأدوات المعتمدة في الصناعات التي تنتج ملفات كبيرة لإرسال ملفات DTP كبيرة , أو ملفات الرسم البياني (الرسوميات) إلى حاسوب آخر , أو طابعات متصلة بالشبكة .

وفي أواسط عام 1990 أصبح لكل مستخدم حاسوب مكتبي ,وبحاجة لأدوات تخزين كبيرة السعة , وبالتالي لم تعد أقراص التخزين المرنة كافية بل ظهرت الحاجة لاستخدام أقراص السواقات الليزرية CD-ROM ذات الانتشار الواسع حالياً , وكمثال : لم يعد ملف نصي (كتابة) عادي , والذي يحوي بعض الرسوميات , يُخزن على قرص مرن واحد ؛ لأن حجم الملف كبير على القرص المرن لتخزينه.

وبشكل عام يجب أن تحتوي الحواسيب الشخصية على نوع من أنواع التخزين المختلفة القابلة للنزع والقابلة للتعديل , ويجب أن تكون الملفات المخزنة قابلة للنقل , وذلك لعدة أسباب من أهمها:

- لنقل المعطيات بين أجهزة الحاسوب المختلفة
- للاحتفاظ بنسخ احتياطية عن المعطيات الشخصية
- لتوفير التخزين الدائم بقدر المستطاع

ومن هنا ظهرت الأقراص المدمجة CD و Flash Memory بسعات تخزين كبيرة . وظهرت أيضاً الأقراص الصلبة الخارجية التي تستخدم وصلة USB بسعات أكبر من 80GByte . ويبين الشكل (٢-٢٠) قرص صلب خارجي بسعة 160GByte . وتوجد الآن أقراص صلبة خارجية بسعات أكبر .



الشكل (٢-٢٠) - قرص صلب خارجي بسعة 160GByte

٢-٧- القرص الصلب وينشستر Winchester Hard Disk

كما نعرف , ينبغي على الرأس أن يولد أو يتحسس للحقل الكهرطيسي بمطال كاف بغية القراءة أو الكتابة الصحيحة . وكلما نقص حجم الرأس وحسب

اقترابه أكثر من سطح الصفيحة لتحقيق وظيفته . وهذا يعني صغر حجم الرأس ويؤدي إلى صغر المسالك , وزيادة كثافة المعطيات,وهو أمر مرغوب فيه . ولكن كلما اقترب الرأس من القرص ازداد احتمال الخطأ ؛ بسبب الشوائب والعيوب , ما دفع إلى تطوير قرص جديد اسمه وينشستر Winchester .

● **القرص وينشستر Winchester :**

- ❖ تم تطويره من قبل شركة IBM في الولايات المتحدة الأمريكيةUSA .
- ❖ تجمّع الرؤوس في هذا القرص ضمن قطعة محكمة الإغلاق في المشغّل , خالية تقريباً من الملوثات .
- ❖ صممت الرؤوس لتكون قريبة من سطح القرص مقارنة برؤوس الأقراص الصلبة التقليدية , مما يسمح بكثافة أعلى للمعطيات .
- ❖ إن الرأس هو وسادة هوائية تقع فوق سطح قرص التخزين , عندما يكون القرص بلا حركة .
- ❖ وعند دورانه يؤدي ضغط الهواء الناتج إلى رفع الوسادة فوق السطح .

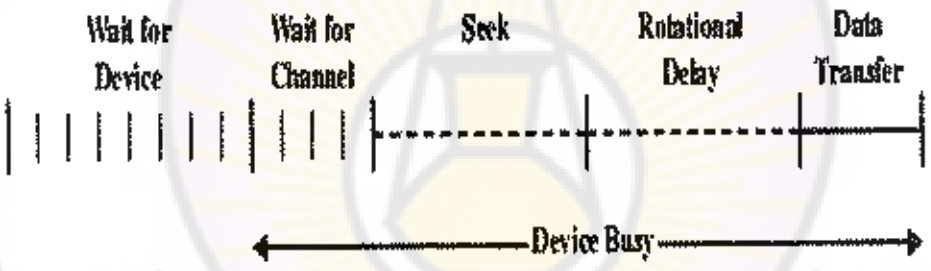
● **بعض الميزات :**

- ❖ هو قرص عام Universal
- ❖ قرص رخيص Cheap
- ❖ يُعد ذاكرة تخزين خارجية عالية السرعة Fastest external storage
- ❖ ذات سعة كبيرة Multiple Gigabyte now usual

٢-٨- محددات أداء القرص Disk Performance Parameters

عندما يعمل مشغل الأقراص , يدور القرص بسرعة ثابتة , ولإجراء قراءة أو كتابة ينبغي وضع الرأس على المسلك المطلوب في بداية القطاع الواجب

النفاذ إليه من ذلك المسلك . ويتطلب انتقاء المسلك تحريك الرأس في نظـــام ذي رأس متحرك أو انتقاء أحد الرؤوس الكترونياً في نظام رؤوس ثابتة . ويـــسمى الزمن اللازم لوضع الرأس فوق المسلك المطلوب زمن البحث Seek Time . بعد انتقاء المسلك ينتظر متحكم القرص دوران القطاع المطلوب للتحـــاذي مـــع الرأس . ويُسمى الزمن اللازم لبلوغ الرأس بداية القطـــاع بالتـــأخير الـــدوراني Rotational Daly . ونعرف زمن النفاذ Access Time بأنه الزمن الـــلازم لوصول الرأس إلى موضع القراءة والكتابة . وهو ناتج عن جمع زمن البحث إن وجد مع التأخير الدوراني . ويبين الشكل (٢-٢١) توقيت عملية الدخل/الخرج للقرص .



الشكل (٢-٢١) – توقيت عملية الدخل/الخرج للقرص .

وبعد توضع الرأس في المكان المطلوب تجرى عملية القراءة أو الكتابة أثناء دوران القطاع تحت الرأس . وهذا يمثل الجـــزء الخـــاص بنقـــل المعلومـــات . وبالإضافة إلى زمن النفاذ . والنقل هناك أزمنة تأخير ناتجة عن أرتال الانتظار. ترافق عادة عملية الدخل / الخرج .

وعندما تصدر إجرائية ما طلب الدخل/خرج I/O ينبغي أولاً أن تنتظر في رتل إلى أن تصبح التجهيزة متاحة . وعندئذ تُسند التجهيزة إلى الإجرائية . وتستخدم بعض نظم الحواسيب الرئيسية تقنية تُعرفُ باسم تحسس الموضع الدوراني Rotational Posititional Sensing (RPS) . **تعمل هذه التقنية كما يلي :**

- بعد إصدار أمر البحث ,تتحرر القناة , لإجراء عمليات دخل/خرج I/O أخرى .
- عند إنجاز البحث تحدد التجهيزة لحظة تدوير المعطيات تحت الرأس .
- ثم تحاول التجهيزة إعادة الاتصال مع الحاسوب المضيف , عند اقتراب القطاع المطلوب من الرأس .
- وإذا كانت وحدة التحكم , أو القناة , مشغولة بعمليات دخل/خرج I/O أخرى, فشلت محاولة إعادة الاتصال , وينبغي على التجهيزة الدوران دورة كاملة قبل المحاولة ثانية .
- ويسمى ذلك إخفاق تحسس الموضع الدوراني RPS miss , ويضيف ذلك تأخيراً زائداً إلى المخطط الزمني .

٢-٨-١- زمن البحث Seek Time

إن زمن البحث هو الزمن اللازم لتحريك ذراع القرص إلى المسلك المطلوب, ومن الصعب تقدير هذه المدة ,إذ يضم زمن البحث عادة الأزمان الأساسية التالية:

- زمن الإقلاع الابتدائي
- الزمن اللازم لعبور المسالك غير المرغوب فيها , وأن تابع زمن العبور غير خطي لعدد من المسالك .

يمكن تقريب زمن البحث بالعلاقة التالية :

$$Ts = m * n + s \ ;$$

حيث :

Ts – زمن البحث المقدر .

n – عدد المسالك .

m – ثابت يعتمد على مشغل القرص .

s – زمن الإقلاع .

مثلاً : من أجل قرص زهيد مضمن في حاسوب شخصي يمكن التقريب بالقيم التالية :

$$m = 0.3 \ ; \ S = 20 \text{ ms}$$

ومن أجل قرص أكبر سعة وأعلى كلفة يمكن التقريب بالقيم التالية :

$$n = 0.1 \ , \ S = 3 \text{ ms}$$

٢-٨-٢- زمن الدوران Rotational Time

تدور الأقراص عادة,باستثناء الأقراص المرنة, بسرعة 3600cycle/min , أي دورة واحدة لكل 16.7 ms . ويكون التأخير الدوراني وسطياً : 8.3ms أما الأقراص المرنة فتدور بسرعة تتفاوت بين 300 - 600 cycle/min , وأن التأخير الوسطي يكون بين 100 ms – 200 ms .

٢-٨-٣- زمن النقل Transfer Time

يعتمد زمن النقل من/ إلى القرص على سرعة الدوران , وفق العلاقة التالية :

$$T = b /(r * N)$$

حيث :

T – زمن النقل

b – عدد البتات المنقولة

N – عدد البتات في المسلك .

r – سرعة الدوران , دورة/ثانية

إن زمن النفاذ الوسطي يساوي :

$$Ta = Ts + 1/2r + b /(r*N)$$

حيث :

Ts – زمن البحث الوسطي

مثال على أداء القرص

لنفرض أن لدينا المحددات التالية للقرص :

- متوسط زمن البحث 5 mS
- سرعة دوران القرص 10 000 RPM أما المتوسط هو 7200 RPM .
- معدل النقل هو 40 MB/sec
- الزمن اللازم لرأس المتحكم 0.1 ms

ولنفرض أن القرص عاطل , وبالتالي لا يوجد زمن انتظار لتأخير الرتل .
ما هو متوسط زمن قراءة القرص أو زمن الكتابة لقطاع يتسع لـ 512-byte ؟

الحل :

$$T_{av.read} = \text{Ave. seek} + \text{ave. rot delay} + \text{transfer time} + \text{controller overhead}$$

$$T_{av.read} = 5\ ms + 0.5/(7200\ RPM/60) + 0.5\ KB/40\ MB/s + 0.1\ ms$$

$$T_{av.read} = 5 + 3 + 0.13 + 0.1 \quad 8.11\ ms$$

٢-٩- النظام RAID

نتيجة لظهور بنوك المعلومات والبيانات التي تتطلب مساحات تخزين كبيرة للمعلومات. كان لابد من ظهور تقنيات تساعد على إتمام عمليات التخزين بصورة فعالة وتكاليف قليلة ،وهذه التقنيات ضبطتها مجموعة من المعايير منها ما يعرف بتقنية RAID (Redundant Array of Independent Disks) (مصفوفة متكررة من الأقراص المستقلة) .أي مصفوفة الأقراص الصلبة المستقلة الإضافية .أو مصفوفة الأقراص الصلبة الرخيصة الإضافية Redundant Array of Inexpensive Disks .

هذا النظام يعني تجميع عدة أقراص صلبة إضافية تعمل معاً كنظام تخزين بحيث يتم الاستعاضة فوراً عن أي قرص صلب في حال تعرضه لخلل ما وبدون تأثر المعطيات الموجودة عليه , ويستخدم في الغالب في إدارة الشبكات بحيث يقدم للمستثمر ميزات هامة , منها : تناظر المعطيات والاحتياطي الفائض, وبالتالي استمرار المعالجة المهمة للأعمال, وحصول دائم على المعطيات في أي وقت .ويعتمد مبدأ هذه التقنية على تعريف مصفوفة RAID التي تتألف من سبعة مستويات , وكل مستوى له طريقته الخاصة بتوزيع المعطيات على

الأقراص المختلفة وتختلف عن بعضها أيضا بالكلفة وسرعة الأداء وقدرتها على تصحيح الأخطاء.

ويتضمن الـ RAID سبعة مستويات، من المستوى (0) إلى المستوى(6)، ولا تربط بينها أي علاقة ترتيب هرمي . بل تشير هذه المستويات إلى بنى تصميم مختلفة , تشترك بالميزات التالية :

١. إن النظام RIAD هو مجموعة من مشغلات الأقراص المادية التي يراها نظام التشغيل مشغلاً منطقياً واحداً .
٢. توزع المعطيات على المشغلات المادية للمصفوفة .
٣. يستفاد من سعة الأقراص الفائضة في تخزين معلومات الزوجية To Store Parity Information , **لضمان استرجاع المعطيات عند حدوث عطل في أحد الأقراص .**

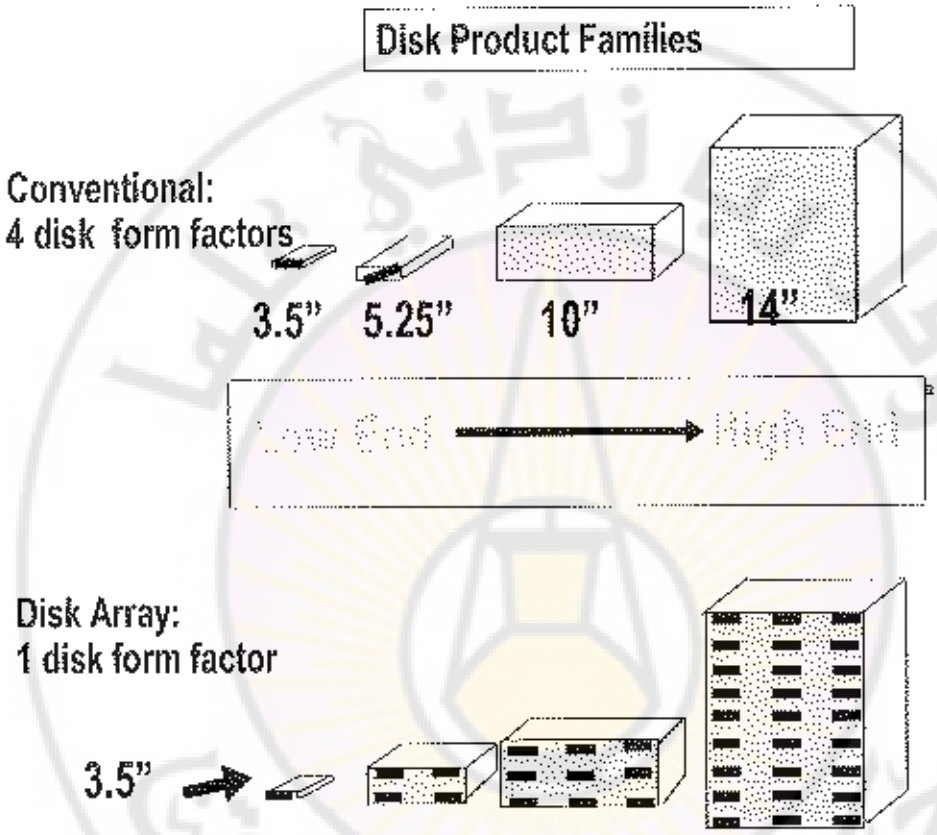
وتستعيض الإستراتيجية RAID عن مشغلات الأقراص الكبيرة السعة بمشغلات أصغر سعة , وتوزع المعطيات بطريقة تسمح بالنفاذ الآني إلى المعطيات من عدة مشغلات , وهذا من شأنه تعزيز أداء الدخل/الخرج I/O والسماح بزيادة السعة تدريجياً بسهولة .

ويحقق النظام RAID معدلات دخل/خرج عالية بسبب السماح بعمل الرؤوس والمفعلات المتعددة في آن واحد . وللتعويض عن نقص الوثوقية (استخدام الأجهزة المتعددة يرفع احتمال الأعطال) يستفيد النظام RAID من معلومات الزوجية Parity المخزنة لاسترجاع المعطيات المفقودة بسبب أعطال القرص .والجدول (٢-٥) يلخص المستويات السبعة للنظام RAID . إن المستويين 2 و 4 لم يحظيا بالقبول لدى الصناعيين .

الفئة	المستوى	الوصف	معدل طلبات I/O ، R/W	معدل نقل المعطيات R/W	التطبيق النموذجي
ذات شرائح	0	بدون تكرارية	شرائح كبيرة ممتازة	شرائح كبيرة ممتازة	تطبيقات تتطلب أداء عالي ، المعطيات غير هامة
ذات تناظر مرآوي	1	ذات تناظر مرآوي	جيد / مقبول	جيد / مقبول	مشغلات النظام ، ملفات هامة
نفاذ متوازي	2	تكرارية بواسطة ترميز هامنغ	ضعيف	ممتاز	
	3	زوجية متشابكة البتات	ضعيف	ممتاز	تطبيقات طلبات I/O كبيرة الحجم ، مثل الصور و CAD
نفاذ مستقل	4	زوجية متشابكة الكتل	ممتاز / مقبول	مقبول / ضعيف	
	5	زوجية موزعة على مستوى الكتل	ممتاز / مقبول	مقبول / ضعيف	معدل طلب عالي، قراءات كثيفة
	6	زوجية مزدوجة موزعة على مستوى البلوك	ممتاز / ضعيف	مقبول / ضعيف	تطبيقات تتطلب متاحية عالية جدا

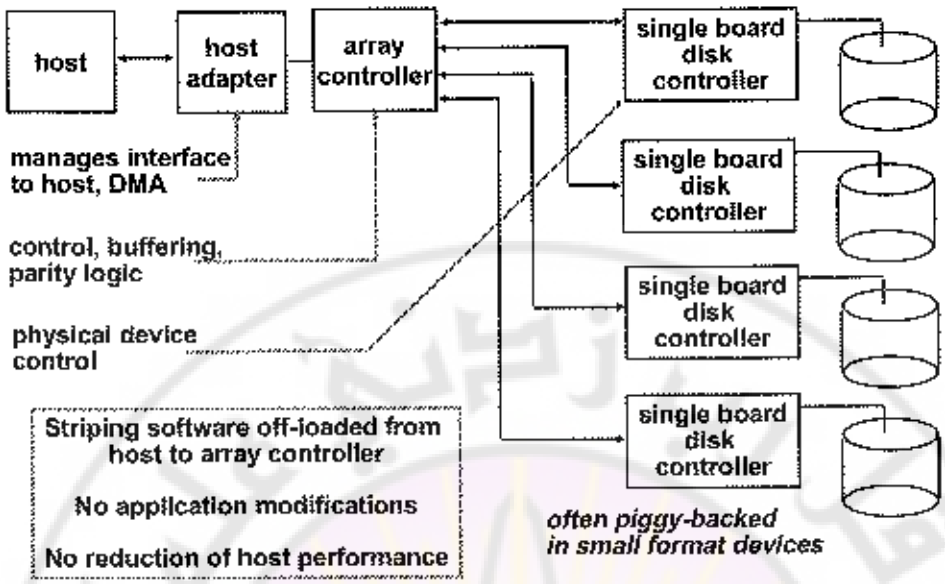
الجدول (٢-٥) – مستويات النظام RAID

ويبين الشكل (٢-٢٢) ميزات التصنيع لمصفوفات الأقراص , ويوضح هذا الشكل كيفية تطور إنتاج الأقراص مع الزمن .



الشكل (٢-٢٢) – تطور مصفوفات الأقراص

أما الشكل (٢-٢٣) فيبين تنظيم النظام الفرعي RAID .



الشكل (٢-٢٣) – تنظيم النظام الفرعي RAID

❁ تنظيمـــات RAID الأساســية (Basic RAID Organizations)

وهي :

- ❑ النظام RAID ذو المستوي 0 غير المتكرر

Non-Redundant (RAID Level 0)

- ❑ النظام RAID ذو المستوي 1 المرأوي

Mirrored (RAID Level 1)

- ❑ النظام RAID ذو المستوي 2

Memory-Style ECC (RAID Level 2)

❑ النظام RAID ذو المستوي 3

Bit-Interleaved Parity (RAID Level 3)

❑ النظام RAID ذو المستوي 4

Block-Interleaved Parity (RAID Level 4)

❑ النظام RAID ذو المستوي 5

Block-Interleaved (RAID Level 5) Distributed-Parity

❑ النظام RAID ذو المستوي 6

P+Q Redundancy (RAID Level 6)

❑ النظام RAID ذو المستوي 10

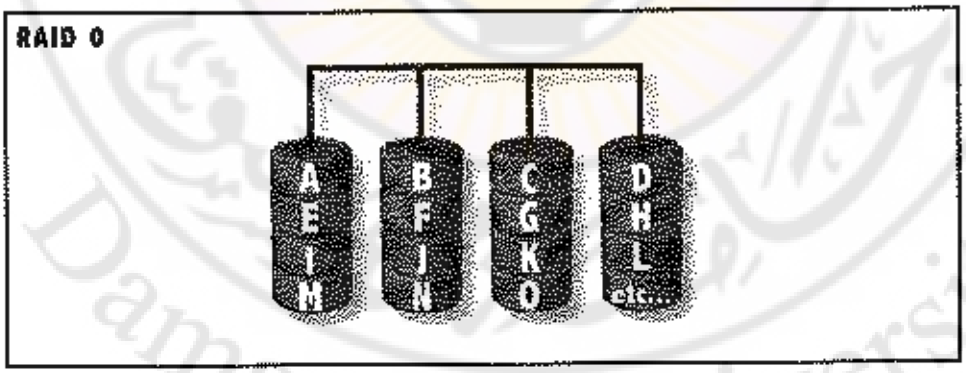
Striped Mirrors (RAID Level 10)

٢-٩-١- النظام RAID 0

Striped Disk Array without Fault Tolerance

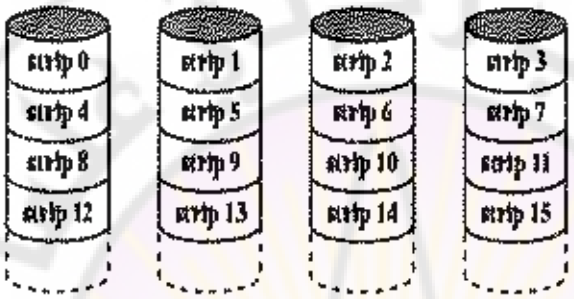
لا يعد المستوى 0 عضواً حقيقياً في العائلة RAID بسبب عدم تضمنه للتكرارية اللازمة لتعزيز الأداء , وهو يعني مصفوفة الأقراص على شكل شرائح بدون تحمل الخطأ. ولكن هناك بعض التطبيقات كالحواسيب الفائقة التي يتركز الاهتمام فيها على الأداء والسعة وتكون الكلفة منخفضة وهو أمر أكثر أهمية من تعزيز الوثوقية .وتوزع في النظام RAID معطيات النظام والمستخدم على جميع الأقراص في المصفوفة . ولهذا التوزيع ميزة مهمة , فإذا وجد طلبان دخل/خرج يحتاجان إلى كتلتين مختلفتين , فهناك احتمال كبير لوقوع الكتل المطلوبة في أقراص مختلفة . ولذلك يمكن معالجة الطلبين السابقين على التوازي , وهذا ما يقلص زمن الانتظار في رتل دخل/خرج .

ويوزع النظام RAID 0 المعطيات ببساطة على أقراص المصفوفة على شكل شرائح Stripe موزعة على الأقراص المتاحة .ويبين الشكل (٢-٢٤) النظام RAID0 .



الشكل (٢-٢٤) – النظام RAID0 .

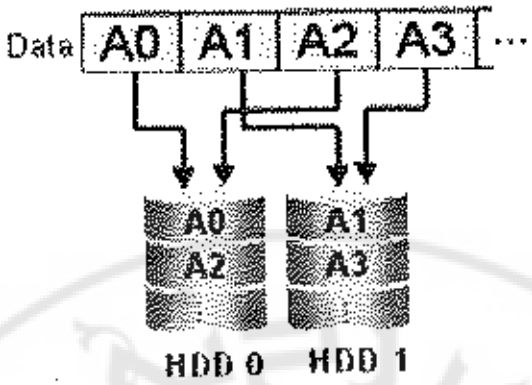
وتشير كلمة Stripe إلى التقسيم أو التجزيء ، ويرمي إلى مبدأ هذه التقنية البسيطة ، وهو تقسيم المعلومات إلى عدة أقسام صغيرة ومتساوية في الحجم وتوزيعها على عدد من الأقراص الصلبة المنفصلة . ويبين الشكل (٢-٢٥) نموذج أخر للنظام RAID0 ويظهر الأقراص على شكل شرائح Stripe .



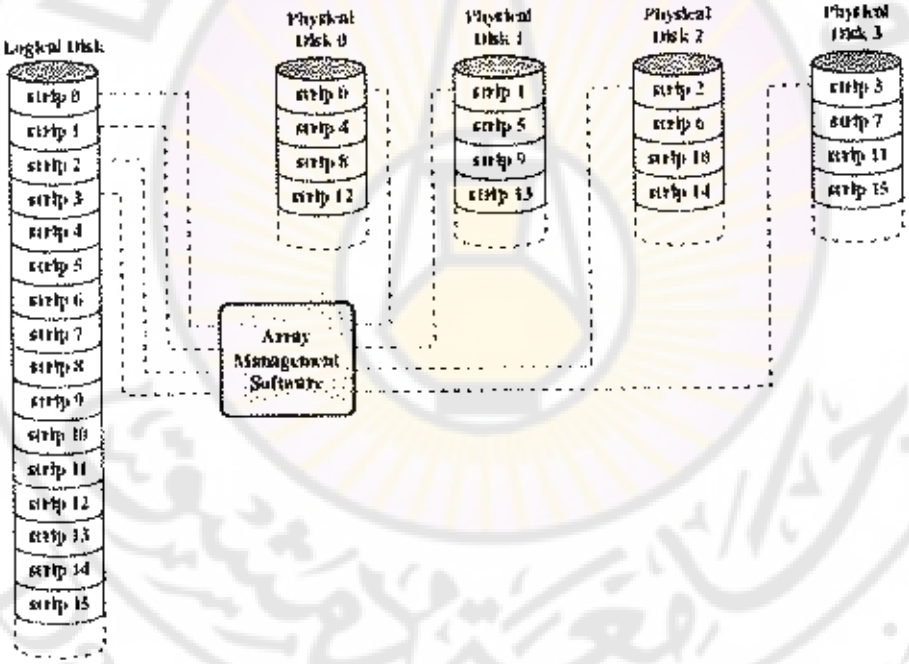
الشكل (٢-٢٥) – الشرائح Stripe في النظام RAID0

ولا تُستخدم في هذا المستوى خاصية الكشف عن الأخطاء Parity bit (هذه الخاصية تعني قابلية النظام على الاستمرار في العمل في ظل حدوث خطأ ما لأحد الأجهزة أو المكونات في بيئة النظام) ،ولا يعبر هذا المستوى فعليا عن تقنية RAID لأنه لا يوجد فيه تكرار للمعطيات المخزنة, كما هو مبين في الشكل (٢-٢٦) . ويعمل هذا النوع على مستوى الكتل Blocks .

لنفرض لدينا المعطيات Data كما هو مبين في الشكل(٢-٢٦), يتم تخزين A0 في HDD0 ثم A1 في HDD1 ثم A2 في HDD0 ثم A3 في HDD1 وهكذا بشكل حلقي , وتسمى مجموعة الشرائح المتتابعة منطقياً بالشريط Stripe . ويبين الشكل (٢-٢٧) أربعة أقراص مادية .



الشكل (٢-٢٦) – توزع المعطيات على الأقراص في النظام RAID0



الشكل (٢-٢٧) – توزع المعطيات على الأقراص في نظام يحتوي على أربعة أقراص

من الشكل (٢-٢٧) نرى أن الشرائح المنطقية n الأولى تخزن في مصفوفة ذات n قرص مادي , كالشريحة الأولى في كل من الأقراص البالغ عددها n , وهذا ما يشكل الشريط الأول . ثم توزع الشرائح n الثانية كشرائح ثانية على كل قرص , وهكذا .

وإذا احتاج طلب دخل/خرج إلى معلومات من عدة شرائح متجاورة منطقياً , كان من الممكن معالجة عدد من الشرائح لا يتجاوز عددها n على التوازي . وهذا ما يقلص زمن عملية الدخل/الخرج تقليصاً كبيراً .

● الميزات:

من أهم ميزات هذا النظام :

- ❖ يوفر سرعة أداء عالية أثناء القراءة من الأقراص الصلبة أو الكتابة عليها .
- ❖ يقسم المعطيات عبر عدة أقراص , ولشرح ذلك :

لنفرض أننا نحتاج ثانية واحدة لكتابة الحرف الواحد على القرص.
إذاً, الاسم "YUONES" سيستغرق ست ثوان لكتابته على قرص واحد.
لنفرض أنه لدينا ستة أقراص وقمنا بتعريفها جميعاً على نظام RAID0،
فعند كتابة اسم " YUONES " مثلاً سيتم تقسيم الاسم إلى ستة حروف منفصلة، وكتابة كل حرف على قرص، وهنا ستستغرق العملية ثانية واحدة فقط لتخزين اسم " YUONES " .

المساوئ :

أهم مساوئ هذا النظام :

- لا يقدم أي احتياطي فائض من المعطيات , تمكن من استخدامها في المهام الحرجة ؛ لأنه عند حدوث أي مشكلة أو خطأ في أحد الأقراص الموجودة ضمن المصفوفة ينتج ضياع كامل للمعطيات الموجودة في هذه المصفوفة.
- يجب أن تملك جميع أقراص المصفوفة نفس السرعة في نقل المعطيات, وذلك كي لا يتحكم أبطئ قرص موجود في المصفوفة بسرعة تجميع واسترداد المعطيات من المصفوفة.
- يجب أن تكون سعة الأقراص متساوية , حتى لا تضيع أو تهدر أي مساحة تخزينية , عند استرداد المعطيات , وهو يتطلب , كحد أدنى, قرصين من الأقراص الصلبة .

الإستخدامات:

يستخدم في التطبيقات التي تحتاج إلى قراءة/كتابة المعطيات بسرعة عالية , مثل برامج التصميم والمونتاج . ومن أهم الاستخدامات :

أ- استخدام النظام RAID 0 في تطبيقات ذات معدل نقل مرتفع للمعطيات

يعتمد أداء أي مستوى من مستويات النظام RAID على أشكال الطلبات التي يرسلها النظام RAID 0 , إذ لا يتدخل تأثير التكرارية مع ذلك التحليل .

لنفرض أولاً استخدام النظام RAID 0 لتحقيق معدل نقل مرتفع للمعطيات .

ينبغي تحقيق متطلبين من أجل نقل مرتفع :

١. يجب توفر إمكانية نقل عالي السرعة على طول المسرى الواصل بين الذاكرة ومشغلات الأقراص الإفرادية , ويتضمن ذلك مساري المتحكم

الداخلية ، ومساري الدخل/الخرج ، ومساري الذاكرة المضيفة .

٢. المتطلب الثاني ينص على ضرورة قيام التطبيق بإرسال طلبات دخل/خرج بغية قيادة مصفوفة الأقراص قيادة فعالة . ويتحقق ذلك إذا كانت الطلبات تحتاج إلى كتل كبيرة من المعطيات المتجاورة منطقياً. وبالتالي يحتاج طلبI/O الوحيد إلى نقل متواز للمعطيات من أقراص متعددة. وهذا ما يزيد معدل النقل الفعلي ، مقارنة بعملية النقل ، التي لا تتطلب إلا قرصاً وحيداً .

ب- استخدام النظام RAID 0 في تطبيقات ذات معدل طلبات I/O مرتفعة

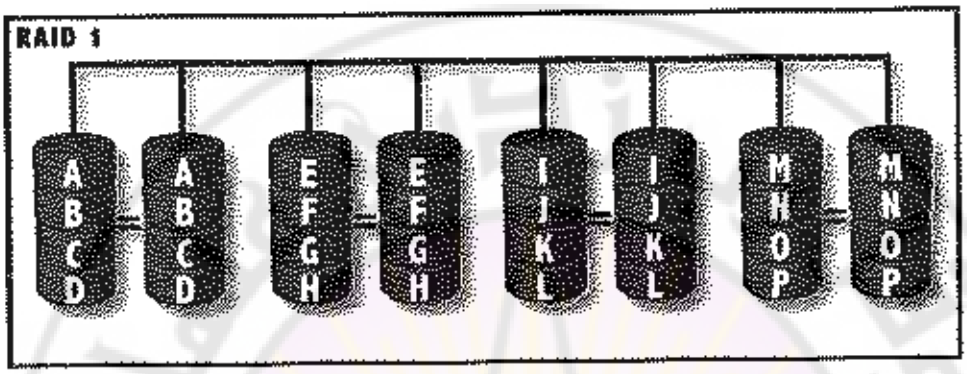
يكون الاهتمام هنا بمعدل الاستجابة أكثر من الاهتمام بمعدل النقل . ومن أجل طلب دخل/خرج I/O يتعلق بكمية صغيرة من المعطيات تهيمن على زمن الدخل/الخرج I/O حركة رؤوس الأقراص وحركة القرص .

وقد يكون هناك المئات من طلبات الدخل/الخرج I/O في الثانية ، ويمكن لمصفوفة أقراص بلوغ معدلات تنفيذ مرتفعة للدخل/الخرجI/O بموازنة أعباء الدخل/الخرج I/O في الأقراص المتعددة . ولا تتحقق الموازنة الفعالة إلا بوجود عدة طلبات دخل/خرج I/O في آن واحد . ويتأثر الأداء أيضاً بمقاس الشريحة ، فإذا كان مقاس الشريحة كبيراً نسبياً ، بحيث لا يحتاج طلب الدخل/الخرج I/O الواحد إلى النفاذ إلى أكثر من قرص واحد ، فإن من الممكن عندئذ معالجة عدة طلبات دخل/خرج I/O في حالة انتظار ، على التوازي ، وهذا من شأنه تقليص زمن الانتظار في الرتل لكل طلب .

٢-٩-٢- النظام RAID 1 (RAID 1 - Mirroring)

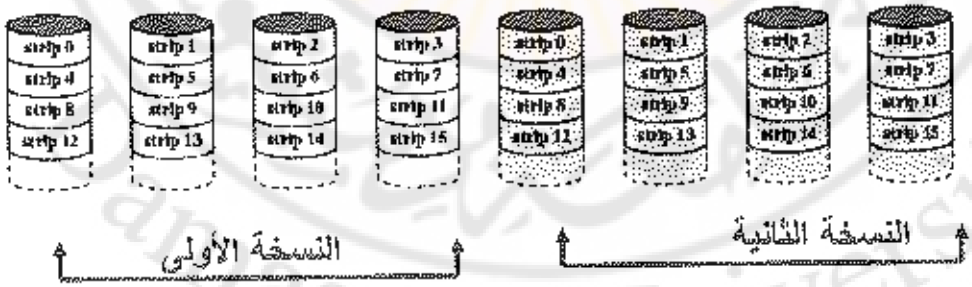
يرتكز النظام RAID1 على مبدأ خلق نسخة طبق الأصل من القرص الصلب على أقراص أخرى ، ولذا تدعى هذه الطريقة بالمرآة Mirroring،

حيث يتم تخزين كافة المعطيات , بشكل شرائح , مرتين من قرص لآخر , وعند حدوث أي خطأ في أحد القرصين يتم استرجاع المعطيات بشكل فوري من القرص الآخر . ويبين الشكل (٢-٢٨) نظام RAID1 المرآوي .



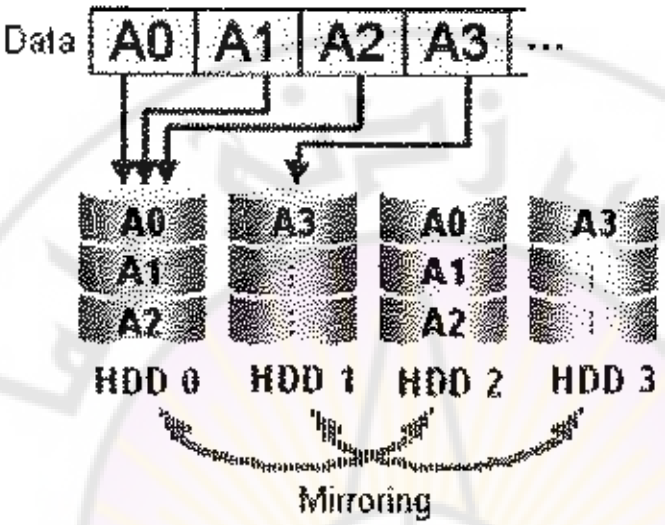
الشكل (٢-٢٨) – نظام RAID 1 المرآوي

وتتحقق التكرارية في هذا المستوي بطريقة بسيطة , وهي نسخ المعطيات نسخاً تكرارياً , حيث نحصل على نسختين من المعطيات , كما هو مبين في الشكل (٢-٢٩) . ولكن في هذه الحالة , يقابل كل شريحة منطقية قرصان ماديان منفصلان , بحيث يكون لكل قرص في المصفوفة قرصاً مرأوياً يحوي المعطيات ذاتها . كما هو مبين في الشكل (٢٩) .



الشكل (٢-٢٩) – نموذج آخر لتوضع أقراص النظام RAID

أما الشكل (٢-٣٠) فيوضح كيفية توزع المعطيات على الأقراص في النظام RAID 1 .



الشكل (٢-٣٠) – توزع المعطيات على الأقراص في النظام RAID

● **الميزات :**

من أهم ميزات هذا النظام :

- ❖ سرعة القراءة , بسبب وجود المعطيات على أكثر من قرص .
- ❖ سهولة زيادة القدرة التخزينية , وذلك عن طريق إضافة أقراص جديدة.
- ❖ أفضل تقنية للحفاظ على المعطيات من الضياع وضمان توفرها طوال الوقت ،فهو يوفر نسخة احتياطية عن كل المعطيات في الزمن الحقيقي و بحيث تبقى المعطيات الحرجة متاحة فوراً عند حدوث عطل في القرص .
- ❖ يمكن استخدامه في المخدمات الصغيرة .

المساوئ :

من أهم مساوئ هذا النظام :

- بطء كتابة المعطيات على الأقراص, بسبب الحاجة إلى تكرار كتابة المعطيات على قرصين .
- الحاجة إلى استخدام متحكم Controller قادر على إنجاز قراءتين منفصلتين لكل زوج من المرايا، أو كتابة مضاعفة إلى كل زوج من المرايا.
- عدم إمكانية تبديل أقراص صلبة للمصفوفة أثناء عمل الجهاز .
- الكلفة المرتفعة. فهو يحتاج إلى مضاعفة سعة الأقراص التي يتقبلها القرص المنطقي .
- سعة التخزين تكون نصف سعة التخزين للقرصين, بسبب الحاجة لكتابة المعطيات مرتين.

الاستخدامات :

من أهم استخدامات هذا النظام :

- يمكن استخدامه في المهام الحرجة , كأنظمة المحاسبة.
- مناسب لعمل المخدمات الصغيرة.

ملاحظة :

وفيما يلي بعض الملاحظات على النظام :

- في بيئة تكثر فيها المداولات , يحقق النظام RAID معدلاً مرتفعاً لطلبات الدخل/الخرج I/O , إذا كانت معظم الطلبات طلبات قراءة . ويقترب أداء النظام RAID 1 من ضعف النظام RAID 0 .

❖ أما إذا كانت نسبة كبيرة من طلبات الدخل/الخرج I/O هي طلبات كتابة فقد لا يكون هناك أي ربح ملحوظ في الأداء , مقارنة بالنظام RAID 0 .

❖ بطرأ تحسن إضافي , إذا كان بإمكان التطبيق شطر كل طلب قراءة , بحيث يشارك القرصان معاً في العملية .

٢-٩-٣- النظام RAID 2

Memory Style Error Correcting Code(ECC)

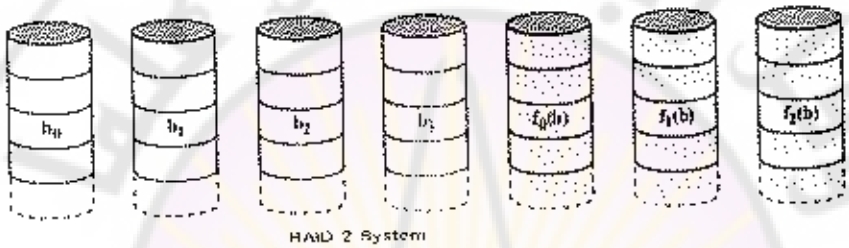
هذا النظام قليل الاستخدام , وله نفس تقنية الـ RAID 0 لكنه يعمل على مستوى البت Bit , وليس على مستوى الكتلة Block . وإذا حدث خطأ في بت موجودة ببايت Byte ما فيمكن استرجاعها بواسطة Parity Bit , ويتم توزيع البتات بالتسلسل على الأقراص . ويستفيد المستوي 2 من تقنية النفاذ المتوازي . ففي مصفوفة ذات نفاذ متوازي تشارك كل الأقراص الأعضاء في تنفيذ أي طلب دخل/خرج I/O . ويبين الشكل (٢-٣١) النظام RAID 2 .

وتوضع المعطيات في شرائح صغيرة جداً , وقد يصل حجمها إلى بايت واحد أو كلمة واحدة . ويُحسب مرمزcode مصحح الأخطاء على البتات المقابلة في كل قرص معطيات . وتخزن البتات في المواضع المقابلة لها على الأقراص الزوجية Parity المتعددة . ويستخدم عادة ترميز هامينغ .

وعلى الرغم من أن النظام RAID 2 يتطلب عدداً أقل من الأقراص من النظام RAID 1 إلا أنه أعلى كلفة بقليل. ويتناسب عدد الأقراص المتكررة طرداً مع لوغاريتم عدد أقراص المعطيات , وعند حدوث طلب قراءة واحد , يجري النفاذ إلى جميع الأقراص في آن واحد .

RAID 2: memory-style error-correcting codes

(أ)



(ب)

الشكل (٢-٣١) – النظام RAID 2

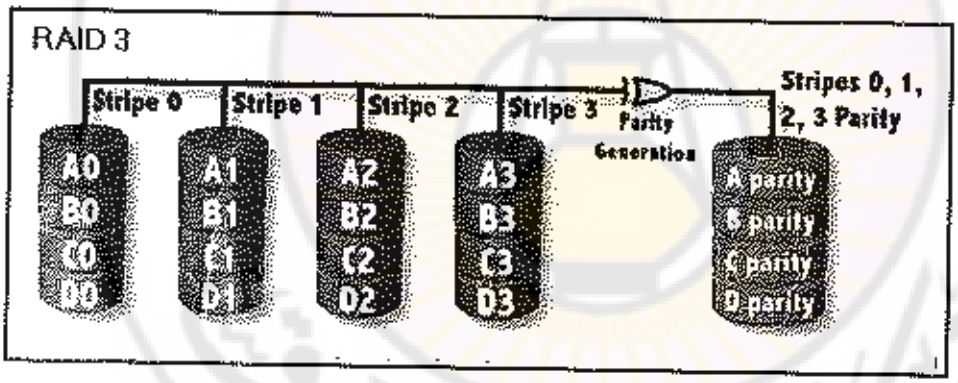
(Redundancy Through Hamming Code)

وتسلم المعطيات المطلوبة ، والمرمز code المصحح للأخطاء المرافق إلـى متحكم المصفوفة . وإذا وُجد خطأ في بت واحدة, استطاع المتحكم التعرّف على الخطأ وتصحيحه آنياً . ولذا لا يزداد زمن النفاذ في حالة القراءة . وعند إجراء عملية كتابة واحدة ، ينبغي النفاذ إلى جميع أقراص المعطيات وأقراص الزوجية لإنجاز عملية الكتابة .وقد يصبح النظام RAID 2 خياراً فعالاً في بيئة قد يحدث فيها عدة أخطاء في الأقراص .ونظراً إلى الوثوقية العالية للأقراص الإفراديـة ولمشغلات الأقراص ، ولم يكتب للنظام RAID 2 البقاء ، ولم يُنجز عملياً .

٢-٩-٤- النظام RAID 3

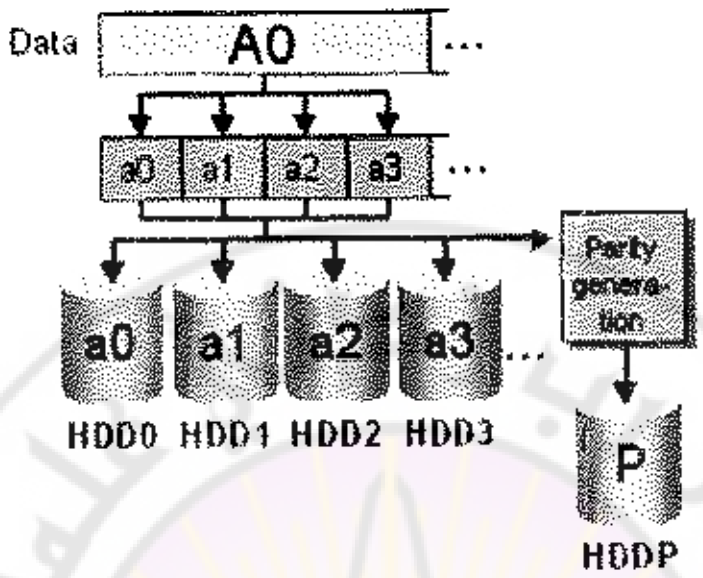
Bit-Interleaved Parity Organization

هذا النظام هو تحسين للنظام RAID 2 , ويعتمد على بت زوجية Parity bit واحد يمكن استخدامه من أجل التصحيح واكتشاف الخطأ وهذا النوع جيد مثل النظام RAID2 ولكنه أقل كلفة من حيث عدد الأقراص الزائدة فنحن بحاجة إلى قرص زوجية Parity disk واحد لعدة أقراص بغض النظر عن سعة المصفوفة . وفي هذا المستوى يكون توزيع المعطيات وكتابتها على عدة أقراص تخزين , ويتطلب هذا المستوى وجود ثلاثة أقراص كحد أدنى . ويبين الشكل (٢-٣٢) النظام RAID 3 .



الشكل (٢-٣٢) – النظام RAID 3(Bit Interleaved Parity)

يوظف النظام RAID 3 النفاذ المتوازي إلى المعطيات الموزعة في شرائح صغيرة .ويبين الشكل (٢-٣٣) توزيع المعطيات على الأقراص في النظام RAID 3 , ويوضح كيف يتم تخزين المعطيات على شكل بتات في الأقراص.



الشكل (٢-٣٣) – توزيع المعطيات على الأقراص في النظام RAID 3

● التكرارية Redundancy

عند حدوث عطل في قرص ما , يجري النفاذ إلى قرص الزوجيـــة Parity ويعاد بناء المعطيات من التجهيزات المتبقية . وبعد الاستعاضة عـن القـرص المعطل , تُسترجع المعطيات المفقودة على القرص الجديد , وتُستأنف العمليـــة . إن عملية إعادة بناء المعطيات بسيطة جداً .

لنفرض أن لدينا مصفوفة مؤلفة من 5 أقراص , بحيث تحتوي الأقراص X0 إلى X3 على المعطيات , ويمثل القرص X4 قرص الزوجية .

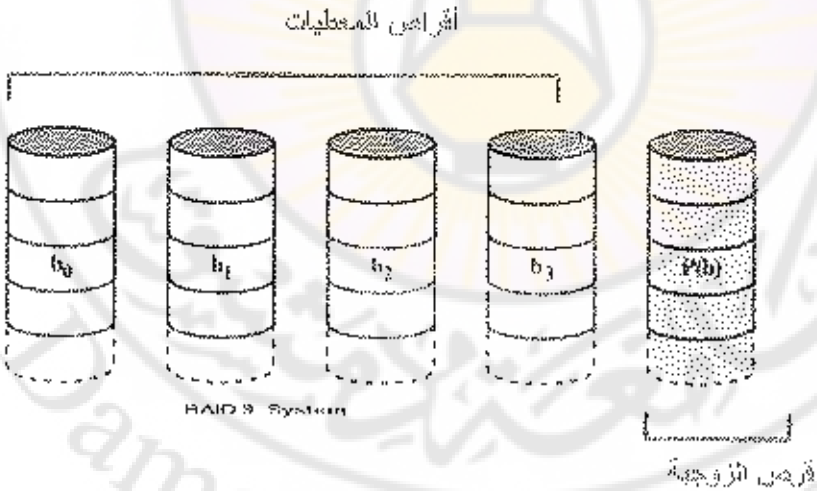
تحسب بت الزوجية i (Parity bit) على النحو التالي :

$$X4(i) = X3(i) \oplus X2(i) \oplus X1(i) \oplus X0(i)$$

وبفرض أن القرص X1 قد تعطل , نجمع الحدين **X4(i) ⊕ X1(i)** إلى كلا الطرفين فنحصل على :

$$X1(i) = X4(i) \oplus X3(i) \oplus X2(i) \oplus X0(i)$$

ويمكن إعادة توليد كل شريحة معطيات في القرص X1 بدءاً من محتويات الشرائح المقابلة في الأقراص المتبقية في المصفوفة . ويبقى هذا المبدأ صحيحاً في النظم RAID 3 إلى النظام RAID 6 . وعند حدوث عطل في أحد الأقراص , تبقى جميع المعطيات متاحة في هذه الحالة , والتي تسمى النمط المنخفض Reduce Mode . وعند إجراء القراءة في النمط , يعاد توليد المعطيات المفقودة مباشرة باستخدام التابع المنطقي EX-OR . ويبين الشكل (٢-٣٤) أقراص المعطيات وقرص الزوجية في النظام RAID 3



الشكل (٢-٣٤) - أقراص المعطيات وقرص الزوجية في النظام RAID 3

وعند حدوث كتابة للمعطيات في النظام RAID 3 وفق النمط المنخفض ينبغي الحفاظ على الزوجية ليصار إلى إعادة توليد المعطيات لاحقاً . وتتطلب العودة إلى العمل الكامل الاستعاضة عن القرص المعطل , وإعادة توليد محتويات القرص المعطل على القرص الجديد .

الأداء Performance

بما أن العمليات موزعة في شرائح صغيرة جداً , يستطيع النظام RAID 3 تحقيق معدل نقل مرتفع جداً للمعطيات . ويؤدي أي طلب دخل/خرج I/O إلى نقل المعطيات على التوازي من كافة أقراص المعطيات . وعند إجراء عمليات نقل ضخمة يصبح التحسن في الأداء ملحوظاً إلى درجة كبيرة . ولكن لا يمكن تنفيذ أكثر من طلب دخل/خرج I/O واحد في آن واحد , ولذا يتردى الأداء في بيئة تكثر فيها المداولات .

<u>الميزات:</u>

من أهم ميزات هذا النظام :

- سرعة عالية في القراءة والكتابة على الأقراص من أجل معدلات نقل ضخمة.
- الأخطاء الناتجة عن أي قرص لا تبطئ من معدلات نقل المعطيات من/إلى المصفوفة .

<u>المساوئ :</u>

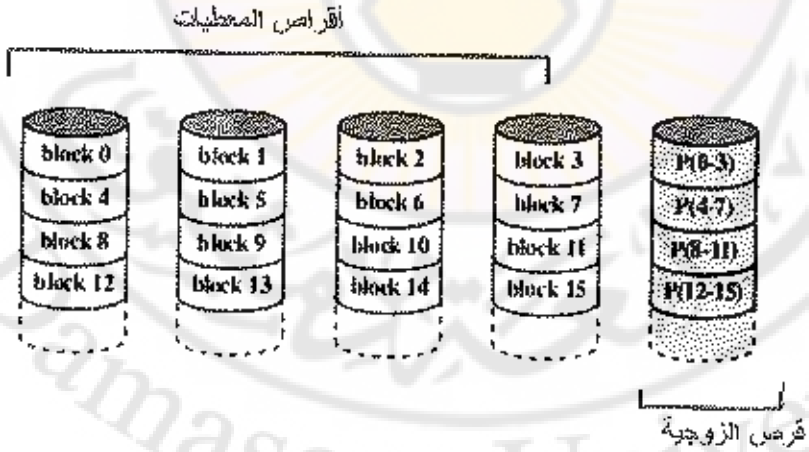
من أهم مساوئ هذا النظام :

❖ هذه التقنية معقدة جداً...وصعبة التطبيق عن طريق البرمجيات Software .

❖ بطء في الأداء من أجل طلبات دخل/خرج بسيطة وعشوائية .

٢-٩-٥- النظام RAID 4

تستفيد النظم RAID 4 حتى النظم RAID 6 من تقنية النفاذ المستقل . وفي مصفوفة ذات نفاذ مستقل يعمل كل قرص عضو فيها على نحو مستقل , بحيث يستجاب لعدة طلبات دخل/خرج I/O على التوازي , ويجعل مصفوفات النفاذ المستقل أكثر ملائمة للتطبيقات التي تتطلب معدلات مرتفعة للدخل/الخرج I/O . وهي أقل ملائمة نسبياً للتطبيقات التي تحتاج إلى معدل نقل مرتفع للمعطيات . ويستخدم في النظام RAID 4 وضع المعطيات في شرائح . كما هو مبين في الشكل (٢-٣٥) . وتكون شرائح المعطيات في النظم RAID 4 وحتى RAID 6 كبيرة نسبياً .



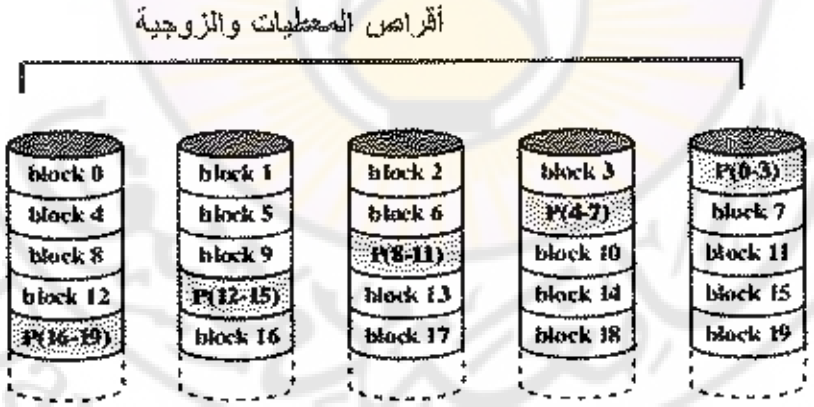
الشكل (٢-٣٥) – النظام RAID 4 (Block Level Parity)

وتُحسب في النظام RAID 4 شريحة الزوجية Parity بتاً بتــاً , إذ تطبــق على الشرائح المقابلة على كل قرص وتخــزن بتــات الزوجيــة Parity فــي الشريحة المقابلة على قرص الزوجية Parity . ويتــضمن النظــام RAID 4 غرامة الكتابة Write Penalty عند إجراء طلــب كتابــة لمعطيــات صــغيرة الحجم. وينبغي على برمجة إدارة المصفوفة تحديث معطيات المستخدم وتحديث بتات المعطيات .

٢-٩-٦- النظام RAID 5

Independent Data Disks With distributed Parity Blocks

يُعتبر أفضل مستوى RAID من ناحية الحفاظ على البيانات مــن الــضياع , وهو معقد بعض الشيء، ويقوم على أساس تقسيم المعطيات إلى أجزاء متساوية، وتوزيعها بين الأقراص، وكتابة بيان للمساعدة في حالة الطوارئ يسمى الزوجية Parity، وتوزع بت الزوجية Parity bits على كافة الأقراص .ويبين الــشكل (٢-٣٦) النظام RAID 5 .



الشكل (٢-٣٦) – النظام RAID 5(Block Level distributed Parity)

يختلف النظام RAID 5 عن RAID 4 بنشر المعطيات وبت الزوجية Parity على N+1 قرص بدلاً من تخزين المعطيات على N قرص والزوجية Parity على قرص آخر.

و نحتاج في النظام RAID 5 إلى استخدام ثلاثة أقراص على الأقل لتحقيق هذا المستوى . ويمكن أن تصمد المصفوفة في هذا المستوى أمام أي خطأ ناتج عن أي قرص دون خسارة المعلومات أو خسارة القدرة للوصول إليها .

● الميزات :

من أهم ميزات هذا النظام :

- ❖ يمكن تمثيل هذه التقنية في البرمجيات Software ولكن الأفضل تمثيلها عن طريق العتاديات Hardware حيث يمكن أن يزود المتحكم الخاص بالعتاد Hardware بذاكرة كاش Cache وذلك لتحسين الأداء.
- ❖ عمليات قراءة المعطيات من هذه المصفوفة سريعة جدا .

● المساوئ :

من أهم مساوئ هذا النظام :

- ❖ كتابة المعطيات في هذه المصفوفة بطيء نوعا ما...بسبب الحاجة إلى حساب قيم خانات التماثل .
- ❖ الأخطاء الناتجة عن الأقراص يمكن أن تؤثر على عمليات النقل...ومع ذلك تبقى مقبولة .
- ❖ تقنية معقدة جداً .
- ❖ إذا حصل عطب في قرصين أو أكثر فسوف تُفقد جميع المعطيات .

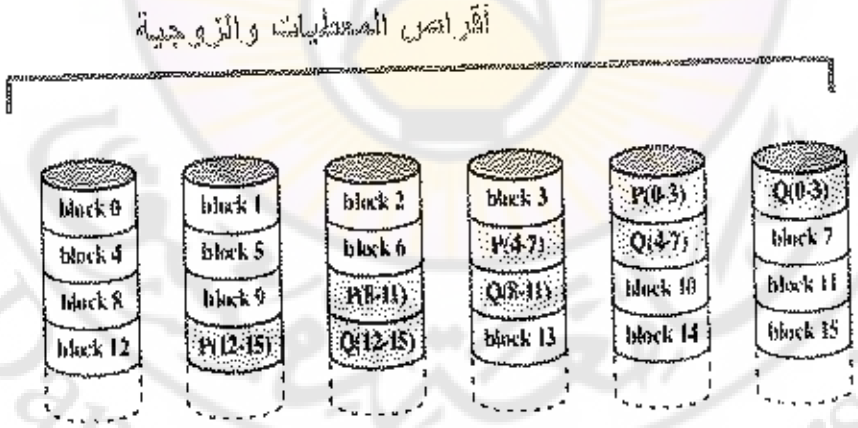
الإستخدامات :

من أهم استخدامات هذا النظام :

- ❖ هذا النظام جيد من أجل المخدمات الكبيرة , لأنه يؤمن نسبة حماية كبيرة , وسعة تخزين ضخمة , عدا عن الأداء الجيد .
- ❖ تستخدم هذه التقنية في تكوين ملفات المخدمات وتطبيقاتها .

٢-٩-٧- النظام RAID 6

يُحسب في النظام RAID 6 نوعان من الزوجية Parity , ويخزنان في كتل منفصلة على أقراص مختلفة . وتتألف المصفوفة في النظام RAID 6 من N+2 قرص (حيث تحتاج معطيات المستخدم إلى N قرص) . ويبين الشكل (٣٧) النظام RAID 6 . ويشير الرمزان P,Q إلى خوارزميتين مختلفتين لتدقيق المعطيات .



الشكل (٢-٣٧) - النظام RAID 6 (Dual Redundancy)

الخوارزمية الأولى : تقوم بحساب EX-OR المستخدم في النظـــامين RAID 4 و RAID 5 .

الخوارزمية الثانية : هي خوارزمية تدقيق معطيات مستقلة . ويسمح ذلك بإعادة توليد المعطيات عند تعطل قرصين يحتويان على معطيات المستخدم .

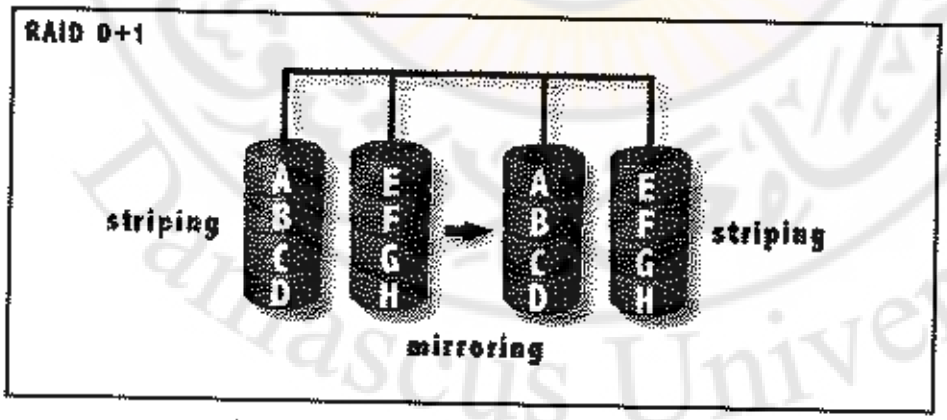
● ميزة النظام RAID 6 :

من أهم ميزات هذا النظام :

- ❖ جعل متاحية المعطيات مرتفعة جداً .
- ❖ يتعرض النظام RAID 6 إلى "غرامة كتابة " كبيرة لأن كـل عمليـة كتابة تؤثر في كتلتي الزوجية Parity .

٢-٩-٨- النظام RAID 10

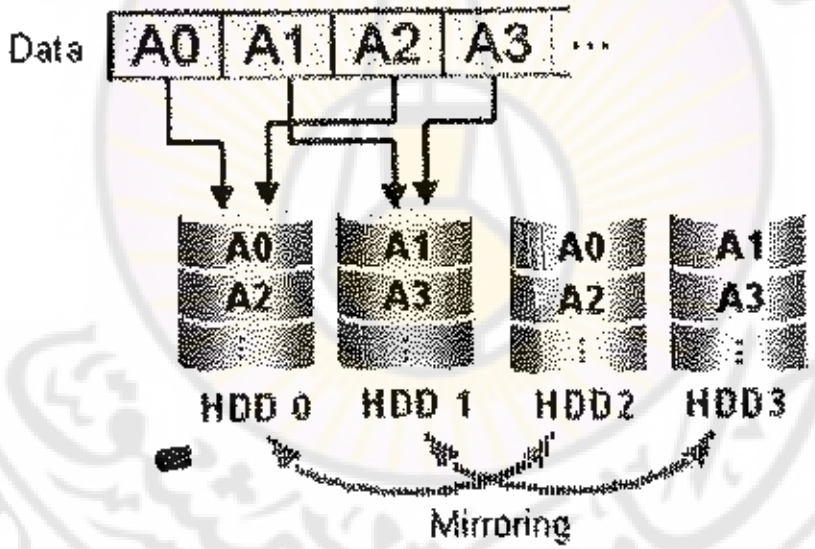
هذه التقنية تعتمد على دمج النظـــام RAID 0 مـــع النظـــام RAID 1 فـــي مصفوفة واحدة مزدوجة لجمع ميزات المـــصفوفتين , فنحـــصل علـــى تقنيـــة RAID 0 ونسخة احتياطية أيضاً .



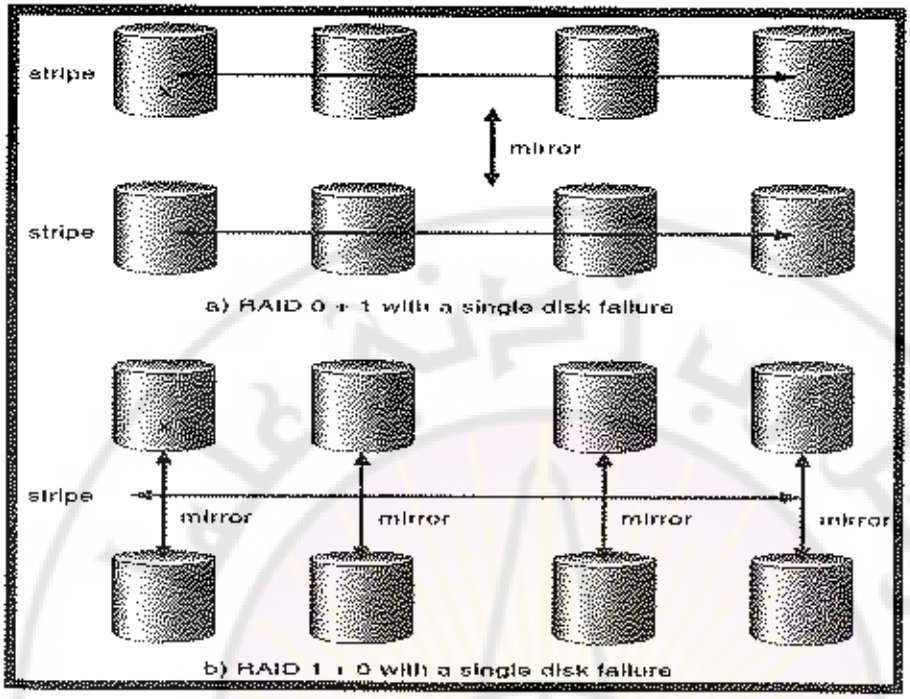
الشكل (٢-٣٨) – النظام RAID 1+0

أساس الفكرة هو تقسيم ملف واحد على قرصين ، وفي الوقت نفسه عمل نسخة طبق الأصل من هذين القرصين على قرصين آخرين ، هنا يتم الاستفادة من السرعة للنظام RAID 0 مع الأمان الذي يوفره النظام RAID 1 . ويبين الشكل (٢-٣٨) النظام RAID 1+ 0 أو RAID 10. أما الشكل (٢-٣٩) فيوضح كيفية توزع المعطيات على الأقراص في النظام RAID 1+ 0 .

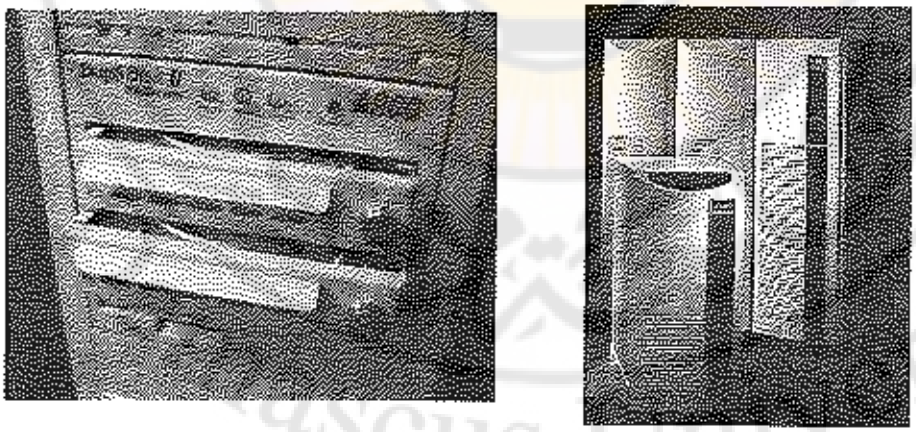
ويوضح الشكل (٢-٤٠) كيفية تنظيم الأقراص المتكررة في النظام RAI 1+0 . ويبين الشكل (٢-٤١) بعض هذه الأنواع من الأنظمة RAID .



الشكل (٢-٣٩) – توزع المعطيات على الأقراص في النظام RAID 1+ 0



الشكل (٢-٤٠) – تنظيم الأقراص المتكررة في النظام RAID 1+ 0



الشكل (٢-٤١)– بعض الأنواع من الأنظمة RAID

٢-٩-٩- حساب قيم بتات الزوجية Parity واكتشاف الأخطاء

تستخدم الزوجية Parity بشكل مقترن مع خاصية الشرائح Striping . ويمكن أن تخزن قيمة الزوجية Parity إما في قرص منفصل مخصص لهذا الغرض (كما هو الحال في RAID3) ، أو تخزن بشكل مدمج مع المعطيات على كل الأقراص في المصفوفة (كما في الحال في RAID 5) .

وتحسب بتات الزوجية Parity باستخدام البوابة المنطقية XOR . والفائدة من هذه البوابة هو التالي :

عندما نقوم بعملية XOR لأي شيء مع نفسه فإن ذلك سيفني ذلك الشيء .

مثلاً :

$$A \oplus B \oplus B = A$$

مثال : لنأخذ أربعة بايتات من بيانات ما , كل بايت مخزن بشكل منفصل ولنفرض أن هذه البايتات هي على الشكل التالي :

D1 = 10100101

D2 = 11110000

D3 = 00111100

D4 = 10111001

D1 XOR D2 XOR D3 XOR D4 =

= ((D1 XOR D2) XOR D3) XOR D4

= ((10100101 XOR 11110000) XOR 00111100)

XOR 10111001

= (01010101 XOR 00111100) XOR 10111001

= (01101001 XOR 10111001)

= 11010000

= **DP**

أصبح DP يحتوي على بايت الزوجية Parity

إذا قمنا الآن بتخزين القيم الخمسة السابقة DP , D4 ,D3, D2 , D1 على خمسة أقراص صلبة , ولنفرض أن القرص 3 الذي يحتوي على D3 قد تعرض للتلف أو لضياع المعطيات , فبإمكاننا إعادة بناء هذا البايت من جديد وذلك بإجراء عملية XOR بين البايتات المتبقية وبايت الزوجية Parity على النحو التالي :

القرص الذي فقدنا منه المعطيات هو D3 = 00111100

D3 = D1 XOR D 2 XOR D4 XOR DP

= ((D1 XOR D2) XOR D4) XOR DP

= ((10100101 XOR 11110000) XOR 10111001)
XOR 11010000

= (01010101 XOR 10111001) XOR 11010000

= 11101100 XOR 11010000

= **00111100** **which is D3 – The lost value.**

هي القيمة نفسها التي فُقدت .

٢-١٠-الذاكرة الضوئية Optical Memory

قامت شركتا سوني وفيلبس , في بداية عـام 1982 , بـاختراع الأقـراص المدمجة CD (Compact Disk) , وكانت قابليتها للمشاركة وطريقة النفـاذ العشوائي التي تحويها والميزات الصوتية إضافة إلى جودة الصوت الذي حملتـه كافية لنجاحها بشكل كبير , فاحتلت الأسواق خلال سنوات قليلـة . والقـرص CDهو قرص مضغوط موجه إلى نظام الصوت الرقمي , وغير قابل للمحـو , وتخزن المعلومات فيه على جانب واحد . وهو تطوير تقنية تخزين على أقراص منخفضة الكلفة .

وفي عام 1984 تبعتها الأقراص الليزرية CD-ROM , لكن هذه الأقراص كانت بحاجة لزمن أطول لتحقيق الرواج نفسه الذي حظيت به الأقراص المدمجة التي كانت تعنى بالصوت Audio CD. وعلى كل حال تنتشر اليـوم الألعـاب والبرمجيات وتطبيقات العتاد البرمجي والسلاسل التعليمية والعروض التقديميـة وغيرها والكثير من برامج الوسائط المتوافرة على الأقراص الليزرية . ومنه ما خصص ليخزن 70min من الصوت العالي الجودة ويـستطيع تخـزين 650 MByte من المعطيات . وظهرت عدة أقرص ضوئية منها :

٢-١٠-١- الأقراص المضغوطة القابلة للقراءة فقط CD – ROM

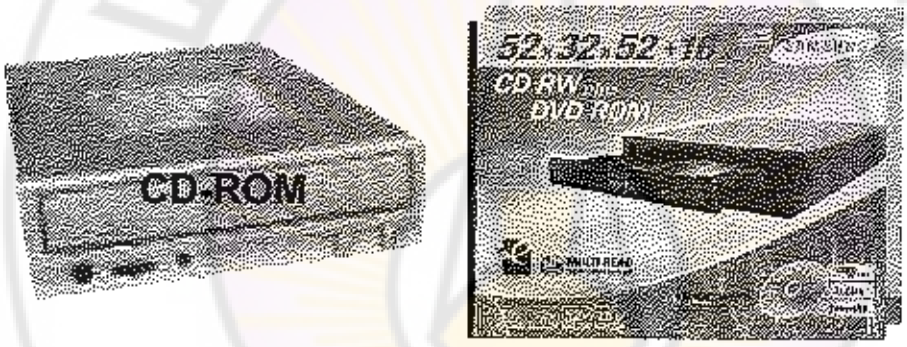
Compact Disk Read – Only Memory

لا تسمح هذه الأقراص بأن تتم الكتابة عليها , وتتم القراءة منها لعدد من المرات. ونميز نوعين منها :

١. **القرص المضغوط CD** : هو قـرص غيـر قابـل للمحـو ويخـزن المعلومات الصوتية , ويستخدم أقراصاً قطرها 12 cm تستطيع تسجيل ما يزيد عن 60 min من الصوت دون انقطاع .

٢. القرص **CD – ROM** : هو قرص غير قابل للمحو ، يستخدم لتخزين معطيات الحاسوب ، ويستخدم أقراصا قطرها 12 cm ، تستطيع تخزين ما يزيد عن 650 MB (650Mbytes giving over 70 minutes audio) .

ولهذين النوعين التقانة نفسها والخلاف هو أن سواقات السي CD-ROM أمتن ونقل المعطيات آمن من القرص إلى الحاسوب . ويبين الشكل (٢-٤٢) سواقة CD-ROM .



الشكل (٢-٤٢) – سواقة CD-ROM

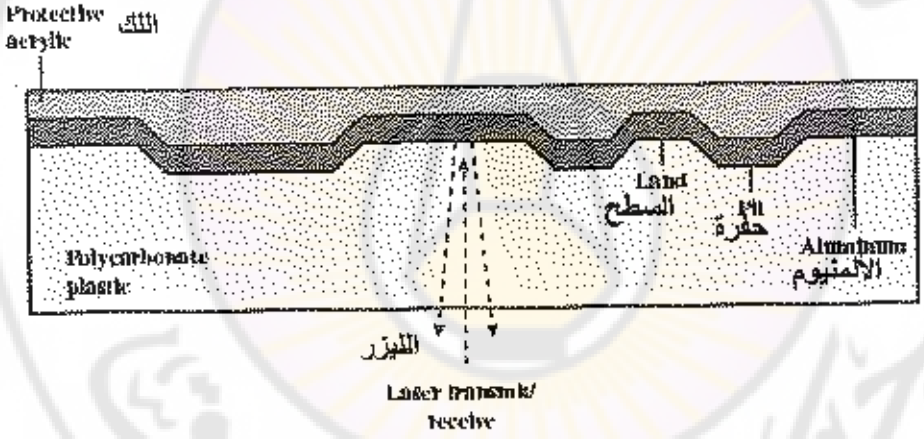
● أقراص **CD-ROM** :

تنتج هذه الأقراص من مادة راتنجية Resin مثل Polycarbonate ، ويصنع بسطح ذي عكسية مرتفعة ، وهو الألمنيوم Usually Aluminium . وتطبع المعلومات المسجلة رقمياً كسلسلة من الحفر Pits المجهرية على السطح العاكس . ويجرى أولاً بوساطة أشعة ليزرية عالية الشدة ودقيقة Focus عند

إنشاء القرص الأصل Master . ويُستخدم القرص الأصل بدوره قالباً لإنشاء النسخ منه . ويُحمى السطح المحفور للنسخ من الغبار , بطلاء علوي من مادة اللك Lacquer الصافية .

تستحضر المعلومات من CD أو CD-ROM بواسطة أشعة ليزرية منخفضة الاستطاعة , مضمنة في سواقة الأقراص الضوئية أو في وحدة المشغل , كما يلي :

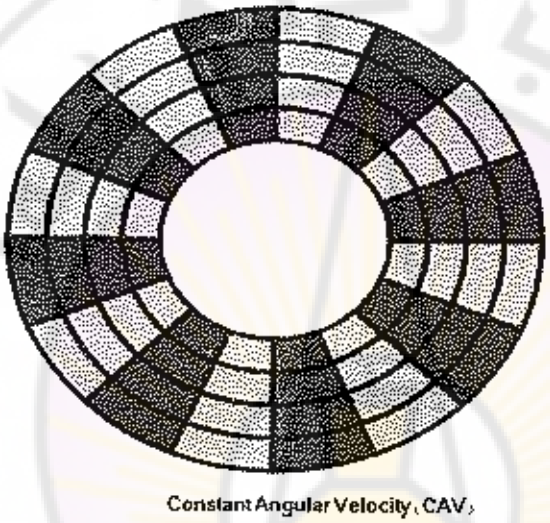
- يشع الليزر عبر طبقة طلاء الحماية أثناء تدوير محرك القرص.
- تتغير شدة الأشعة المنعكسة عند مصادفتها الحفرة،كما هو مبين في الشكل (٢-٣٣) .
- يكتشف هذا التغير بحساس ضوئي ويحول إلى إشارة رقمية .



الشكل (٢-٤٣) – كيفية استحضار المعلومات من CD-ROM

يوجد حفر قرب مركز القرص الدائر , وأيضاً حفر خارجه , لذا ينبغي إيجاد طريقة لتعويض السرعة , بحيث يستطيع الليزر قراءة كافة الحفر بالمعدل ذاته . ويجرى ذلك بزيادة التباعد بين بتات المعلومات المخزنة في مقتطعات القرص .

ويمكن أيضاً مسح المعلومات بالمعدل ذاته ,وذلك بتدوير القرص بسرعة ثابتة وتُسمى السرعة الزاوية الثابتة (Constant Angular Velocity CAV) , ويبين الشكل (٢-٤٤) المخطط النسقي للقرص باستخدام الطريقة CAV .



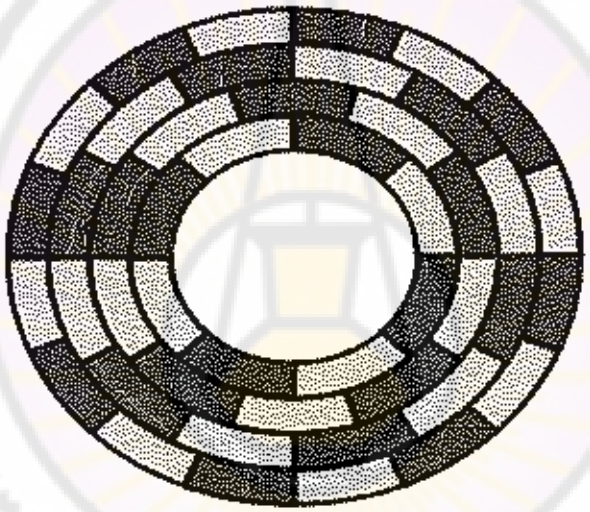
الشكل (٢-٤٤) – المخطط النسقي للأقراص CD وCD-ROM باستخدام الطريقة CAV

ويلزم لتحريك الرأس على القرص من موضع إلى عنوان محدد بأن يتحرك الرأس إلى المسلك المطلوب , ثم انتظار مدة قصيرة ليدور القطاع المطلوب حتى يصبح تحت الرأس .

ومن المعروف أن المعلومات تكون أقل في المسالك خارج القرص من المسالك الداخلية , لذلك لا تستخدم هذه الطريقة في CD-ROM و CD .

وتحزم المعلومات على القرص في قطاعات لها الحجم نفسه وتمسح بالمعدل ذاته بتدوير القرص بسرعة متغيرة , وتقرأ عندئذ الحفر ليزرياً بسرعة خطية ثابتةCLV (Constant Linear Velocity) .

ويدور القرص ببطء أشد من أجل عمليات النفاذ الواقعة على الحافة الخارجية مقارنة بعمليات النفاذ القريبة من المركز . ويؤدي ذلك إلى زيادة سعة المسلك ومدة التأخير الدوراني . ويبين الشكل (٢-٤٥) المخطط النسقي للقرص باستخدام طريقة CLV .



Constant Linear Velocity,CLV,

الشكل (٢-٤٥) – المخطط النسقي للأقراص CD و CD-ROM باستخدام طريقة CLV

وعند استخدام طريقة السرعة الخطية الثابتة CLV يصبح النفاذ العشوائي أصعب.إذ يتطلب تعيين موضع عنوان محدد لتحريك الرأس إلى المنطقة

المطلوبة , وضبط سرعة الدوران ثم قراءة العنوان . ويلي ذلك عمليات ضبط صغيرة للعثور على القطاع والنفاذ إليه .

تقدر السرعة الزاوية الخطية 1.2 m/ s , وطول المسار الحلزوني 5.27Km وهذا يتطلب زمن عبور قدره 73.2 min وهي تمثل القيمة العظمى القياسية لمدة تسجيل الصوت على قرص صوتي . ومعدل تخزين المعلومات على القرص 176.4 KB/s فإن سعة التخزين 774.57 MB .

- **يتمتع القرص CD-ROM بالميزات التالية :**
  - سعة تخزين كبيرة على القرص الضوئي .
  - يمكن إعادة نسخ القرص الضوئي بكلفة زهيدة خلافاً للقرص المغناطيسي .
  - نسخ قرص واحد في كل مرة .
  - القرص الضوئي قابل للنزع , يسمح باستخدام القرص التخزين المؤرشف .

- **مساوئ القرص CD-ROM :**
  - هذه الأقراص قابلة للقراءة فقط .
  - في هذه الأقراص زمن النفاذ أطول من زمن النفاذ إلى القرص المغناطيسي .

- **ملاحظة :**

عادة تكون سرعة سواقات CD و CD-ROM على شكل ثلاثة أرقام مفصولة بالحرف x , كما هو مبين في الشكل (٢-٤٢) , فعلى سبيل المثال

52x32x52x هذه الأرقام تشير إلى سرعة السواقة، أما الحرف x يدل على معدل نقل 150 KByte من المعطيات في الثانية .

عند النظر إلى سرعة السواقة فإن أول رقم يشير إلى **سرعة السواقة التي تسجل فيها السواقة المعطيات على القرص**، في المثال السابق ستسجل السواقة المعطيات 52 مرة بسرعة 150Kbyte/sec. والرقم الثاني يشير إلى **السرعة التي تكتب بها السواقة**، ففي المثال السابق السواقة سوف تكتب بسرعة تساوي 32 ضعف 150Kbyte/sec . نموذجياً، العدد الثاني الذي يمثل سرعة إعادة الكتابة أقل من الرقم الأول، والذي يمثل سرعة الكتابة، وذلك لأن عملية إعادة الكتابة أبطأ من عملية الكتابة. والرقم الأخير يمثل **سرعة قراءة السواقة المعطيات من القرص المضغوط**، إن السواقة CD سوف تقرأ المعطيات من القرص الصلب بسرعة 25 مرة بسرعة 150Kbyte/sec (150KB * 52).

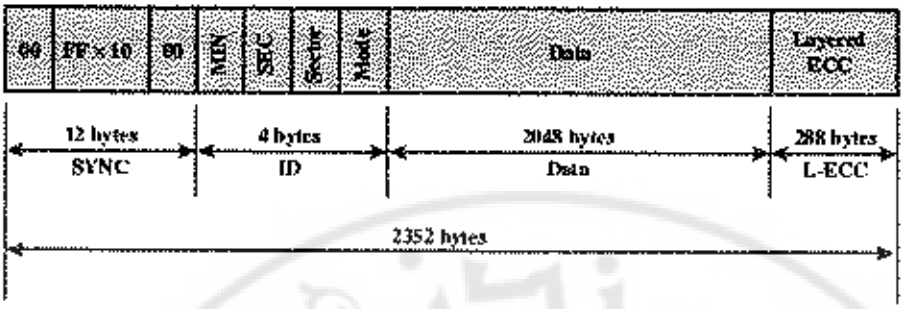
صيغة الأقراص CD-ROM :

يبين الشكل (٢-٤٦) صيغة الأقراص CD-ROM ، وهي تتألف من الحقول التالية :

١. **حقل التزامن Sync :** ويحدد هذا الحقل بداية الكتلة .

٢. **الترويسة (الدليل) Header:** ويحتوي هذا الحقل على عنوان الكتلة وبايت النمط . ويحدد النمط 0 حقل معطيات فارغ , أما النمط 1 فيحدد حقل استخدام مُرمّز code تصحيح الأخطاء ومعطيات ذات 2048Byte , أما النمط 2 فيشير على توفر 2336 Byte من معطيات المستخدم دون مُرمّز تصحيح الأخطاء .

٣. **المعطيات Data :** هي معطيات المستخدم .



- Mode 0 =blank data field
- Mode 1=2048 byte data +error correction
- Mode 2=2336 byte data

الشكل (٢-٤٦) – صيغة الأقراص CD-ROM

٤. **الحقل المساند L.ECC** : يضم هذا الحقل معطيات المستخدم الإضافية في النمط 2 . أما في النمط 1, فهو يحوي مرمز تصحيح الأخطاء المؤلف من 288 Byte .

٢-١٠-٢- الأقراص WORM (Write Once - Read Many)

الأقراص WORMهي أقراص قابلة للكتابة مرة واحدة , وللقراءة مرات عديدة . وأعد هذا القرص بحيث يمكن الكتابة فيه مرة واحدة بوساطة حزمة ليزرية ذات شدة متواضعة . ويستطيع المستخدم الكتابة به مرة واحدة بواسطة جهاز كتابة للأقراص ثم قراءته عدة مرات .

ويعتمد القرص WORM طريقة السرعة الزاوية الثابتة CLV للحصول على نفاذ أسرع إلى القرص . ويستخدم هذا النوع في التخزين المؤرشف للوثائق والملفات لأنه يوفر تسجيلاً دائماً لأحجام كبيرة من معطيات المستخدم .

٢-١٠-٣-القرص الضوئي القابل للمحي EOD

Erasable optical Disk

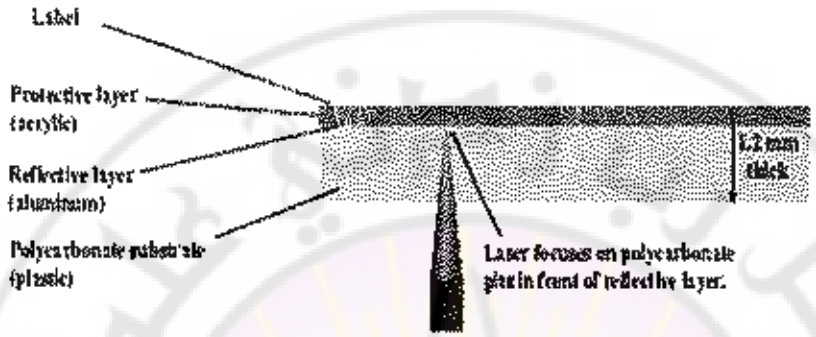
يستخدم القرص EOD للكتابة والقراءة لأكثر من مرة كالقرص المغناطيسي، ويستخدم نهج ضوئي ، وهو طريقة تغيير الطور . ويستخدم القرص ذو الطور المتغير مادة ذات قرينتي انعكاس مختلفتين تماماً ، تبعاً لحالة الطور . ففي حالة اللاشكل Amorphous تتعرض الجزيئات إلى توجه عشوائي ، وتكون المادة ذات انعكاس سيء للضوء . ففي الحالة البلورية ، ذات السطح الناعم المصقول، تعكس الضوء انعكاساً جيداً .ويمكن لحزمة ليزرية تغيير المادة من طور إلى آخر . وللقرص الضوئي القابل للمحو EOD ميزة أساسية مقارنة بالأقراص CD-ROM , WORM وهي إمكانية إعادة الكتابة ومحوها . واستخدامه كوسيلة تخزين ثانوية وهو بذلك ينافس القرص المغناطيسي .

- **أهم الميزات مقارنة بالأقراص المغناطيسية :**
  - ❖ **السعة الكبيرة** : يمكن لقرص ضوئي مقاسه "5.25 , حفظ حوالي 650 MByte من المعطيات .
  - ❖ **المحمولية** : يمكن نزع القرص الضوئي من السواقة CD-ROM/ RW .
  - ❖ **الوثوقية** : لها وثوقية أعلى وعمر أطول .
  - ❑ تستخدم طريقة السرعة الزاوية الثابتة CAV .

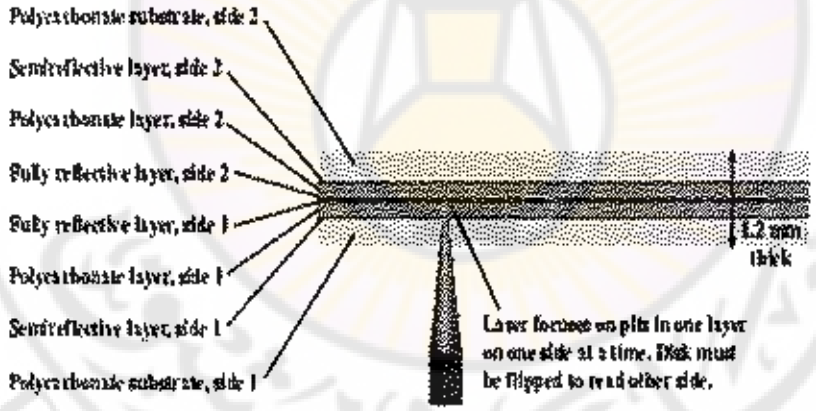
٢-١٠-٤- القرص الفيديو الرقمي DVD(Digital Video Disk)

إن القرص الفيديو الرقمي ذو سعة كبيرة وهو بديل عن أشرطة الفيديو كاسيت VHS التمثيلية. ويهدف إلى الاستعاضة عن الأقراص المضغوطة CD-ROM , المستخدمة في الحواسيب الشخصية والمخدمات , وهو ذو جودة عالية

جداً خاصة لأفلام الفيديو . ويمكن النفاذ إليها عشوائياً , كما هي الحال في الأقراص الصوتية Audio , وتستطيع سواقات الـ DVD تشغيلها أيضاً .



(أ) CD-ROM - Capacity 682 MB



(ب) DVD-ROM, double-sided, dual-layer - Capacity 17 GB

الشكل (٢-٤٧) – بنية القرص CD-ROM و DVD-ROM
ثنائي الجانب ومزدوج الطبقات

يمكن تخزين كميات هائلة من المعطيات على القرصDVD ، وتصل إلى 7 أضعاف سعة الأقراص المدمجة CD-ROM .ولقد سمحت هذه السعة العالية لأقراص DVD وجودة الصورة أن تكون ألعاب الحاسوب أكثر واقعية . كما سمحت بتضمين الفيديو البرمجيات التعليمية .

❁ بعض ميزات DVD بالنسبة لـ CD- ROM :

- يستطيع قرص الفيديو الرقمي DVD تخزين حوالي 4.7GB في كل طبقة ويمكن لقرص وحيد الجانب ومزدوج الطبقات تخزين 8.5 GB .
- يستخدم القرص DVD شكلاً من أشكال ضغط الفيديو ، المسمى MPEG, بغية تخزين الصور عالية الجودة .
- يمكن لقرص DVD ثنائي الجانب ومزدوج الطبقات تخزين 17GB وبالتالي يمكن تخزين مالا يقل عن أربعة أفلام . وبين الشكل(٢-٤٧-أ) بنية القرص CD-ROM بسعة 682 MB . أما الشكل (٢-٤٧- ب) بنية القرص DVD-ROM ثنائي الجانب ومزدوج الطبقات بسعة 17MB .

٢-١٠-٥- الأقراص الضوئية- المغناطيسية MO

Magneto – Optical Disk

تستعمل سواقة القرص الضوئي المغناطيسي MO أشعة ضوئية ليزرية لتعزيز إمكانيات القرص المغناطيسي التقليدي .وتعتبر تقنية التسجيل في هذه الأقراص مغناطيسية .

ويستفاد من الضوء الليزري في تبخير رأس التسجيل المغناطيسي بحيث يكون لديه إمكانيات أكبر . ويُطلى القرص بمادة يمكن تغيير قطبيتها بتعريضها حرارة مرتفعة فقط ، وتكتب المعلومات على القرص باستخدام أشعة ليزرية للتسخين

بقعة دقيقة من السطح , ومن ثم تطبيق حقل مغناطيسي . وعندما تبرد البقعة , تأخذ قطبية الحقل (شمال – جنوب) . وإن عملية القراءة هي ضوئية بشكل كامل.ويمكن اكتشاف اتجاه المغنطة بالليزر المستقطب. ويغير الضوء المستقطب (عند انعكاسه على بقعة معينة) درجة دورانه تبعاً لاتجاه الحقل المغناطيسي .

● ميزة الأقراص الضوئية MO

- الميزة الأساسية لـ MO , مقارنة بسواقة القرص الضوئي الكلي , هي أن عمر الأقراص أطول .إذ تؤدي عمليات الكتابة المتكررة على القرص الضوئي إلى تأذي الوسيطة . أما القرص MO فلا يتعرض لأي ضرر من جراء ذلك .
- وهي ذات كلفة متدنية جداً منسوبة إلى الميغابايت MB مقارنة بالتخزين المغناطيسي.

٢-١١- الشريط المغناطيسي Magnetic Tape

تم استعمال الأشرطة المغناطيسية كوسائط تخزين احتياطية في الحالات التسويقية لعدة سنوات, باعتبارها رخيصة وآمنة جداً. ولكن السيئة الرئيسية تكمن في طبيعتها التسلسلية في النفاذ، التي تجعلها بطيئة جداً في النفاذ للمعطيات (إلا إذا كانت مخزنة سابقاً) .

وتستخدم نظم الأشرطة المغناطيسية تقنيات القراءة والتسجيل (كتابة) , التي تستعملها نظم الأقراص . ويمكن مقارنة الأشرطة الممغنطة المستخدمة في الحواسيب بالأشرطة الصوتية المنزلية (Audio Tape) , كلاهما يلف على بكرات (Reels) ولكن أبعادهما الفيزيائية مختلفة . وتتكون الوسيطة من شريط Mylar المرن مطلي بأكسيد مغناطيسي . هناك العديد من أنواع تكنولوجيا الأشرطة المغناطيسية ومنها :

الشريط 8mm : صمم هذا الشريط بشكل أساسي من أجل صناعة الفيديو. هدفه الأساسي هو نقل صورة ذات جودة ألوان عالية إلى شرائط للتخزين والاستعادة. إن تكنولوجيا 8mm الآن تم تبنيها من قبل صناعة الحواسيب كطريقة موثوقة في تخزين كميات كبيرة من المعطيات.

٢-١١-١- مكونات وحدة الأشرطة الممغنطة

تتكون وحدة الأشرطة المغناطيسية من :

أ- **بكرة مغذية أو مزودة (Supply Reel)** : وهي البكرة المتغيرة .

ب-**بكرة آخذة (Take up Reel)** : وهي بكرة ثابتة , يتم نقل تخزين الشريط من البكرة المغذية إلى البكرة الأخذة , ويطلق على هذه العملية نقل أمامي (Advance) , بينما يطلق اللف العكسي (Reverse) على نقل أو لف الشريط من البكرة الآخذة إلى البكرة المزودة. وتتم عملية النقل أو اللف في أي اتجاه عن طريق عنصر القيادة (محرك) .

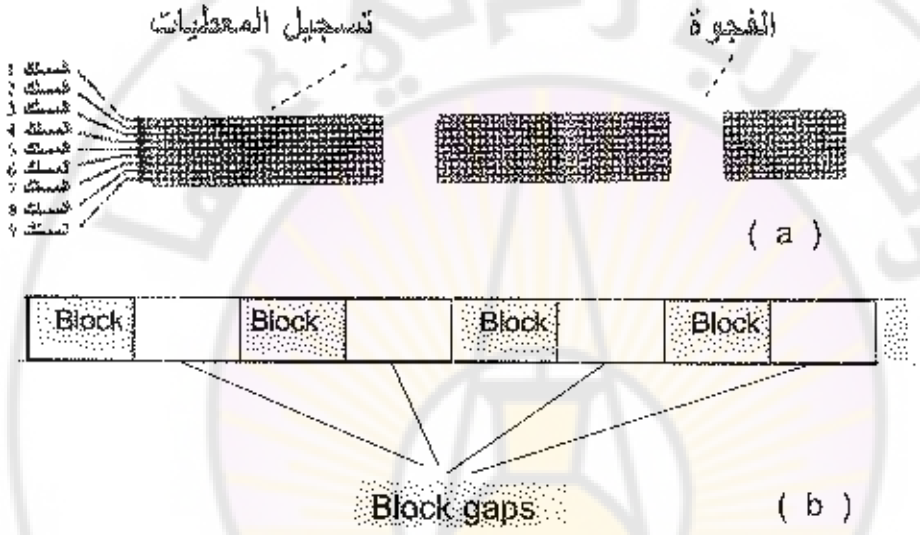
ت- **الرأس الممغنط (Magnetic Head)** : لتسجيل وقراءة المعطيات .

٢-١١-٢- تمثيل المعلومات المسجلة على الأشرطة

- تتألف وسيطة الشريط من عدد صغير من المسالك المتوازية .
- تسجل المعطيات أو المعلومات على الشريط الممغنط على عدد من المسالك كما هو مبين في الشكل (٢-٤٨) .
- لقد احتوت الأشرطة القديمة على 9 مسالك , لتخزين المعطيات بايتاً بايتاً , بالإضافة إلى بت الزوجية Parity الذي يخزن في المسلك التاسع .
- أما الأشرطة الحديثة فتضم 18 أو 34 مسلكاً , وهذا يقابل 2Byte أو 4Byte , كما هو الحال في الأقراص المغناطيسية .

❖ يسجل على كل مسلك بت واحدة من البتات التسعة .

والصف هو عبارة عن 9 مسالك على التوازي ، وكل مسلك يسجل فيه بت واحدة ، ويشكل الصف زاوية 90 درجة مع اتجاه سير الشريط الممغنط ، ولكن كل صف يلحق الصف الآخر على طول الشريط ، وبالتالي جميع البتات التسعة تقرأ وتكتب بالوقت نفسه .



الشكل (٤٨) – بنية الشريط المغناطيسي

٢-١١-٣- مبدأ التسجيل المغناطيسي

إن مبدأ التسجيل المغناطيسي هو كما يلي :

❖ يكون لكل مسلك رأس للكتابة ورأس للقراءة ، وبالتالي تتشكل مجموعة الرأس المغناطيسي التي تتكون من عدد من الرؤوس المغناطيسية .

- كل رأس مصنع من مادة الحديد الممغنط , وعلى شكل حلقة مغلقة ملفوف عليها وشيعة مغناطيسية . والوجه المقابل من الشريط يتكون من فراغ هوائي عرضه برتبة الميكرومتر.
- يصدر عند الكتابة , عن الفراغ الهوائي حقل مغناطيسي من الرأس المغناطيسي للكتابة بينما تعكس العملية عند القراءة , فعند مرور الشريط الممغنط من أمام الرأس القارئ فإن الحالة المغناطيسية تؤثر على الفراغ الهوائي لهذا الرأس .

٢-١١-٤- تنظيم المعطيات على الأشرطة المغناطيسية

يطلق على تنظيم المعطيات أو ترتيبها على الأشرطة المغناطيسية النفاذ التسلسلي , وبالتالي ملايين من الصفوف (rows) يمكن كتابتها أو قراءتها تسلسلياً على الشريط المغناطيسي , ولقراءة المعلومات N+2 يجب قراءة N ثم N+1 .أما إذا كان الرأس في مكان يلي التسجيلة المطلوبة فمن الضروري إعادة لف الشريط مسافة معينة ثم البدء بالقراءة ثانية .

وتقرأ المعطيات , وتكتب في كتل متجاورة على الشريط تسمى التسجيلات المادية Physical Record , وتفصل الكتل على الشريط بفجوات تسمى الفجوات بين التسجيلات Interrecord gaps . وكل كتلة مؤلفة من مجموعة صفوف وكل تعليمة تحكم (كتابة أو قراءة) تؤدي إلى معالجة كتلة كاملة . بينما الكتلة الفارغة لا تحوي أي معطيات . وطول كل كتلة معطيات تعتمد على عدد الأحرف المراد تسجيلها .

إن وجود الكتل الفارغة ضروري لتغطية عمليتي الانطلاق (البداية) والتوقف. إن عمليتي تسارع وتباطؤ يتم تغطيتهما عندما يكون الرأس الممغنط

تجاه كتلة فارغة , وذلك لأن عملية الكتابة (أو القراءة) تتم عندما تكون سرعة الشريط ثابتة فقط . لذلك يجب عدم إهمال الكتل الفارغة عند حساب السعة الكلية للتخزين على الشريط الممغنط , وتشكل سعة التخزين الفعلية تقريباً 50% من السعة الكلية للشريط عادة .

٢-١١-٥- الأشرطة الصوتية الرقمية DAT

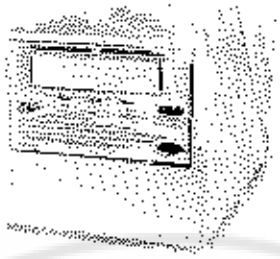
Digital Audio Tape

لقد أُعتبر أن جودة الأشرطة الصوتية الرقمية DAT بجودة قرص مضغوط صوتي. وفي عام 1998 أنشأت شركة سوني و HP معيار DDS ، بحيث يتم نقل هذه الصيغة إلى صيغة يمكن استعمالها من قبل الحواسيب. وهذه التقنية تستعمل أشرطة 8mm التي توظف تقنية تدعى المسح الحلزوني للتسجيل. وهي نفس عملية التسجيل المستخدمة في مسجلات الفيديو لكنها أبطأ من التسجيل الخطي. لهذا السبب تستخدم بشكل عام في بيئة تكون فيها السعة التخزينية العالية هي المتطلب الرئيسي.

٢-١١-٦- الشريط الخطي الرقميDLT

Digital Linear Tape

بدأت تكنولوجيا الشريط الخطي الرقمي عام 1989 . وهي تماثل منهجية التسجيل من بكرة لبكرة في الأشرطة المغناطيسية، حيث تكون خرطوشة الشريط هي البكرة الأولى , وسواقة الشريط هي البكرة الثانية . ويبين الشكل(٢-٤٨) سواقة الشريط الرقمي .



الشكل (٢-٤٨) – سواقة الشريط الرقمي

السعة:

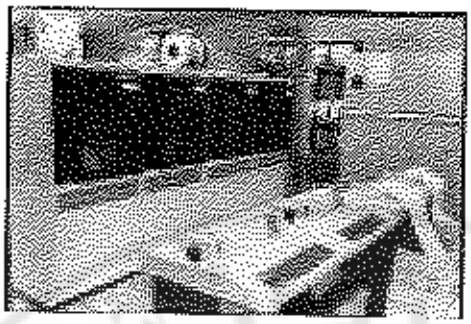
معظم سواقات الأشرطة المغناطيسية يمكنها أن تستعمل عدة خراطيش شرائط في وقت واحد. وهذا يعني سعة تخزين عالية تتراوح بين 20GByte حتى 3TByte .

السرعة :

إن معدل النقل لسواقة الأشرطة المغناطيسيه عادة ما يعبر عن السرعة. وعلى سبيل المثال فإن HP StorageWorks 251i Q1543A تملك معدل نقل معطيات يصل إلى 54GByte/Huor .

الإمكانيات:

إن سواقات الأشرطة المغناطيسية تستطيع الاتصال بأنظمة الحاسوب من خلال استعمال واجهة ترابط .ويبين الشكل (٢-٤٩) بنية سواقة الأشرطة المغناطيسية واتصالها بالحاسوب .



الشكل (٢-٤٩) – بنية سواقة الأشرطة المغناطيسية واتصالها بالحاسوب

مسائل عامة

٢-١- عرف من أجل نظام أقراص المقادير التالية :

- ts : زمن البحث وهو الزمن الوسطي لوضع الرأس فوق المسلك .
- r : سرعة دوران القرص , مقدرة cycle/s .
- n : عدد البتات في كل قطاع .
- N : سعة المسلك , مقدرة بالبت .
- tA : زمن النفاذ إلى القطاع .

أعط صيغة (معادلة) للمقدار tA بدلالة البرمترات الأخرى .

٢-٢- يتضح أن جعل القرص في شرائح يؤدي إلى تحسين معدل نقل المعطيات , عندما يكون مقاس الشريحة صغيراً مقارنة بمقاس القرص الضخم , إذ يمكن معالجة عدة طلبات I/O على التوازي . ولكن في هذه الحالة هل من الضروري وضع القرص في شرائح ؟ أي هل يحسن وضع القرص في شرائح أداء معدل طلبات I/O مقرنة بمصفوفة أقراص لا تستخدم هذه التقنية ؟

٢-٣- ما هو معدل النقل لوحدة شريط مغناطيسي ذي 9 مسالك ,تصل سرعتها إلى 120 in/s وتبلغ كثافة الشريط 1600 Bit liner/in .

٢-٤- أحسب سعة قرص ممغنط على الوجهين إذا علمت أن عدد المسالك 203 وأن سعة كل مسلك 40000 Bit .

٢-٥- كم عدد الأسطوانات وعدد المسالك الممكنة لحزمة أقراص ممغنطة مؤلفة من 20 سطح تخزين وهناك 203 توضع للرأس المغناطيسي .

٢-٦- عرف زمن البحث Seek Time ، واحسب هذا الزمن إذا علمت أن عدد المسالك 2000 وأن زمن الاقلاع هو 3ms وأن $m = 0.1$.

جامعة دمشق Damascus University

الفصل الثالث

واجهات ترابط الدخل/الخرج

I/O Interfaces

وقل رب زدني علما
جامعة دمشق
Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

واجهات ترابط الدخل/الخرج
I/O Interfaces

٣-١- مقدمة

إن بنيان الدخل/الخرج في نظام الحاسوب هو واجهة ترابطه مع العالم الخارجي. وتمكنه من تبادل المعطيات مع الأجهزة الأخرى . من إدخال برنامج عبر لوحة مفاتيح طرفية فيديوية واستقبال النتائج على الطابعة . وقد يكون مطلوباً من الحاسوب الاتصال مع تجهيزات قياسية متنوعة مثل الطرفيات الفيديوية . والطابعات . بالإضافة إلى مشغلات الأقراص المغناطيسية . والشرائط الممغنطة . وقد يطلب منه أيضاً الاتصال مع تجهيزات أخرى غير قياسية . مثل تطبيقات التحكم الصناعي . وبالتالي يجب أن يملك الحاسوب القدرة على التعامل مع مجال عريض من التجهيزات المختلفة.

الوحدات المحيطية المراد ربطها يمكن تصنيفها حسب نوع وظائفها . كما يلي :

١. **وحدات محيطية لحفظ المعطيات أو البرامج** : تستخدم هذه الوحدات كذاكرة مساعدة للذاكرة الرئيسية في الحاسوب . وهذا النوع من الوحدات يتضمن :

- **الأقراص المغناطيسية Magnetic disk** وأقراص وينشستر بسعات عالية تصل حتى 200 GByte .
- **الأقراص المرنة Floppy disk** : وهي أقراص ذات سعات محدودة .
- **الأقراص الضوئية Optical Disk** : وهي ذات سعات كبيرة . وكثافة تخزين عالية وقد انتشرت الآن بشكل كبير بحيث حدث من انتشار القرص المرن .

❖ **الأشرطة الممغنطة Magnetic Tape** : تستخدم نظم الأشرطة المغناطيسية تقنيات القراءة والتسجيل (كتابة) التي تستعملها نظم الأقراص .

وجميع هذه الوحدات مخصص لها وحدات تحكم خاصة بها .وقد تقوم وحدة التحكم بالتحكم بوحدة واحدة من وحدات التشغيل Drive Unit أو أكثر . وهذه الوحدات تؤمن عمل الوحدات السابقة .

٢. **وحدات التخاطب** : هذه الوحدات تؤمن التخاطب بين المستخدم والحاسوب ، مثل لوحة المفاتيح Key Board ، ووحدات الإظهار ، وغيرها من الوحدات ، ويكون النقل فيما بينها وبين الحاسوب نقلاً تسلسلياً . هذه الوحدات تستخدم كوحدات إدخال وإخراج .

٣. **وحدات الطباعة** : منها الطابعات الخطية أو السطرية Line Printer والليزرية . وهناك أنواع عديدة تعتمد على نوع رأس الطباعة للحروف ومبدأ اختيار حرف الطباعة .

٤. **وحدات أخرى** : هذه الوحدات هي وحدات نقل المعطيات في الزمن الحقيقي مثل المبدلات A/D أو إخراج المعطيات على شكل إشارات تمثيلية مثل المبدلات D/A . وعادة تستخدم مثل هذه الوحدات ، لمعالجة الإشارة والتحكم الرقمي باستخدام الحاسوب .

وبشكل عام مختلف وحدات الدخل /الخرج التي ذكرناها بحاجة إلى وحدات تحكم وربط مع الحاسوب . **وتستعمل ثلاث تقنيات دخل/خرج أساسية :**

١. **الدخل/الخرج المبرمج** : والذي تجري وفقه عمليات الدخل/الخرج تحت السيطرة المباشرة والمستمرة للبرنامج الطالب لتلك التعليمات .

٢. **الدخل/الخرج المقاد بالمقاطعات** : والذي يصدر فيه البرنامج أمر دخل/خرج ، ثم يستمر في التنفيذ ، على أن تقاطعه عتاديات الدخل/الخرج لإعلامه بنهاية الدخل/الخرج.

٣. **النفاذ المباشر إلى الذاكرة DMA** : والذي يتولى فيه متحكم متخصص بالدخل/الخرج التحكم في عملية الدخل/الخرج لنقل كمية كبيرة من المعطيات .

٣-٢- مجموعة وحدات الدخل/الخرج

إن نظام الحاسوب يتكون من المعالج ، ومجموعة وحدات الذاكرة ، ومجموعة وحدات الدخل/الخرج . وكل وحدة دخل/خرج تترابط مع مسرى النظام . أو مع المبدل Switch المركزي . وتتضمن مجموعة مرابط ميكانيكية تصل تجهيزة معينة بمسرى النظام ويحتوي على المنطق اللازم لتحقيق وظيفة الاتصال بين الطرفية والمسرى . **ويعود عدم ربط التجهيزات مباشرة إلى مسرى النظام للأسباب التالية :**

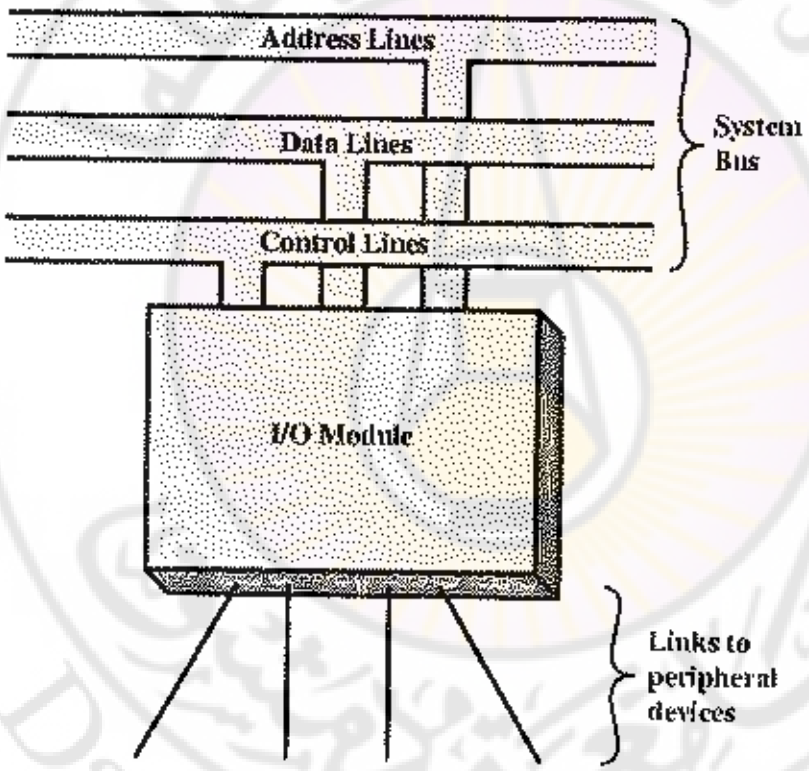
١. استعمال طرفيات متنوعة تعمل بطرق مختلفة وبالتالي يتعذر تضمين المنطق الضروري في المعالج للتحكم في كل التجهيزات .

٢. في أغلب الأحيان معدل نقل المعطيات من/إلى الطرفيات أبطأ بكثير من الذاكرة أو المعالج .وبالتالي يتعذر اتصال مسرى النظام العالي سرعة بالطرفية مباشرة .

٣. غالباً ما تستخدم الطرفيات صيغ معطيات وأطوال كلمات تختلف عن تلك التي يستخدمها الحاسوب الموصول بها . لذلك نحتاج إلى وحدة دخل/خرج كما هو مبين في الشكل(٣-١) .

٤. يكون الترابط مع المعالج والذاكرة عبر مسرى النظام أو المبدل المركزي .

٥. يكون الترابط مع تجهيزة طرفية واحدة أو أكثر عبر وصلات معطيات مخصصة لها.



الشكل (٣-١) – نموذج وحدة الدخل/الخرج

٣-٣- التجهيزات الخارجية External Devices

إن عمليات الدخل/الخرج I/O تُنجز باستخدام تشكيلة من التجهيزات الخارجية , وهي توفر وسيلة تبادل المعطيات بين المحيط الخارجي والحاسوب. وترتبط التجهيزة الخارجية بالحاسوب بوساطة وصلة إلى وحدة الدخل/الخرج كما هو مبين في الشكل(٣-١) . ويستفاد من الوصلة في تبادل التحكم والحالة والمعطيات بين وحدة الدخل/الخرج I/O والتجهيزة الخارجية . وتسمى التجهيزة الخارجية المرتبطة بوحدة الدخل/الخرج I/O التجهيزة الطرفية أو اختصاراً الطرفية . **ويمكن تصنيف التجهيزات الخارجية إلى ثلاثة أصناف :**

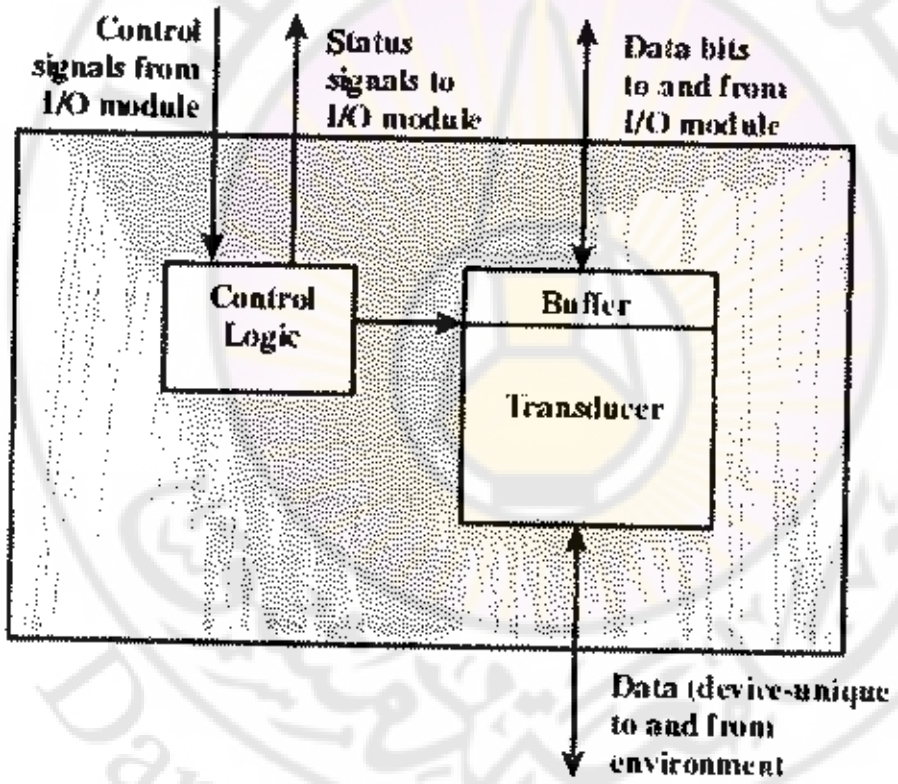
١. **التجهيزة القابلة للقراءة من الإنسان :** وهي تناسب التواصل مع مستخدم الحاسوب ,مثل : طرفية الإظهار الفيديوي VDT والطابعات .
٢. **التجهيزة القابلة للقراءة من الحاسوب :** وهي تناسب التواصل مع المعدات . مثل : القرص المغناطيسي والحساسات والمفعلات Actuators المستخدمة في تطبيقات الروبوت.
٣. **تجهيزات الاتصال :** وهي ملائمة للتواصل مع التجهيزة البعيدة .وتسمح تجهيزات الاتصال للحاسوب بتبادل معطياته مع تجهيزات بعيدة , والتي قد تكون قابلة للقراءة من قبل الإنسان كالطرفية أو من الحاسوب أو قد تكون حاسوباً آخر .

٣-٣-١- التجهيزة الخارجية

تتألف واجهة ترابط الدخل/الخرج من إشارات الحالة والتحكم والمعطيات . وتحدد إشارات التحكم وظيفة التجهيزة الواجب أداؤها , كإرسال المعطيات إلى وحدة الدخل/الخرج ,مثل :

- إشارة القراءة READ أو الإدخال INPUT .
- أو قبول المعطيات من وحدة الدخل/الخرج I/O أي إشارة الكتابة WRITE أو الإخراج OUPUT , والإعلام عن الحالة .
- أو إجراء بعض وظائف التحكم الخاصة بالتجهيزة .

ويوضح الشكل (٣-٢) بنية التجهيزة الخارجية .



الشكل (٣-٢) – بنية التجهيزة الخارجية

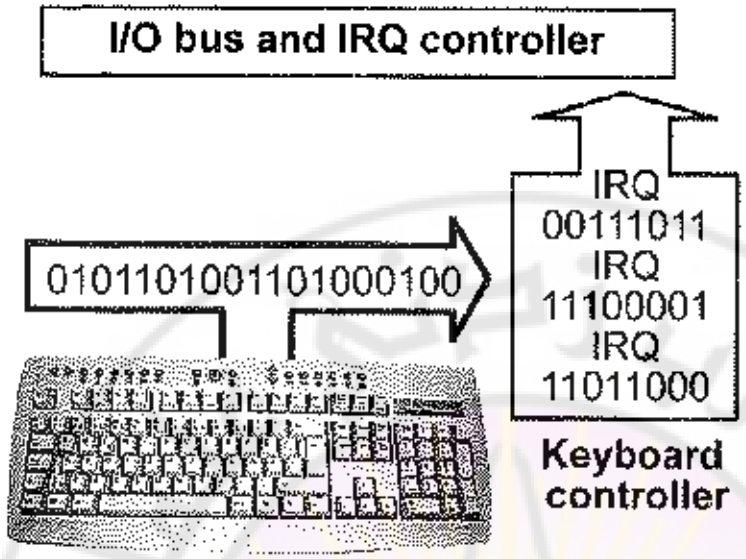
وتشير إشارات الحالة إلى حالة التجهيزة . مثل إشارة الجاهزية READY أو عدم الجاهزية NOT READY لإظهار استعداد التجهيزة لنقل المعطيات . ويتحكم منطق التحكم Control Logic المرافق للتجهيزة في عمل التجهيزة واستجابتها لأوامر وحدة I/O .

وينقل محول الطاقة Transducer المعطيات من الشكل الكهربائي إلى أشكال أخرى للطاقة . أو من الأشكال الأخرى إلى مقادير كهربائية. ويرافق عادة مع محول الطاقة مخزن Buffer لحفظ المعطيات مؤقتاً عند نقلها بين وحدة الدخل/الخرج I/O والعالم الخارجي ويكون حجم المخزن عادة 8Bit أو 16Bit.

٣-٣-٢- لوحة المفاتيح Keyboard

تتألف لوحة المفاتيح من مجموعة من المفاتيح تمثل الأحرف الأبجدية والأرقام وتوضع هذه الحروف عادة في تشكيلة الـ QWERTY وهي التشكيلة المستخدمة في الآلات الكاتبة . وعند الإدخال بواسطة لوحة المفاتيح يولد كل مفتاح مضغوط إشارة الكترونية يفسرها محول الطاقة في لوحة المفاتيح ويحولها إلى قيمة ثنائية وفق ترميز ASCII . تنقل القيمة الثنائية إلى وحدة الدخل/الخرج في الحاسوب . وفي الحاسوب يمكن تخزين النص بترميز ASCII ذاته . ويوضح الشكل (٣-٣) لوحة المفاتيح وكيفية تحويل الدخل إلى قيمة ثنائية.

وعند الإخراج تنقل المحارف المرمزة بترميز ASCII إلى تجهيزة خارجية من وحدة الدخل/الخرج . ويفسر محول الطاقة في التجهيزة ذلك الترميز ويرسل الإشارات الالكترونية المطلوبة إلى تجهيزة الخرج لإظهار المحرف المذكور أو إجراء عملية تحكمية معينة .



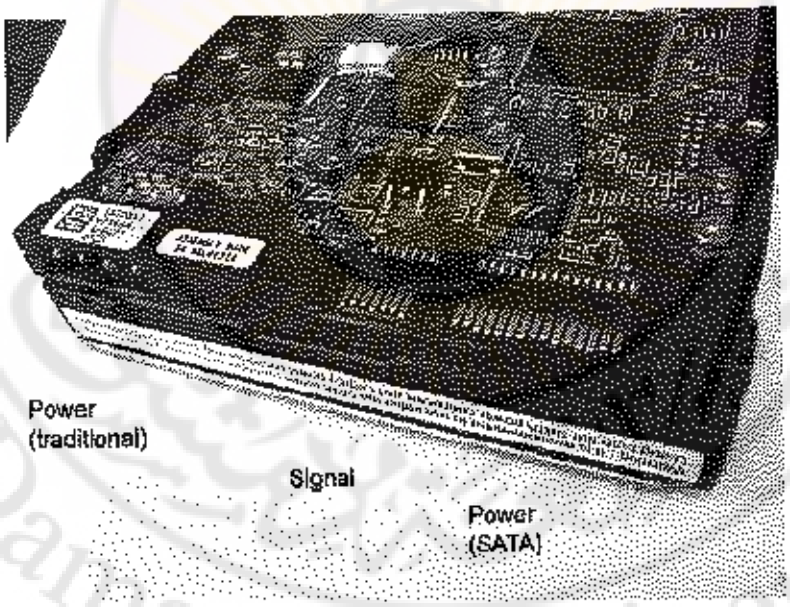
الشكل (٣-٣) – لوحة المفاتيح

ولا تحتوي لوحة المفاتيح العامة أي تخزين انتقالي داخلي , وبالتالي تنقل المعلومات خارجياً إلى الوحدة المحيطية , والتي هي عادة في الحاسوب . وتكون سرعة لوحات المفاتيح المعدلة بنفس سرعة لوحات المفاتيح التقليدية , ويقوم عادة الوصل التسلسلي من لوحة المفاتيح بأخذ كل ضغطة مفتاح وإعطائها إلى الوحدة التي تحوي عادة على منطقة تخزين .تعتمد طريقة وصل لوحة المفاتيح على نظام التشغيل الموجود في الحاسوب، وطريقة استخدام الطرفية التي تتعامل معه. وتستخدم بعض لوحات المفاتيح تقنية الوصل اللاسلكي وبالتالي لا تحتاج اللوحة إلى وصل فيزيائي إلى الحاسب.وتعتمد الكلفة على الخصائص المضافة .

٣-٣-٣- مشغل الأقراص Disk drive

يحتوي مشغل الأقراص على الإلكترونيات اللازمة لتبادل إشارات المعطيات والتحكم والحالة مع وحدة الدخل/الخرج ، إضافة إلى إلكترونيات التحكم في آلية القراءة/الكتابة في القرص .

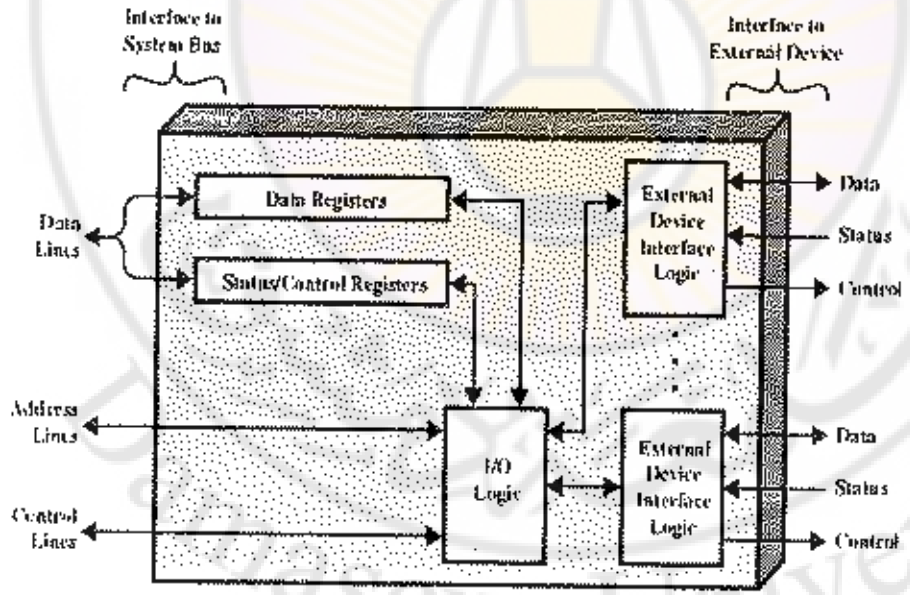
ففي قرص ثابت الرأس ، يكون محول الطاقة قادراً على التحويل بين النماذج النمطية الممغنطة على سطح القرص الدائر وبتات مخزن Buffer التجهيزة كما هو مبين في الشكل(٣-٢) . أما في القرص المتحرك الرأس فيجب أن يكون قادراً على تحريك ذراع القرص قطرياً نحو الداخل أو الخارج على سطح القرص ،ويوضح الشكل(٣-٤) القرص الصلب SATA ومداخل توصيله .



الشكل(٣-٤) – القرص الصلب SATA ومداخل توصيله

٣-٣-٤- بنية وحدة الدخل/الخرج I/O Module Structure

إن وحدات الدخل/الخرج I/O تختلف كثيراً من حيث تعقيدها وعدد التجهيزات الخارجية التي تتحكم فيها . ويبين الشكل (٣-٥) المخطط الصندوقي العام لوحدة الدخل/الخرج I/O . وترتبط هذه الوحدة بالحاسوب عبر خطوط مسرى النظام . وتخزن المعطيات المنقولة من/إلى وحدة الدخل/الخرج I/O في سجل واحد أو أكثر . ويستعمل سجل حالة واحد أو أكثر لتقديم معلومات الحالة الراهنة . قد يقوم سجل الحالة بدور سجل التحكم أيضاً لقبول معلومات التحكم التفصيلية من المعالج . وتتواصل وحدة الدخل/الخرج I/O مع المعالج عبر مجموعة خطوط تحكم . وتُستخدم هذه الخطوط من المعالج لإصدار أوامر وحدة الدخل/الخرج I/O .



الشكل (٣-٥) - المخطط الصندوقي العام لوحدة الدخل/الخرج I/O

قد تستعمل وحدة الدخل/الخرج I/O بعض خطوط التحكم مثل إشارات الحالة والتحكم . ويجب على كل وحدة I/O أن تكون قادرة على التعرف على العناوين المتعلقة بالتجهيزات التي تتحكم فيها . ولكل وحدة I/O عنوان فريد أو مجموعة عناوين فريدة إذا كانت تتحكم في أكثر من تجهيزة خارجية واحدة . وتعمل وحدة I/O لتتيح للمعالج رؤية طيف واسع من التجهيزات بطريقة بسيطة. وبالتالي تسند وحدة I/O الجزء الأكبر من مهمة التحكم في التجهيزة على عاتق المعالج . وتسمى عادة وحدة I/O التي تتحمل الجزء الأعظم من أعباء المعالجة التفصيلية , والتي تقدم للمعالج واجهة ترابط عالية المستوى بقناة دخل/خرج I/O Channel أو معالج دخل/خرج I/O Processor . وتسمى عادة وحدة الدخل/الخرج البدائية التي تطلب تحكماً مفصلاً فيه بمتحكم الدخل/الخرج I/O Controller أو متحكم التجهيزة . وتُستخدم متحكمات الدخل/الخرج كثيراً في الحواسيب الصغرية , في حين تستخدم قنوات الدخل/الخرج في الحواسيب الكبيرة Main Frame.

٣-٤- تقنيات الدخل/الخرج I/O

٣-٤-١- الدخل/الخرج المبرمج Programmed I/O

في الدخل/الخرج المبرمج يتبادل المعالج المعطيات مع وحدة الدخل/الخرج I/O . وينفذ المعالج برنامجاً يتحكم في عملية الدخل/الخرج تحكماً مباشراً , ويتضمن ذلك تحسس حالة التجهيزة أو إرسال أمر قراءة المعطيات , أو كتابتها, أو نقلها . وعندما يرسل المعالج أمراً إلى وحدة الدخل/الخرج ينبغي عليه الانتظار إلى انتهاء عملية الدخل/الخرج . فإذا كان المعالج أسرع من وحدة الدخل/الخرج فإن المعالج سيهدر وقته في الانتظار .

وفي تقنية الدخل/الخرج المبرمج , هناك تقابل كبير بين تعليمات الدخل/الخرج التي يجلبها المعالج من الذاكرة وبين أوامر الدخل/الخرج التي يرسلها المعالج إلى وحدة الدخل/الخرج لتنفيذ التعليمات .ويعتمد شكل التعليمة على طريقة عنونة التجهيزات الخارجية .

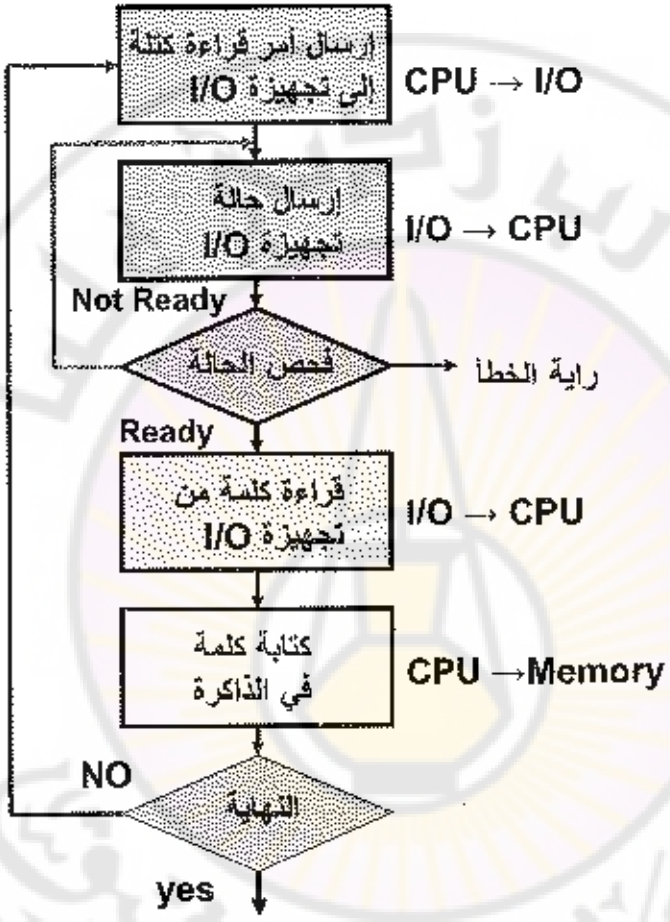
وعندما ينفذ المعالج برنامجاً ما ويصادف تعليمة الدخل/الخرج I/O , ينفذ المعالج تلك التعليمة بإصدار أمر إلى وحدة I/O الملائمة في الدخل/الخرج المبرمج , وتؤدي وحدة الدخل/الخرج I/O العمل المطلوب, ثم يضع القيم المناسبة في بتات سجل الحالة للدخل/الخرج I/O , كما هو مبين في الشكل(٦) ولا تنفذ وحدة الدخل/الخرج أي عمل آخر يهدف إلى تنبيه المعالج , أي لا تقاطع المعالج . لذلك ينبغي أن يدقق المعالج بشكل دوري حالة وحدة الدخل/الخرج لمعرفة انتهاء العملية. ويبين الجدول (٣-١) العلاقة بين التقنيات الثلاثة .

	بلا مقاطعات	باستخدام مقاطعات
نقل من I/O إلى الذاكرة عبر الخرج	I/O مبرمج	I/O مقود بالمقاطعات
نقل مباشر من I/O إلى الذاكرة		نفاذ مباشر على الذاكرة DMA

الجدول (٣-١) – تقنيات الدخل/الخرج I/O

لتنفيذ تعليمة تتعلق بالدخل/الخرج I/O يصدر المعالج عنواناً يحدد وحدة الدخل/الخرج I/O والتجهيزة الخارجية , ثم يصدر أمر الدخل/الخرج I/O . ويمكن لوحدة الدخل/الخرج I/O أن تستقبل أربعة أنواع من أوامر الدخل/الخرج

I/O عند عنونتها من المعالج وهذه الأنواع هي : الـتحكم Control والاختبـار Test والقراءة Read والكتابة Write .



الشكل (٣-٦) – تقنية الدخل/الخرج المبرمج

١. التحكم**Control** : تستخدم لتفعيل طرفية وإخبارها بالعمل المطلوب .

٢. **الاختبار Test** : تستخدم لفحص رايات الحالة المختلفة المرتبطة بوحدة الدخل/الخرج I/O وطرفياتها .

٣. **القراءة Read** : يدفع وحدة الدخل/الخرج I/O للحصول على بند معطيات من الطرفية ووضعه في المخزن Buffer الداخلي .

٤. **الكتابة Write** : يدفع الدخل/الخرج I/O على التقاط بند المعطيات من مسرى المعطيات ونقله إلى الطرفية .

ويبين الشكل (٣-٥) تقنية الدخل /الخرج المبرمج . وفي هذا المثال يستخدم الدخل/الخرج I/O المبرمج لقراءة كتلة معطيات من التجهيزة الطرفية وتخزينها في الذاكرة . ويتم قراءة كلمة المعطيات , ويجب على المعالج البقاء في دورة تدقيق الحالة من أجل كل كلمة لتحديد اللحظة التي تتاح فيها الكلمة في مسجل معطيات وحدة الدخل/الخرج I/O .

ويستخدم , عادة , عدد كبير من تجهيزات الدخل/الخرج I/O المرتبطة بالنظام عبر وحدات الدخل/الخرج I/O . وتعطى كل تجهيزة معرفاً أو عنواناً فريداً , وعندما يرسل المعالج أمر دخل/خرج I/O فإن الأمر يحتوي على عنوان التجهيزة المطلوبة , ولذا ينبغي أن تفسر كل وحدة دخل/خرج I/O خطوط العناوين لتتعرف إن كانت هي الوحدة المطلوبة .

وتعاني طريقة الدخل/الخرج I/O المبرمج من ضرورة انتظار المعالج لوحدة الدخل/الخرج I/O المطلوبة مدة طويلة إلى أن تصبح جاهزة لاستقبال المعطيات أو إرسالها .وخلال مدة الانتظار يجب على المعالج فحص حالة وحدة الدخل/الخرج I/O فحصاً متكرراً . وهذا من شأنه أن يؤدي إلى تردي النظام . الحل البديل هو استخدام الدخل/الخرج I/O المقود بالمقاطعات .

٣-٤-٢- الدخل/الخرج المقاد بالمقاطعات

Interrupt Driven I/O

يصدر المعالج في تقنية الدخل/الخرج المقود بالمقاطعات أمر دخل/خرج , ثم يستأنف تنفيذ بقية التعليمات إلى أن تقاطعه وحدة الدخل/الخرج عند انتهاءها من العمل . ويكون المعالج في حالة الدخل/الخرج I/O المبرمج والدخل/الخرج I/O المقود بالمقاطعات مسؤولاً عن استخلاص المعطيات من الذاكرة الرئيسية في عملية الخرج , أو عن تخزين المعطيات في الذاكرة الرئيسية أثناء عملية الدخل . وتتبادل وحدة الدخل/الخرج المعطيات مباشرة مع الذاكرة الرئيسية دون تدخل المعالج . ويبين الشكل (٣-٧) تقنية الدخل/الخرج I/O المقاد بالمقاطعات.

● طريقة العمل من وجهة نظر وحدة الدخل/الخرج I/O

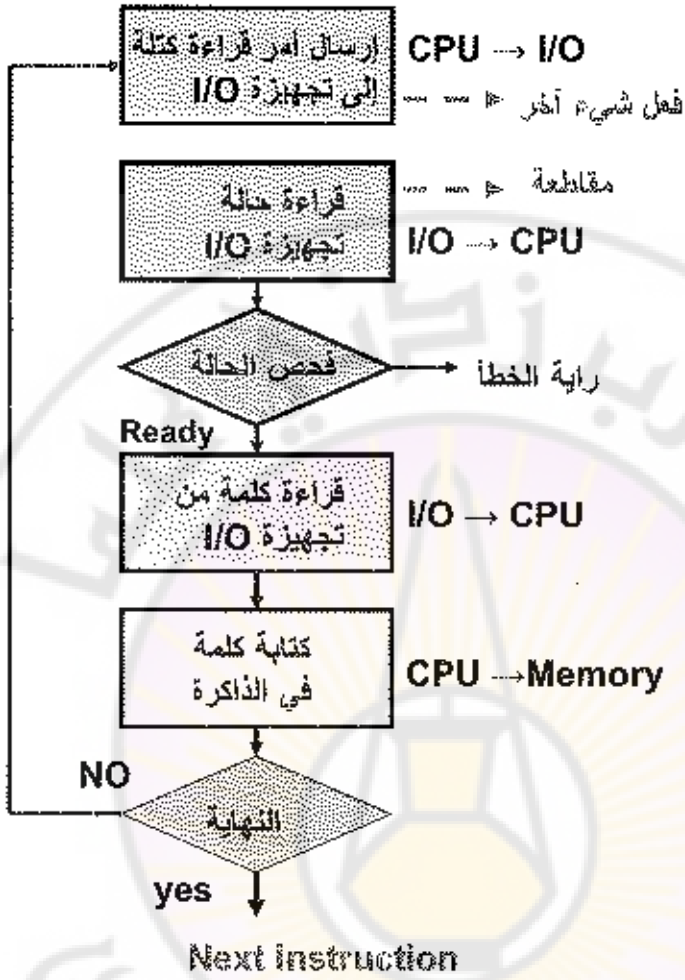
<u>عملية إدخال المعطيات :</u>

- تستقبل وحدة I/O أمر قراءة Read من المعالج .
- تقوم وحدة I/O بقراءة المعطيات من الطرفية المرتبطة بها .
- ترسل وحدة I/O أمر مقاطعة على أحد خطوط التحكم لتعلم المعالج بوصول المعطيات على سجل معطيات وحدة I/O .
- تنتظر وحدة I/O طلب المعطيات من المعالج وعند وصول الطلب تضع وحدة I/O تلك المعطيات على مسرى المعطيات , ويكون جاهزاً لإجراء عملية I/O أخرى .

● طريقة العمل من وجهة نظر المعالج

<u>عملية الإدخال :</u>

- يصدر المعالج أمر قراءة Read .



الشكل (٣-٧) – تقنية الدخل/الخرج المقاد بالمقاطعات

- ينتقل إلى إجراء عمل آخر .
- في نهاية كل دورة تعليمة يدقق المعالج المقاطعات .
- عند حدوث مقاطعة صادرة من وحدة I/O ، يخزن المعالج السياق (عدّاد البرنامج وسجلات البرامج) للبرنامج الحالي **ويعالج المقاطعة** .

- يقرأ المعالج المعطيات من وحدة I/O ويخزنها في الذاكرة.
- ثم يسترجع سياق البرنامج الذي كان يستخدمه قبل المقاطعة .
- يستأنف التنفيذ .

● نستنتج ما يلي :

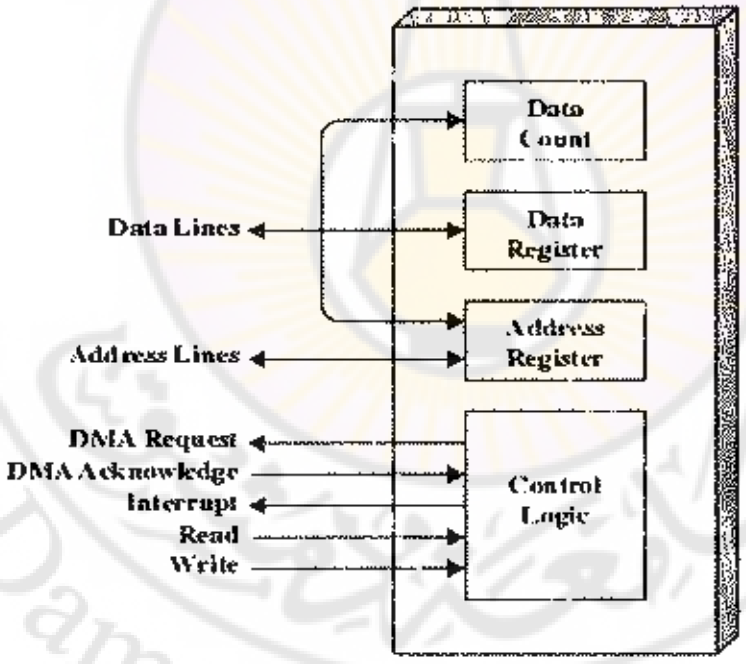
- إن الدخل/الخرج I/O المقاد بالمقاطعات أكثر فعالية من الدخل/الخرج I/O المبرمج نظراً لإلغائه الانتظار .
- لكن الدخل/الخرج I/O المقاد بالمقاطعات يستهلك جزءاً من وقت المعالج , إذ تحتاج كل كلمة متجهة من الذاكرة إلى وحدة الدخل/الخرج I/O , أو من وحدة الدخل/الخرج I/O نحو الذاكرة إلى المرور بالمعالج .إذاً ينبغي أن تمر أي عملية نقل معطيات عبر المعالج .
- يُكرس المعالج في حالة الدخل/الخرج I/O المبرمج لمهمة الدخل/الخرج I/O . ويكون بإمكانه نقل المعطيات بمعدل مرتفع إلى حد ما مقابل التفرغ الكامل لهذه العملية .
- أما طريقة الدخل/الخرج I/O المقاد بالمقاطعات , فيتحرر المعالج نوعاً ما, وذلك مقابل تدني معدل النقل من أو إلى الدخل/الخرج I/O .
- تؤثر الطريقتان تأثيراً متعاكساً في فعالية المعالج , ومعدل نقل الدخل/الخرج I/O .
- عند الحاجة إلى نقل كمية كبيرة من المعطيات نحتاج إلى تقنية أكثر فعالية, وهي طريقة النفاذ المباشر إلى الذاكرة DMA .

٣-٤-٣- النفاذ المباشر إلى الذاكرة Direct Memory Access

يتطلب النفاذ إلى الذاكرة وحدة إضافية تربط إلى مسرى النظام , وتكون

وحدة النفاذ المباشر إلى الذاكرة DMA قادرة على تقليد المعالج واكتساب التحكم في النظام من المعالج وذلك لنقل المعطيات من/إلى الذاكرة على مسرى النظام .

ينبغي أن تستخدم وحدة DMA المسرى لنقل المعطيات عندما لا يحتاج إليه المعالج أو يجب إجبار المعالج على تعليق عملياته مؤقتاً . وهذه التقنية تسمى سرقة الدورة Cycle Stealing لأن وحدة DMA تؤدي دوراً تشبه سرقة دورة الممرى .ويبين الشكل (٣-٨) المخطط الصندوقي للنفاذ المباشر إلى الذاكرة DMA .



الشكل (٣-٨) – المخطط الصندوقي للنفاذ المباشر إلى الذاكرة DMA

● **عملية قراءة كتلة معطيات أو كتابتها :**

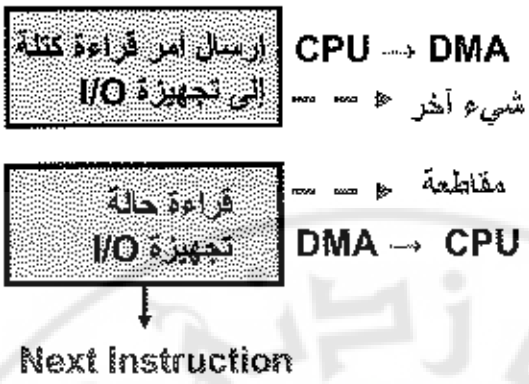
وعندما يرغب المعالج في قراءة كتلة معطيات , أو كتابتها , فإنه يصدر أمراً إلى وحدة DMA لإرسال المعلومات إلى هذه الوحدة , وذلك كما يلي :

- ❖ **تحديد نوع العملية , قراءة أم كتابة :** بغيسة استخدام خط التحكم الواصل بين المعالج ووحدة DMA .
- ❖ **تحديد عنوان تجهيزة I/O المطلوبة :** و يُنقل هذا العنوان على خطوط المعطيات .
- ❖ **تحديد موضع البداية في الذاكرة الواجب القراءة منه أو الكتابة فيه :** ويخزن في سجل عنوان وحدة DMA .
- ❖ **تحديد عدد الكلمات الواجب قراءتها أو كتابتها :** وينقل عبر خطوط المعطيات ويخزن في سجل المعطيات .

ثم يستمر المعالج في عمله , ويوكل عملية الدخل/الخرج I/O إلى وحدة DMA . وتقوم بما يلي :

- ❖ تنقل وحدة DMA كامل كتلة المعطيات (بمعدل كلمة في كل مرة) مباشرة من أو إلى الذاكرة دون المرور بالمعالج .
- ❖ عند انتهاء العملية ترسل وحدة DMA إشارة مقاطعة إلى المعالج .

وهكذا نجد أن المعالج يتدخل فقط في بداية عملية النقل ونهايتها . ويوضح الشكل (٣-٩) تقنية النفاذ المباشر إلى الذاكرة DMA .



الشكل (٣-٩) – تقنية النفاذ المباشر إلى الذاكرة DMA

الاستنتاجات

- في هذه الطريقة المعالج لا يخزن أي سياق تمهيداً لإجراء عمل آخر ، بل يتم توقف دورة مسرى واحدة .
- إن التأثير الإجمالي هو بطء المعالج .
- تبقى هذه الطريقة أكثر فعالية من طريقتي الدخل/الخرج I/O المبرمج والدخل/الخرج I/O المقاد بالمقاطعات . وذلك عند إجراء عملية دخل/خرج I/O لكلمات متعددة .
- يمكن تحقيق تشكيلات متعددة لتحقيق النفاذ المباشر إلى الذاكرة DMA .

<u>مثال :</u>

- متحكم منفصل لـ DMA على مسرى وحيد .
- متحكم DMA متكامل مع الدخل/الخرج I/O على مسرى وحيد .
- مسرى دخل/خرج I/O .

٣-٥- قنوات الدخل/الخرج ومعالجات الدخل/الخرج

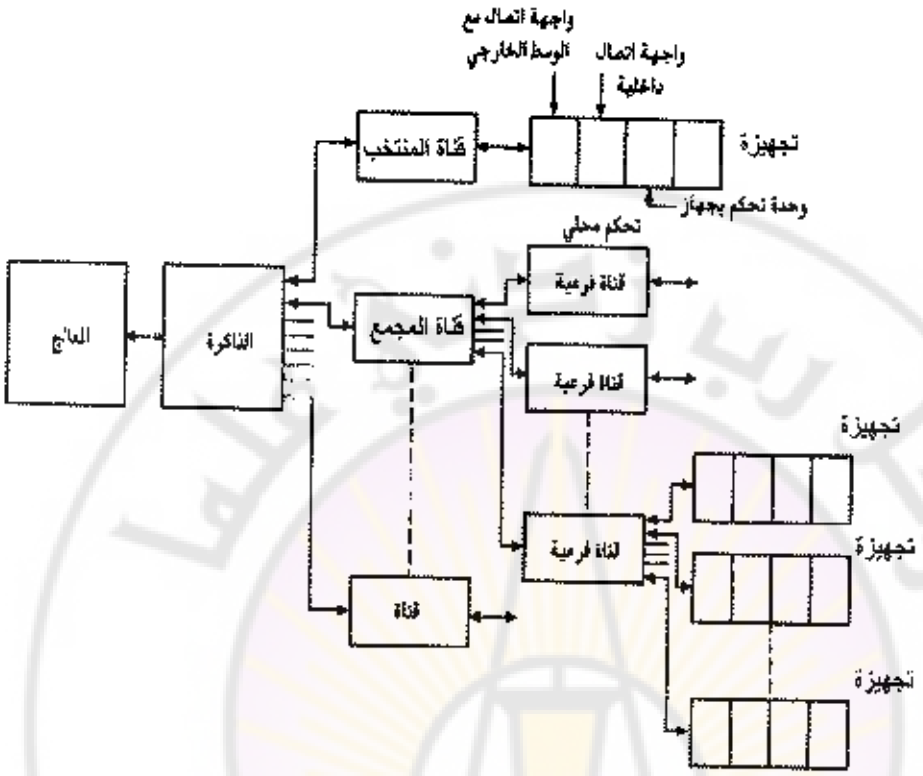
I/O Channels & I/O Processors

لقد تطورت وحدة الدخل/الخرج I/O لتصبح معالجاً لها مجموعة تعليمات خاصة للدخل/الخرج I/O . وتوجه وحدة المعالجة CPU معالج الدخل/الخرج I/O لتنفيذ برنامج دخل/خرج I/O في الذاكرة . ويجلب معالج الدخل/الخرج I/O هذه التعليمات وينفذها دون تدخل وحدة المعالجة CPU . ويسمح ذلك لوحدة المعالجة CPU بتعيين تتالي عمليات الدخل/الخرج I/O وتسمح بمقاطعته عند انجاز التتالي كاملاً فقط . ويسمى غالباً بقناة الدخل/الخرج I/O .

تكون لوحدة الدخل/الخرج I/O ذاكرة محلية خاصة به , وهو يمثل حاسوباً كامل المواصفات. ويمكن التحكم في هذا البنيان بمجموعة كبيرة من تجهيزات I/O بأقل تدخل ممكن لوحدة CPU . ويستخدم غالباً مصطلح معالج الدخل/الخرج I/O Processor . وغالباً ما يطبق المصطلحان على الحالتين معاً . وسنستخدم مصطلح قناة الدخل/الخرج I/O . ويبين الشكل (٣-١٠) قنوات نقل معطيات الدخل/الخرج I/O .

ويوضح هذا الشكل كيفية وصل الطرفيات بالحاسوب باستخدام قنوات نقل المعطيات . ويمكن الاعتماد على التحكم المحلي Local Control لإنجاز الوظائف الخاصة بتجهيزة ما , أما الوظائف ذات الطبيعة العامة المشتركة بين كل الطرفيات فيمكن إدارتها بشكل مشترك .

وتنجز كل العمليات الخاصة بنقل المعلومات بين الذاكرة والطرفية باستخدام قنوات المعطيات و وحدات التحكم المحلي , وبذلك لن تضطر الآلة لانتظار إنجاز عمليات الدخل/الخرج , فبعد نقل المعلومات اللازمة للتحكم بالتجهيزة الطرفية الى وحدة التحكم المحلية , يستطيع المعالج متابعة تنفيذ سلسلة التعليمات بشكل طبيعي .



الشكل (٣-١٠) – قنوات نقل معطيات الدخل/الخرج I/O

٣-٥-١- ميزات قنوات الدخل/الخرج I/O

من أهم ميزات قنوات الدخل/الخرج :

- تمثل قناة الدخل/الخرج I/O توسيعا لمفهوم الـ DMA .
- لقناة الدخل/الخرج I/O القدرة على تنفيذ تعليمات الدخل/الخرج I/O ، وبالتالي تحكما كاملا في عمليات الدخل/الخرج I/O
- لا تملك وحدة المعالجة CPU تعليمات الدخل/الخرج I/O في حاسوب يضم هذه التجهيزات .

- ❖ تخزن مثل هذه التعليمات في الذاكرة الرئيسية لينفذها معالج خاص , مضمن في قناة الدخل/الخرج I/O ذاتها .
- ❖ تستهل وحدة المعالجة CPU عملية الدخل/الخرج I/O بإعلام قناة الدخل/الخرج I/O بتنفيذ برنامج ما في الذاكرة .
- ❖ يحدد البرنامج التجهيزة , أو التجهيزات , ومجال الذاكرة المستخدمة في التخزين , والأفضلية , والأفعال الواجب أدائها في حالة حدوث أخطاء .
- ❖ تتبع قناة الدخل/الخرج I/O هذه التعليمات وتتحكم في نقل المعطيات .

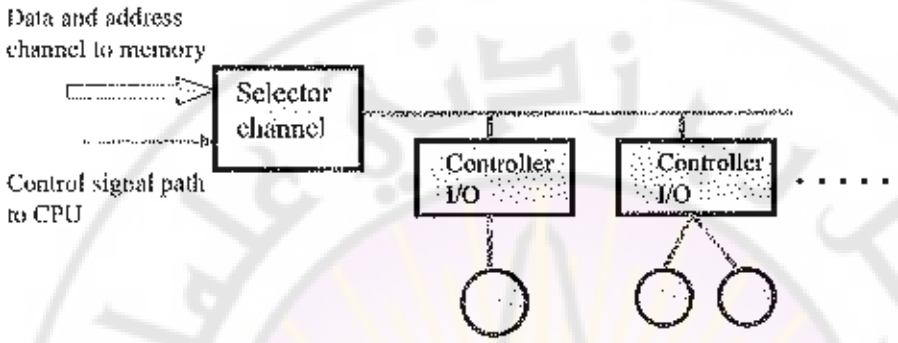
يستعمل نوعان من قنوات الدخل/الخرج I/O هما : قناة المنتخب وقناة المجمع .

١ – قناة المنتخب Selector Channel

تتطلب التجهيزات عالية السرعة مثل الأقراص الممغنطة Magnetic disk نقل المعطيات بمعدلات عالية بحيث لا يمكن تجميعها بسهولة مع تجهيزات أخرى عن طريق قناة ناخبة . من الضروري استخدام قناة منفصلة لتناول مثل هذه التجهيزات وهي قناة المنتخب .

وتتحكم قناة المنتخب في عدة تجهيزات عالية السرعة , وتكون مكرسة في أي لحظة لنقل المعطيات من/إلى إحدى هذه التجهيزات . تنفذ قناة الدخل/الخرج I/O احدى هذه التجهيزات , وتجري عملية النقل . ويتولى كل تجهيزة أو عدة تجهيزات متحكم أو وحدة دخل/خرج I/O . تؤدي قناة الدخل/الخرج I/O دور وحدة المعالجة CPU عند التحكم في متحكمات الدخل/الخرج I/O . وعندما تبدأ عملية إدخال/إخراج بواسطة قناة ناخبة فإن هذه القناة تكون مكرسة لتلك المهمة لكامل فترة العملية . ولا يمكن استخدامها

لعملية إدخال/إخراج أخرى حتى انجاز العملية الحالية . و يبين الشكل (٣-١١) بنيان قناة المنتخب .



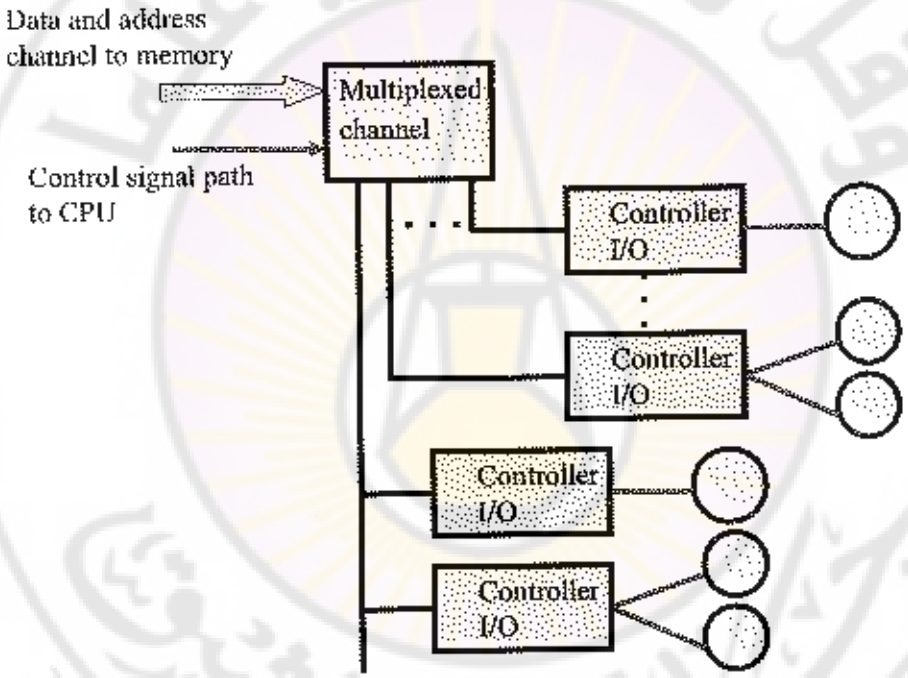
الشكل (٣-١١) - بنيان قناة المنتخب

٢ - قناة المجمع Multiplexer Channel

تستخدم القناة المجمعة لوصل عدد من الأجهزة البطيئة ومتوسطة السرعة . إن ربط القناة للذاكرة قادرة على نقل المعطيات بمعدلات أسرع بكثير من التجهيزات المختلفة الموصولة إلى هذه القناة . ولهذا يمكن تشغيل عدد من تجهيزات الدخل/الخرج I/O آنياً . و يبين الشكل (٣-١٢) بنيان قناة المجمع .

ويتشارك على استخدام القناة عدد من التجهيزات , بحيث تقوم القناة بتلبية طلبات النقل الخاصة بكل التجهيزات بتوزيع الزمن بين هذه التجهيزات . وفي هذه الحالة يمكن أن يدوم اتصال التجهيزة بالحاسوب خلال فترة نقل كلمة واحدة و هذا ملائم للتجهيزات البطيئة كالطابعات , أو خلال فترة نقل كتلة من المعطيات .

وتقسم قناة المجمع إلى عدة قنوات فرعية Sub Channel وتخصص كل منها للاتصال بتجهيزة محددة , وتتصل هذه القنوات الفرعية مع القناة الأم عبر المجمع Multiplexer , كما هو مبين في الشكل (٣-١٠) , وتراقب وحدة التحكم بالقناة الأم حالات كل القنوات الفرعية وتعطي لكل قناة الفترة الزمنية المناسبة . ويمكن أن يتم ذلك إما بتوزيع الزمن بشكل دائري متناظر بين القنوات الفرعية , وإما بإعطاء أولويات متباينة للقنوات .



الشكل (٣-١٢) – بنيان قناة المجمع

- **في الطريقة الأولى** : توزع الأدوار على القنوات الفرعية بترتيب محدد مسبقاً وبشكل دوري .

- **أما في الطريقة الثانية** : فيحدد لكل تجهيزة درجة أولوية محددة , وعندما تحاول أكثر من قناة الاتصال بالحاسوب تخدم القناة ذات الأولوية الأعلى .

وغالباً ما تستخدم الطريقة الأولى , أي التوزيع الدوري الحلقي , فهي الأبسط وبذلك تبدو القناة المشتركة كما لو أنها عدة قنوات متصلة بالحاسوب . كما هو مبين في الشكل(٣-١٠) .

٣-٥-٢- وظائف قنوات نقل المعطيات

تحرر قنوات النقل المعالج من جزء كبير من أعباء عمليات الدخل/الخرج, وهي في الواقع تجهيزات معقدة وتقوم بأداء ثلاث وظائف مختلفة :

١- التخزين المؤقت Buffering

من الضروري أن تستطيع القناة التعامل مع المعلومات بسرعة كافية للاستجابة لمعدلات نقل التجهيزات المختلفة , فإذا لم تستطع القناة تلبية طلبات تجهيزة ما بالمعدل المناسب سيحدث خطأ في التجهيزة ويستدعي إعاده عملية الدخل/الخرج, لذلك يفضل أن تتضمن القناة ذاكرة تخزين مؤقتة Buffering Memory بسعة كبيرة .

٢- التجميع Multiplexing

عندما تكون القناة مشتركة بين عدة تجهيزات يجب أن تتوفر لديها القدرة على تلبية احتياجات التجهيزات المتصلة بها بشكل متسلسل , وبالتالي يجب أن تتضمن القناة تقنيات تجميع وتوزيع الطلبات لتوجيه نقل المعطيات في الإتجاهين .

٣- نقل المعطيات

يجب أن تقوم القناة , فور تلقيها لتعليمة الدخل/الخرج من المعالج , بالوظائف التالية :

- يجب أن تمهد لعملية نقل كتلة المعطيات بضبط قيم سجلات التحكم الداخلية بحيث تشير إلى عنوان أول كلمة في الكتلة وعدد الكلمات الموجودة في الذاكرة الرئيسية .
- يجب أن تتابع عملية نقل الكتلة بتحديث عنوان الكلمة الحالية وتوجيه التعليمة في الاتجاه المناسب .
- يجب أن تشرف على تقدم عملية نقل الكتلة وذلك كما يلي :
  - باختيار الأعطال التي يمكن أن تحدث في التجهيزات وإنهاء عملية النقل في حال حدوث خطأ .
  - بمقارنة عنوان الكلمة الحالية مع عنوان آخر كلمة , فعند تساوي العنوانين تنتهي عملية النقل .
- يجب أن تقوم بإعلام المعالج في الوقت المناسب بانتهاء عملية النقل , سواءً تمت العملية بنجاح أو أوقفت نتيجة عطل ما .

لذلك يجب أن تتضمن القناة العناصر والدارات اللازمة للإجراءات التالية :

١. انتخاب التجهيزة
٢. حساب العنوان
٣. زيادة العداد
٤. تحويل صيغ المعطيات (تسلسلي – متوازي)
٥. نقل المعطيات وتوليد بت الزوجية Parity واختبارها

كما يجب أن تتضمن عدداً من السجلات لتخزين عنوان كلمة المعطيات الحالية وحالة تجهيزة الدخل/الخرج وغيرها .

٣-٥-٣- التحكم بالتجهيزة ووظائف التحكم المركزي

هناك ثلاثة وظائف أساسية :

١. دارات التحويل

وتقوم هذه الدارات بتحويل المعطيات التي يحويها الوسط أو المرسلة إليه من المحيط (على شكل سطوح ممغنطة أو قيم فيزيائية كدرجات الحرارة أو جهود تغذية ...) إلى سلاسل من البتات أو بالعكس .

٢. جهاز التحكم

هذا الجهاز يتحكم بعمل التجهيزة بما يسمح له بإنجاز عملية نقل المعطيات , ويتضمن ذلك استخدام المكبرات Amplifier وأجهزة القيادة Drivers المتصلة بالحساسات Sensors, وتوليد واختبار بت الزوجية Parity المستخدمة للتحقق من انتقال المعطيات دون أخطاء, والدارات الإضافية اللازمة بالوظائف الخاصة بالتجهيزة .

يجب أن تؤمن دارات التحكم تحقيق كل العمليات الخاصة بالتجهيزة بما فيها الفعاليات التمهيدية مثل تحديد توضع رؤوس القراءة أو وسط التخزين , والتحسس وضبط العلامات المحددة لحالة التجهيزة . **وبشكل أدق يجب أن تحقق دارات التحكم الوظائف التالية :**

- استقبال المعطيات وإشارات التحكم من القناة .
- تشغيل وإيقاف تشغيل أي من التجهيزات .
- انتخاب العنوان المناسب .
- التحكم بعمل التجهيزة خطوة خطوة .

- توليد واختبار الزوجية .
- تحويل المعطيات بين الشكلين التسلسلي والتفرعي عند الضرورة .
- الاحتفاظ بمعلومات عن حالة التجهيزة والاتصال مع القناة أو القناة الفرعية .
- الاهتمام بنقل المعطيات من/إلى القناة .

٣. **التحكم المحلي**

إن وحدة التحكم المحلي تؤمن وصل التجهيزة مع القناة **وتتألف من جزأين :**

- **واجهة الاتصال الخارجي** التي تؤمن الاتصال مع قناة نقل المعطيات وهي واحدة بالنسبة لكل التجهيزات .
- **واجهة الاتصال الداخلي** التي تصل ما بين واجهة الاتصال الخارجي وآلية التحكم المحلي .

● **إن واجهة الاتصال الداخلي تقوم بالوظائف التالية :**

أ- **التزامن Synchronization**

تعمل التجهيزات عادة بسرعات تختلف عن سرعة المعالج , إلا أنها تعمل بسرعات ثابتة ومحدودة لا يمكن تغييرها , إن معظم الطرفيات ليس لديها المرونة الكافية, لذلك من المهم أن تُعطى المعطيات لتجهيزة الإخراج ليس فقط بالمعدل المناسب , بل أيضا عندما يطلبها , كذلك الأمر بالنسبة للمعطيات الواردة من أجهزة الإدخال إذ يجب تلقيها وقبولها في الوقت الذي ترد فيه .

ب- **تحويل ترميز المعطيات وإعادة تنسيقها**

إن طريقة تمثيل المعلومات في الطرفية يمكن أن تختلف عن طريقة

تمثيلها في الحاسوب. لذلك توفر إمكانية ترميز وفك ترميز المعطيات بحيث يمكن تبادلها بين الحاسوب والطرفية . وقد يلزم إجراء عمليات تحويل المعطيات من النمط التسلسلي إلى المتوازي وبالعكس عندما يكون طول كلمة الحاسوب مختلف عن طول محرف التجهيزة .

جـ- وظائف التحكم

يجب أن تبدأ عملية نقل المعطيات كما يحددها المعالج عندما يستجيب لأمر الدخل/الخرج . وإن بعض الطرفيات تحتاج إلى عمليات خاصة بها . وبالتالي لا بد من بدئها كما يجب .

أما واجهة الاتصال الخارجي لحاكمة التجهيزة فتهتم بفك ترميز تعليمات الإدخال والإخراج . وتتلقى وتفسر إشارات التحكم وتقوم بتوجيه المعطيات كما تشير أيضا إلى أعطال التجهيزات وبعض الحالات الخاصة الأخرى باستخدام إشارات التغذية الخلفية المناسبة .

٣-٥-٤- عرض حزمة القناة channel Bandwidth

يمكن أن تتصل بالحاسوب عدة قنوات . وتتصل كل قناة بقنوات فرعية تتصل بدورها بمتحكمات التجهيزات . ويمكن لمتحكم التجهيزة نفسها أن يتحكم بعدد من التجهيزات . كما هو مبين في الشكل (٣-١٠) . وبالتالي يمكن أن يصدر عن المعالج أعداد هامة من الوصلات باتجاه القنوات ثم إلى القنوات الفرعية فالمتحكمات فالتجهيزات . والعامل الأساسي الذي يمكن أن يحد من شبكة توزع الوصلات هو السرعة التي توفرها القناة لتلبية العمليات اللازمة لنقل المعطيات . وتُعرف هذه السرعة باسم عرض حزمة النقل . وتقاس بعدد البتات أو البايتات في الثانية . وبما أن القنوات تحتاج لأعداد متساوية من

عمليات النفاذ إلى الذاكرة , فإن عرض حزمة النقل الخاصة بالذاكرة يحدد عدد القنوات التي يمكن وصلها بالمعالج .

٣-٥-٥- معالجة الطرفيات

نلاحظ أن وظيفة قناة النقل معقدة نوعاً ما , وهذا التعقيد يسوغ في الواقع استخدام معالجات خاصة لمعالجة عمليات الدخل/الخرج في الحواسيب الضخمة, وتتلقى هذه المعالجات طلبات الدخل/الخرج من الحاسوب الأساسي , وتحاول إنجاز كل عمليات النقل بمفردها , ويتم التواصل بين هذه المعالجات والحاسوب الأساسي باستخدام تقنية المقاطعة .

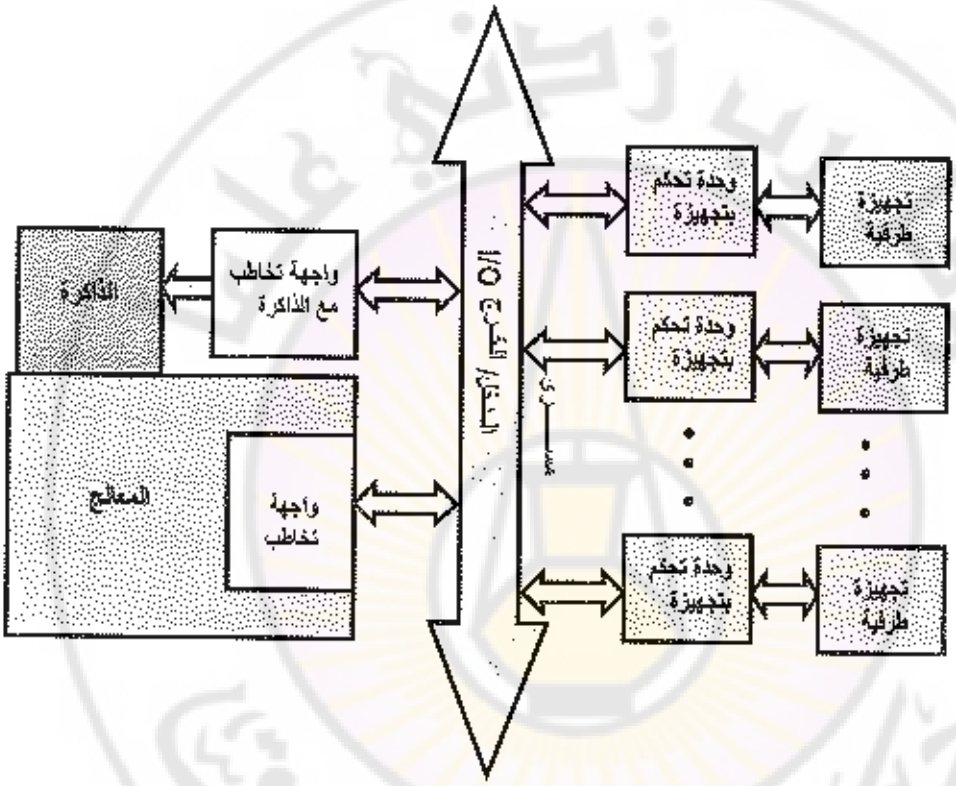
ويمكن أن يصدر الحاسوب المركزي أمراً لمعالج الطرفية بتنفيذ سلسلة من عمليات الدخل/الخرج بدءاً من موقع محدد في الذاكرة الرئيسية , وتسمح مثل هذه الطريقة بمعالجة حالات الخطأ , التي قد تحدث من قبل معالج الطرفية ذاته وتحرير المعالج المركزي من هذا العبء .

٣-٦- نموذج مسرى المعطيات

كما ذكرنا سابقاً , تتم عمليات نقل المعطيات بين الحاسوب والطرفية المتصلة به عبر مسرى مشترك , كما هو مبين في الشكل (٣-١٣) , وبذلك يشترك الحاسوب والطرفيات في استعمال المسرى وهذا يتطلب ضمان عدة شروط .

من ناحية أولى , يجب أن يرافق المعطيات التي تنتقل عبر المسرى عنوان وحيد يميز الوجهة المرسلة إليها المعطيات , **ومن ناحية ثانية** , يجب اتخاذ الاحتياطات المناسبة لحل المشاكل التي قد تنجم عند تزاحم أكثر من تجهيزة على استخدام المسرى , ويمكن حل هذه المشكلة إما بإعطاء درجات أولوية

مختلفة للتجهيزات . وإما بتوزيع حصص زمنيـــة متـــساوية لكـــل التجهيـــزات المتصلة بالمسرى . وعندما تستطيع إحدى التجهيزات السيطرة على المسرى لا تحرر هذه التجهيزة المسرى حتى تكتمل عملية النقل التي تقوم بها .



الشكل (٣-١٣) – نقل المعطيات باستخدام مسرى الدخل/الخرج I/O

٣-٦-١- مسرى الدخل/الخرج I/O Bus

يتألف مسرى الدخل/الخرج من مجموعة قنـوات متوازيـــة تـــستطيع نقـــل المعطيات بالاتجاهين . ونظراً لمعدلات النقل العالية المتوقعة يجب أن يتم نقل

المعطيات على التوازي . إن مسرى الدخل/الخرج I/O يتضمن ما يلي :

- **خطوط المعطيات** : لنقل المعطيات بين التجهيزات .
- **خطوط العنونة** : لتحديد عنوان التجهيزة المستقبلة .
- **خطوط التحكم** : لنقل إشارات التحكم التي تستخدمها بروتوكولات الاتصال .

٣-٦-٢- عمل مسرى الدخل/الخرج

لكي يستطيع جهاز ما (طرفية أو معالج مركزي) استخدام المسرى لنقل المعطيات , يقوم أولاً باختيار حالته باختيار علامة " انشغال المسرى Bus Busy " للتأكد من أن المسرى غير مستخدم حالياً من قبل أي تجهيزة أخرى , فإذا كان المسرى حراً تقوم التجهيزة بالتحكم بالمسرى وتغير علامة " انشغال المسرى " , ثم تبدأ عملية نقل المعطيات باستخدام خطوط المعطيات وخطوط العنونة .

وتقوم وحدة التحكم في كل تجهيزة بمراقبة خطوط العنونة على المسرى باستمرار , وعندما تتطابق الكلمة المحمولة على خطوط العنونة مع العنوان الخاص بالتجهيزة تدرك أنها هي المعنية بالاتصال فتبدأ بقراءة المعطيات المحمولة على خطوط المعطيات , ثم ترسل إشارة "التعرف ACK " على أحد خطوط التحكم لإعلام التجهيزة المرسلة بأنها قد تلقت المعطيات المرسلة . وبعد تلقي التجهيزة المرسلة لإشارة التعرف تقوم بتحرير المسرى بتغيير حالة علامة انشغال المسرى .

ويُسمح للتجهيزة المتحكمة بالمسرى باستخدامه لفترة محدودة , فإذا تجاوزت مدة الانشغال للمسرى هذه الفترة تقوم وحدة التحكم بالمسرى بمقاطعة الاتصال

وتحرير المسرى . وينشأ مثل هذا الوضع عندما يحدث عطل في إحدى التجهيزتين المتصلتين .

- **يسمح المسرى في هذه الحالة بتأمين عملية الاتصال بين أي تجهيزتين إذ :**
  - يستخدمه المعالج لإرسال الأوامر إلى وحدات التحكم بالتجهيزات لإنجاز وظائف محددة بما فيها بدء عملية نقل كتلة من المعطيات .
  - يستخدمه المعالج والتجهيزات الأخرى لتبادل المعطيات على شكل كلمات مستقلة .
  - تستخدمه التجهيزات لمقاطعة المعالج وإعلامه بانتهاء عملية النقل ونجاح أو فشل العملية .
  - تستخدمه المستويات المختلفة في الذاكرة لتبادل المعطيات فيما بينها .

٣-٦-٣- واجهة الاتصال الخارجي

تقوم واجهة الاتصال الخارجي بالوظائف التالية :

١. **تفكيك ترميز العنوان** المرسل على المسرى واستقبال المعطيات الموجودة عليه إذا تطابق هذا العنوان مع عنوان الوجهة الخاص (يمكن أن تكون المعطيات المحمولة على المسرى ترميزاً لمعطيات عادية أو ترميزاً لوظيفة ما) .

٢. **تفكيك ترميز الوظيفة** (إذا كانت المعطيات الواردة ترميز لوظيفة ما) وفهم المطلوب , سواء كانت الوظيفة لنقل المعطيات أو لتفعيل وظائف أخرى في التجهيزة.

٣. **ترجمة هذه الطلبات** إلى صيغة الأوامر المناسبة لوحدة التحكم بالتجهيزة .

٤. إذا كانت المعطيات الواردة هي معطيات عادية , **تقوم واجهة الاتصال بتوجيه هذه المعطيات إلى التجهيزة** بحيث يمكنه إظهارها أو تخزينها , ويتوقف ذلك على طبيعة التجهيزة الطرفية المستخدمة .

٥. **في حال طلب نقل كتلة من المعطيات :**

أ- تتلقى عنوان الكلمة الأولى وعدد الكلمات .

ب-البدء بنقل الكلمات بالمعدل والسرعة المناسبين للتجهيزة .

ت-الاحتفاظ بعدد الكلمات التي تم نقلها .

ث-إرسال إشارة المقاطعة التي تعني انتهاء عملية النقل بشكل طبيعي , عندما تكون الكتلة قد انتقلت كاملة .

ج- إرسال إشارة المقاطعة التي تعني فشل عملية النقل عند حدوث عطل أو خطأ أثناء النقل .

٣-٦-٤- وحدة التحكم بالتجهيزة وواجهة الاتصال الداخلي

لقد ذكرنا سابقاً الوظائف التي تؤديها هذه الوحدات وهي تتضمن نشاطات تمهيدية أو عمليات نقل معطيات فعلية .

١. النشاط التمهيدي

إن وحدة التحكم تهتم بالتجهيزة وذلك بإعداد التجهيزة لبدء فعالية الدخل/الخرج , مثل تحديد توضع رؤوس القراءة/الكتابة في وحدة الأقراص الممغنطة أو تحريك الشريط الممغنط على الموقع المناسب , أو تحريك صفحة الطابعة إلى الموقع المناسب .

٢. نقل المعطيات

إن وحدة التحكم تشرف على عمليات قراءة أو كتابة المعطيات في التجهيزة .

وتتصل وحدة التحكم بالتجهيزة مع واجهة الاتصال الداخلي وتقوم بتوليد إشارات التحكم المناسبة لتشغيل التجهيزة , وتهتم واجهة الاتصال الداخلي بعمليات التحويل بين صيغ المعطيات وضبط تزامن التجهيزة .

٣-٦-٥- واجهات المعالج والذاكرة

يتميز المعالج والذاكرة عن بقية الأجهزة بطريقة استخدامها للمسرى :

المعالج : يتبادل المعالج المعطيات الخاصة بالتحكم مع كل التجهيزات المتصلة بالمسرى ويرسل التعليمات إلى هذه التجهيزات لكنه عادة لا يتلقى المعطيات من المسرى , باستثناء المعطيات التي تعبّر عن حالات التجهيزات .

الذاكرة : تتبادل الذاكرة المعطيات مع كل التجهيزات الأخرى لكنها لا تبادر أبداً في بدء أي عملية نقل للمعطيات , وهي بشكل دائم تلبي الطلبات الواردة من التجهيزات الأخرى .

وأهم هذه الواجهات هي :

١. واجهة اتصال المعالج مع المسرى :

هذه الواجهة تنشط عند الحاجة لتنفيذ عملية إدخال/إخراج وتتصل مع الطرفية عبر وحدة التحكم بالتجهيزة وواجهة التخاطب الخاصة به وتضع على المسرى :

أ- عنوان التجهيزة المقصودة بعملية الدخل/الخرج .

ب-تعليمة الدخل/الخرج , إي ترميز الوظيفة الذي يحدد نوع العملية المطلوبة (قراءة أو كتابة أو تحكم) بالإضافة إلى قيم الوسائط اللازمة لتنفيذ الوظيفة .

٢. واجهة اتصال الذاكرة مع المسرى :

الوظيفة الأساسية لهذه الواجهة هي توفير النفاذ المباشر إلى الذاكرة DMA للتجهيزات المتزاحمة , وهي تتضمن وحدة خاصة للفصل بين طلبات التجهيزات المتزاحمة .

٣-٦-٦- طرق وصل التجهيزات مع المسرى

يمكن وصل التجهيزات بالمسرى بثلاث طرق : الوصل التسلسلي والمصافحة والنفاذ المستقل.

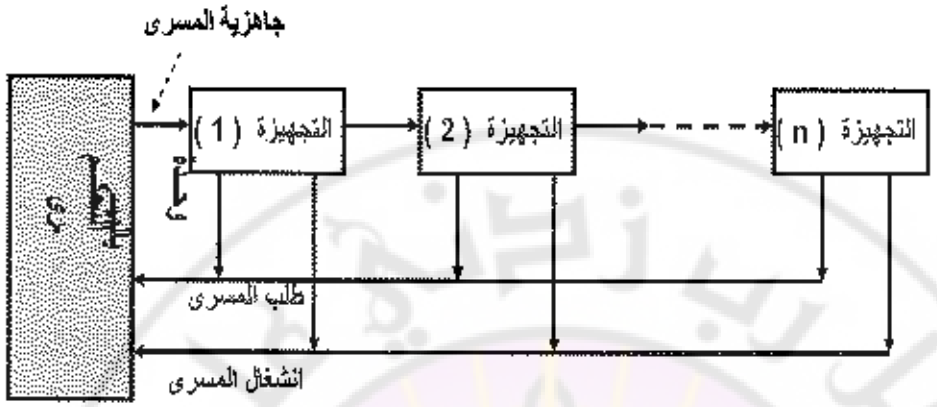
١. الوصل التسلسلي :

في هذه الطريقة تتصل التجهيزات بشكل تسلسلي بخط تحكم مشترك , وترسل إشارة جاهزية المسرى فتستقبلها أول تجهيزة تحتاج لاستخدام المسرى , ويبدأ عندئذ نقل المعطيات . ويمكن للتجهيزة أن تتحكم بالمسرى بطريقتين :

أ- **التحكيم المركزي :** في هذه الطريقة تقوم التجهيزة عند اكتمال عملية النقل بتحرير المسرى , بحيث يمكن أن يتكرر العمل نفسه مع تجهيزة أخرى .

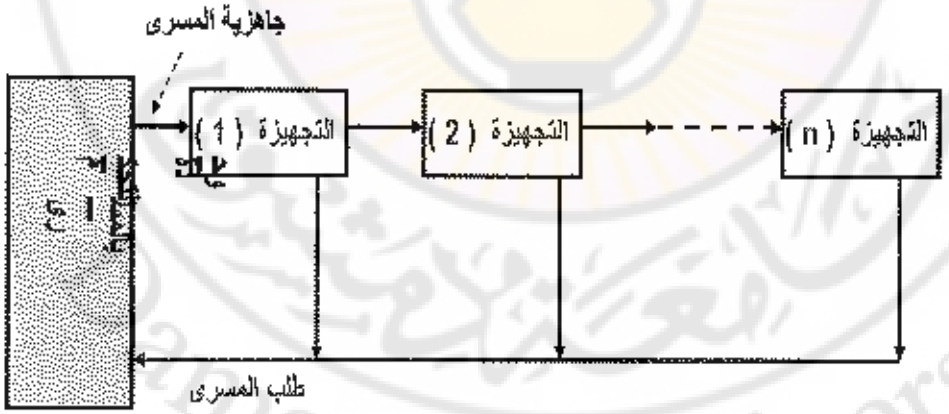
ب-**التحكيم الموزع :** في هذه الحالة تقوم التجهيزة بإرسال إشارة الجاهزية للمسرى للتجهيزة التالية التي يمكن بدورها أن تستغلها لإنجاز عملية نقل أو تعيد إرسالها للتجهيزة التالية .

ويبين الشكل (٣-١٤) الوصل التسلسلي مع تحكم مركزي . أما الشكل (٣-١٥) فيوضح الوصل التسلسلي مع تحكم موزع .



الشكل (٣-١٤) -- الوصل التسلسلي مع تحكم مركزي

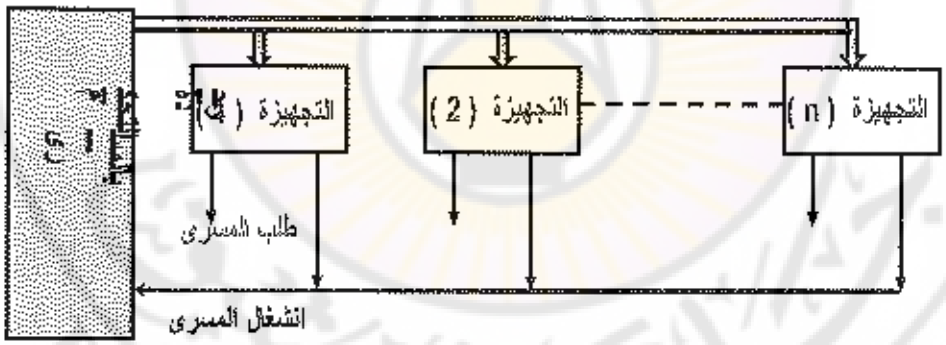
تُعتبر هذه الطريقة سهلة ومباشرة , إلا أن تعطل أحد التجهيزات سيمنع الأجهزة الأخرى من إمكانية استخدام المسرى .



الشكل (٣-١٥) – الوصل التسلسلي مع تحكم موزع

٢. الاستجواب Polling

تستطيع أي تجهيزة من التجهيزات تأهيل خط طلب الخدمة Request , وهذا الخط في الواقع خط مشترك بين كل التجهيزات . وتتابع وحدة التحكم بالمسرى استجواب التجهيزات الواحدة تلو الأخرى لمعرفة التجهيزة التي قد طلبت المسرى , فإذا وجد مثل هذه التجهيزة تقوم وحدة التحكم بإعطائها أمر التحكم بالمسرى , ويتم الاستجواب بواسطة وحدة تحكم مركزية تقوم بإرسال عناوين التجهيزات على خطوط خاصة بالاستجواب , ولا تستطيع إحدى التجهيزات طلب المسرى إلا عند استجوابه من قبل وحدة التحكم , وبعد انتهاء عملية النقل (إذا استلمت إحدى التجهيزات التحكم بالمسرى) تتابع وحدة التحكم استجواب التجهيزات كلها من جديد . ويبين الشكل (٣-١٦) طريقة وصل التجهيزات بالاستجواب .

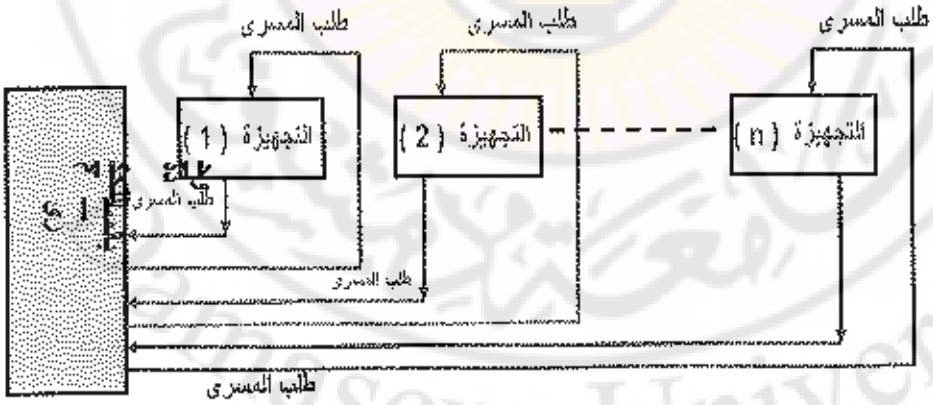


الشكل (٣-١٦) – طريقة وصل التجهيزات بالاستجواب

ويمكن أن تتم مصافحة التجهيزات بشكل دوري , كما يمكن أن تتم وفق ترتيب محدد مسبقاً وبأي ترتيب , كأنه يتم استجواب التجهيزات السريعة بمعدل أعلى من معدلات مصافحة التجهيزات البطيئة , وبذلك يمكن إعطاء درجات أولوية مختلفة للتجهيزات , كما يمكن برمجياً إعادة توزيع الأولويات . من ميزات هذه الطريقة إذا تعطلت إحدى التجهيزات لا يؤثر على عمل التجهيزات الأخرى .

٣. النفاذ المستقل Independent Access

في هذه الطريقة يُعطى لكل تجهيزة خط طلب خدمة مستقل بحيث تستطيع وحدة التحكم تحديد التجهيزة التي تطلب الخدمة (طلب التحكم بالمسرى) . وعندما تقوم أكثر من تجهيزة بطلب المسرى في الوقت نفسه يمكن اللجوء إلى مبدأ الأولويات بحيث يُعطى المسرى للتجهيزة ذات درجة الأولوية الأعلى . وتعتبر هذه الطريقة هي الأعقد لكنها بالمقابل أكثر مرونة وأسرع من الطريقتين السابقتين . ويبين الشكل (٣-١٧) طريقة النفاذ المستقل .



الشكل (٣- ١٧) – طريقة النفاذ المستقل (طلبات مستقلة)

٣-٦-٧- المسرى المشترك – حالة النظام PDP11

إن نقل المعطيات بين المعالج والذاكرة والوحدات الطرفية هي عملية داخلية, إي أنها تحدث داخل الحاسوب , أما عملية نقل المعطيات بين الذاكرة والوحدات الطرفية فهي تعتبر عملية خارجية , إلا أن بعض الأنظمة(مثل عائلة PDP11) تتعامل مع كلتا العمليتين بطريقة واحدة , إذ تتصل كل التجهيزات الطرفية والذاكرة والمعالج بالمسرى نفسه , فالنفاذ إلى الذاكرة من قبل المعالج أو الاتصال بين المعالج والطرفيات , أو بين الذاكرة والطرفيات تُعامل كلها على أنها حركة نقل للمعطيات بين تجهيزتين .

يتطلب مثل هذا المخطط استخدام فضاء مشترك لعنونة مواقع الذاكرة والتجهيزات الأخرى كلها , والتجهيزات هي مرسل ومستقبل للمعطيات (بما فيها سجلات المعالج وسجلات المعطيات وسجلات التحكم الموجودة في الطرفيات) ويُعطى لكلٍ من هذه التجهيزات عنوان وحيد خاص به . ويؤدي مثل هذا التصميم إلى استخدام حيز من العناوين التي كان من الممكن استخدامها لعنونة مواقع في الذاكرة , ولعنونة التجهيزات الأخرى , وبالتالي يُعرف لكل عملية نقل مصدر Source ووجهة Destination .

ويعطي هذا التصميم مرونة وقدرة كبيرة لتعليمة النقل move إذ يمكن استخدامها ليس فقط لنقل المعطيات , بل أيضاً لضبط قسيم سجلات التحكم الموجودة في وحدات التحكم بالطرفيات على القيم المرغوبة .

وتلعب التجهيزة التي تبدأ عملية نقل المعطيات الدور الرئيسي في تحقيق الاتصال بين مصدر المعطيات ووجهتها , ويستخدم لذلك خطوط العنونة الموجودة على المسرى لتحديد عنوان المصدر أو الوجهة .

المزايا

من أهم مزايا هذه الطريقة بساطتها وتجانس عمليات نقل المعطيات وهي توفر إمكانية العمل غير المتزامن ، كما أن إضافة أجهزة أخرى أو إلغاء بعض التجهيزات الموجودة هي عملية سهلة ومباشرة .

المساوئ

ومن مساوئ هذه الطريقة استخدام المسرى لكل عمليات نقل المعطيات ، وبالتالي يصبح عرض حزمة النقل على المسرى عاملاً حاسماً في تحديد مستوى أداء النظام ككل ، كما أن إعطاء عناوين مستقلة لكل التجهيزات يقلص من سعة الذاكرة الحقيقية التي يمكن التعامل معها.

٣-٧- واجهات الترابط الخارجية External Interfaces

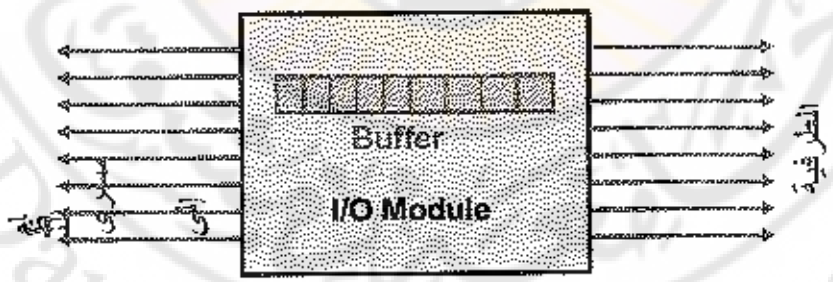
٣-٧-١- أنواع واجهات الترابط

Types Of Interfaces

ينبغي تخصيص واجهة ترابط الطرفيات مع وحدة الدخل/الخرج I/O بحسب طبيعة الطرفية وعملها . إن الميزة الأساسية لواجهة الربط هي كونها تسلسلية أو متوازية(تفرعية) , ويوجد نوعين من واجهات الترابط :

١- واجهة الترابط المتوازية Parallel Interface

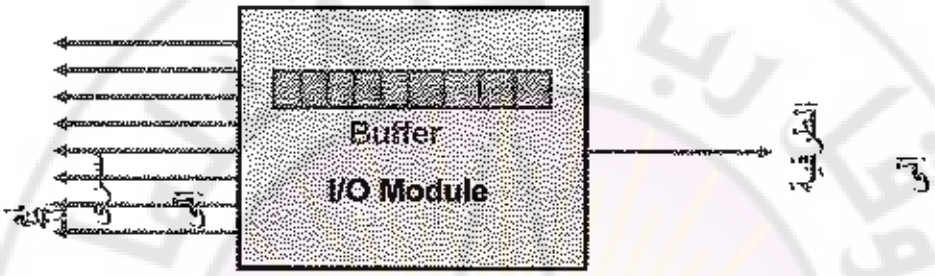
تربط عدة خطوط لوحدة الدخل/الخرج I/O بالطرفية وتنقل عدة بتات نقلاً آنياً , كنقل بتات كلمة مسرى المعطيات دفعة واحدة . وتستعمل واجهة الترابط المتوازية للطرفيات العالية السرعة كالأشرطة والأقراص الممغنطة . ويبين الشكل (٣-١٨) واجهة دخل/خرج على التوازي .



الشكل (٣-١٨) – واجهة ترابط دخل/خرج على التوازي

٢- واجهة الترابط التسلسلية Serial Interface

تنقل المعطيات على خط واحد , ويجب إرسال البتات بتاً بتاً . وتستعمل واجهة الترابط التسلسلية للطابعات والمطاريف . ويبين الشكل (٣-١٩) واجهة ترابط دخل/خرج على التسلسل .



الشكل (٣-١٩) – واجهة ترابط دخل/خرج على التسلسل

- **ينبغي , في كلا الحالتين , أن تتخاطب وحدة الدخل/الخرج I/O مع الطرفية , مثلاً في الكتابة تتم الخطوات التالية :**
  - ترسل وحدة الدخل/الخرج I/O إشارة تحكم , تطلب السماح بإرسال المعطيات .
  - ترسل الطرفية إشعاراً بوصول الطلب .
  - تنقل وحدة الدخل/الخرج I/O المعطيات .
  - ترسل الطرفية إشعاراً بوصول المعطيات .

تنجز العمليتان في وحدة الدخل/الخرج I/O بواسطة المخزن المؤقت Buffer الداخلي . ويمكن تخزين المعطيات المتبادلة بين الطرفية وبقية

النظام. ويسمح المخزن Buffer لوحدة الدخل/الخرج I/O بتعويض فروق السرعة بين النظام والخطوط الخارجية .

٧-٢- تشكيلة الوصل نقطة لنقطة أو الوصل المتعدد

Point To Point and Multipoint Configuration

يمكن أن يكون ربط وحدة الدخل/الخرج I/O بنظام الحاسوب والتجهيزات الخارجية نقطة لنقطة أو وصلة متعددة النقاط . وتوفر واجهة الترابط نقطة لنقطة خطاً مخصصاً لوصل وحدة الدخل/الخرج I/O بالتجهيزة الخارجية .

- **من الوصلات نقطة لنقطة النموذجية في النظم الحاسوبية الصغيرة :**
  - أ- لوحة المفاتيح
  - ب- الطابعة
  - ت- المودم الخارجي .

- **تأخذ الواجهات الخارجية المتعددة النقاط أهمية متزايدة, وهي تستخدم :**
  لدعم تجهيزات التوسع الخارجية(سواقات الأقراص والشرطة الممغنطة) والتجهيزات المتعددة الوسائط (كالأقراص CD-ROM , والتجهيزات الصوتية / المرئية) .

- **من أهم واجهات الترابط SCSI و USB و Firewire :**
  - **المسرى SCSI :** هو مسرى دخل/خرج I/O من أقدم المساري وأكثرها تطوراً وهو يستعمل بشكل خاص للأقراص الصلبة , وسواقات الأقراص المدمجة CD-ROM , والماسحات وأيضا وحدات الأشرطة الممغنطة TAPE .

❖ **المسرى USB** : هو مسرى حديث , يستعمل كمضيف مستقبل للأجهزة .وتم شرحه في فصل سابق .

❖ **المسرى Firewire** : هو مسرى دخل/خرج I/O عالي السرعة وهو يستخدم في كاميرات الفيديو الرقمية DV , والماسحات والأقراص الصلبة الخارجية .

إن كل من المساري الثلاثة تختلف عن بعضها كثيراً لكنها تتعلق ببعضها أيضا .

وفي هذا الفصل سنستعرض المسريين SCSI و Firewire .

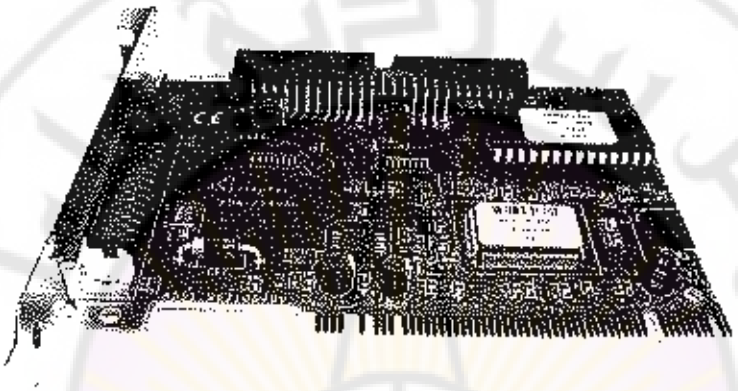
٣-٧-٣- واجهة ترابط نظام الحاسب الصغير SCSI

Small Computer System Interface

هي تقنية تحكمية متطورة , ويُعتبر المعيار SCSI مثالاً نموذجياً على واجهة ترابط التجهيزات الطرفية الخارجية .**وهو معيار واسع الاستخدام في نظم ماكنتوش و Intel و Windows ويستخدم في العديد من محطات العمل** Powerful Workstations والتي تحتوي على عدد من متحكمات SCSI .

ويملك المسرى SCSI معدل نقل للمعطيات يصل إلى 160MB/sec وهو أكبر من معدل النقل للمسرى PCI . ويتم بناء نظام SCSI حول متحكم رئيسي يسمى "وصلة الموائمة المضيفة" (Host Adapter) وهذا المتحكم عبارة عن حاسوب صغير , قد يكون مكلفا جداً إذا تم استعماله مع الأقراص

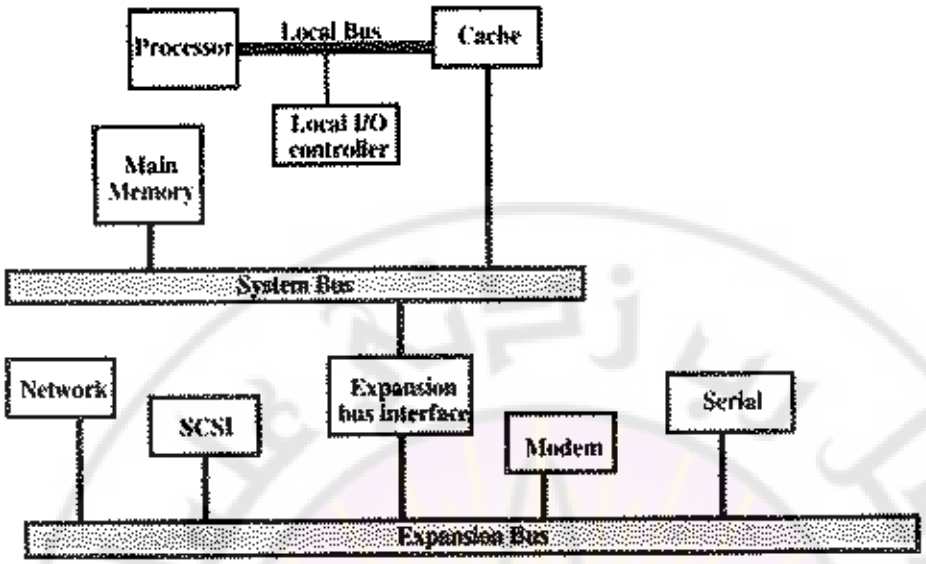
الصلبة السريعة جداً , ولكن يوجد وصلات موائمة SCSI Adapter أبسط ويمكن الحصول عليها . مثلا مع النظام SCSI الذي يعتمد على الماسحات . ويبين الشكل (٣-٢٠) متحكم موائمة SCSI – 294u .



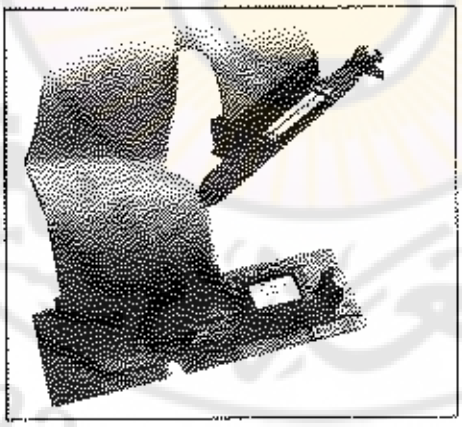
الشكل (٣-٢٠) - متحكم موائمة SCSI – 294u

وهو يُعدّ الواجهة القياسية لمشغلات الأقراص CD-ROM والمعدات الصوتية وتجهيزات التخزين الواسعة . ويعتمد المعيار SCS واجهة الترابط المتوازية , وعدد خطوطها 8 أو 16 أو 32 بت . ويبين الشكل (٣-٢١) بنيان المسرى التقليدي . نرى في هذا الشكل أن واجهة الترابط SCSI موصولة على مسرى التوسيع في مسرى النظام .

وتستخدم موائمات SCSI Adapter لتكون مشتركة مع اللوحات الأم وتبنى عليها متحكمات SCSI وذلك من أجل جسودة اللوحة الأم . ويبين الشكل (٣-٢٢) متحكم SCSI صغير بكبل عريض .



الشكل (٣-٢١) - بنيان المسرى التقليدي

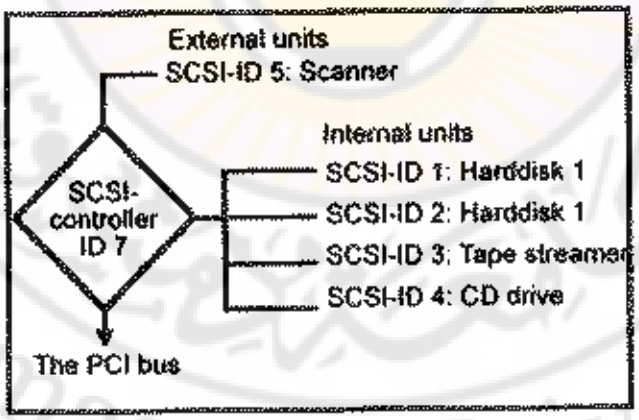


الشكل (٣-٢٢)- متحكم SCSI صغير بكبل عريض

● **لكل وحدة SCSI مربطان :**

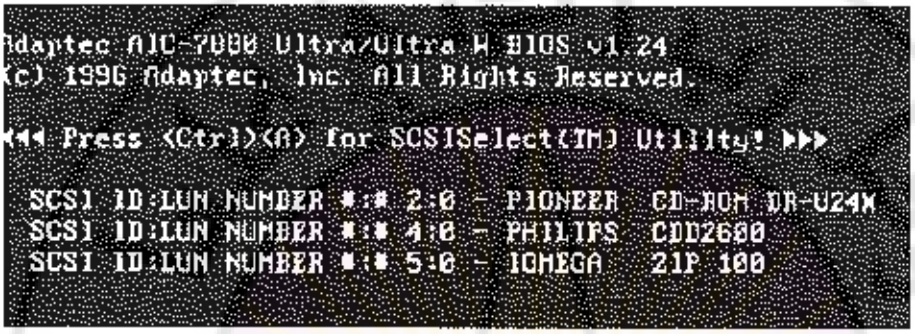
- **مربط دخل ومربط خرج :** توصل كل التجهيزات معاً على نحو سلسلة تعاقبية Daisy Chain وتربط إحدى نهايتي السلسلة بالحاسوب المضيف . وتعمل كل التجهيزات بشكل مستقل بعضها عن بعض ، وتستطيع تبادل المعطيات فيما بينها أو مع الحاسوب المضيف .
- **فعلى سبيل المثال :** قد ينسخ قرص صلب محتوياته نسخاً احتياطياً على سواقة شرائط ، دون تدخل المعالج المضيف .

ويستطيع المتحكم الرئيسي Host Adapter التحكم بعدة تجهيزات SCSI التي تكون موصولة ببعضها على شكل سلسلة تعاقبية Daisy Chain حيث تملك كل تجهيزة رقم تعريف خاص بها ، ويجب وضع منهيات Terminator في نهايتي السلسلة ، ويتم هذا باستخدام موصل Jumper على أحد التجهيزات . ويبين الشكل (٣-٢٣) سلسلة تعاقبية لـ SCSI نموذجي .



الشكل (٣-٢٣) – سلسلة تعاقبية لـ SCSI نموذجي

ويملك متحكم SCSI برنامج إقلاع خاص به والذي يقوم بتعريف التجهيزات المتصلة معه . ويبين الشكل(٣-٢٤) سلسة تعاقبية Chain مؤلفة من سواقة CD-ROM و CD Burner وسواقة ZIP . ونستطيع تتبع إقلاع الحاسوب عندما يتعرف على كل تجهيزة (سواقة) .



الشكل(٣-٢٤) – سلسة تعاقبية مؤلفة من سواقة CD-ROM و CD Burner وسواقة ZIP

والميزة الرئيسية للنظام SCSI أنه بروتوكول ذكي يدير التجهيزات ويتأكد من بلوغ معدل النقل المثالي للمعطيات . ويدير متحكم الـ SCSI فعليا شبكة صغيرة من تجهيزات الدخل/الخرج I/O , وهكذا يخفف العبء عن المعالج, وبالتالي يعمل هذا المتحكم على مهام متعددة , مثل مخدمات الشبكة WEB Servers.

٣-٧-٣-١- إصدارات المعيار SCSI (SCSI Versions)

لقد طُور المعيار SCSI الأصلي , والمسمى حالياً SCSI-1 في بداية الثمانينيات

من القرن الماضي. وأهم ميزاته :

- يقدم المعيار SCSI-1 , 8 خطوط للمعطيات .
- يعمل بتردد يصل إلى 5 MHz (أي 5 Mb/S) .
- يسمح المعيار SCSI-1 بوصل 7 تجهيزات كسلسلة تعاقبية Daisy Chain وتربط نهاية السلسلة بالنظام المضيف .

لقد طور المعيار في عام 1991 وسمي SCSI-2 . و **من أهم التغييرات الطارئة على هذا المعيار :**

- التوسع الاختياري لخطوط المعطيات إلى 16 Bit أو 32 Bit
- زيادة سرعة نبضات الساعة إلى 10 MHz
- أصبح معدل نقل المعطيات الأعظمي 40 Mb/S – 20

٣-٧-٣-٢- الإشارات والأطوار Signal and Phases

جميع العمليات على المسرى SCSI تجرى بين مبادر Initiator و وجهة Target . ويكون عادة الحاسوب المضيف هو المبادر , والمتحكم الطرفي هو الوجهة . **وتجري أي عملية على المسرى وفق تتالي الأطوار الآتية :**

- **خلو المسرى Bus Free** : ويشير إلى عدم استخدام المسرى من أي تجهيزة . و أن المسرى متاح للاستخدام .
- **التحكيم Arbitration** : يمكن لتجهيزة واحدة الحصول على المسرى بحيث تستطيع المبادرة أو استئناف الدخل/الخرج I/O .
- **الانتخاب Selection** : يسمح للمبادر بانتخاب وجهة ما , لأداء الوظيفة كالقراءة أو الكتابة لأمر ما .

❖ **إعادة الانتخاب Reselection** : يسمح لوجهة ما بإعادة الاتصال بالمبادر لاستئناف العملية التي بدأها المبادر سابقاً وعلقتها الوجهة .

❖ **الأمر Command** : يسمح للوجهة بطلب نقل معلومات الأوامر من المبادر .

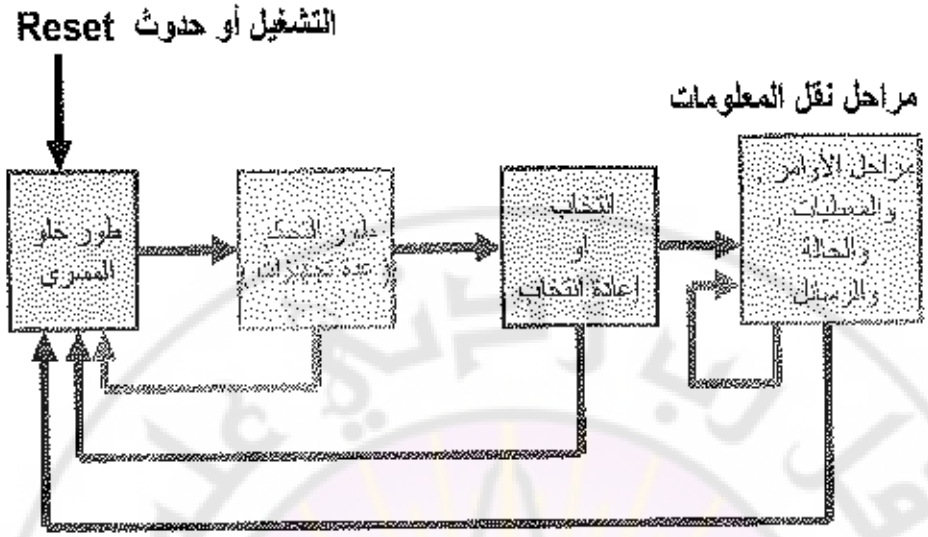
❖ **المعطيات Data** : يسمح للوجهة بطلب نقل المعطيات من الوجهة إلى المبادر (إدخال المعطيات) أو من المبادر إلى الوجهة (إخراج المعطيات) .

❖ **الحالة Status** : تسمح للوجهة بطلب إرسال معلومات الحالة من الوجهة إلى المبادر .

❖ **الرسائل Message** : تسمح للوجهة بطلب نقل رسالة واحدة أو أكثر من الوجهة إلى المبادر (إدخال الرسائل) أو من المبادر إلى الوجهة (إخراج الرسائل) .

ويوضح الشكل (٣-٢٥) ترتيب ظهور الأطوار على المسرى SCSI . **وهي كما يلي :**

- بعد تشغيل النظام يدخل المسرى في طور **"خلو المسرى "** .
- يتبع ذلك طور **" التحكيم "** , الذي يؤدي عادة إلى سيطرة تجهيزة واحدة على المسرى . فإذا أخفق التحكيم يعود المسرى إلى طور **" خلو المسرى "** .
- وعند نجاحه يدخل المسرى طور **" الانتخاب أو إعادة الانتخاب"** التي تؤدي إلى تحديد التجهيزة المبادرة والوجهة لهذه العملية .



الشكل (٣-٢٥) – ترتيب ظهور الأطوار على المسرى SCSI

- بعد تحديد هاتين التجهيزتين , تبدأ مرحلة نقل معلومة واحدة أو أكثر (والتي تضم الأوامر والمعطيات والحالة والرسائل) بين التجهيزتين . ويكون طور نقل المعلومات الأخير , عادة , لإدخال الرسائل , إذ تنقل فيها رسالة " **انجاز الأمر** " إلى المبادر .
- يتبع ذلك طور خلو المسرى .

إن إحدى سمات المعيار SCSI المهمة **هي إمكانية إعادة الانتخاب** . فإذا أصدر أمراً يستغرق إنجازه مدة معينة , كان بإمكان الوجهة تحرير المسرى وإعادة الاتصال لاحقاً . مثلاً , يمكن لحاسوب مضيف إصدار أمر إلى سواقة الأقراص لإصاخة قرص ما , فسواقة الأقراص تنفذ العملية دون أن تشغل المسرى .

ويعرف المعيار SCSI-1 كبلاً Cable مؤلفاً من 18 خط إشارة ،منهـا 9 خطوط للتحكم و 9 خطوط للمعطيات (8 خطوط معطيات وخط الزوجية) .

● **إن خطوط التحكم هي :**

- ❖ **الخط BSY** : يرفع المبادر أو الوجهة هذا الخط للدلالـة علـى انشغال المسرى .
- ❖ **الخط SEL** : يستخدمه المبادر لانتخاب وجهة لتنفيذ الأمر أو قد تستخدمه الوجهة لإعادة انتخاب المبـادر الـذي انفـصل عنـه . وتميـز إشـارة الدخل/الخرج I/O بين الانتخاب وإعادة الانتخاب .
- ❖ **الخط C/D** : تستخدمه الوجهة للدلالة على أن الكلمـة المحمولـة علـى مسرى المعطيات هي معلومات تحكم أو معطيات .
- ❖ **الخط I/O** : تستخدمه الوجهة للتحكم في اتجاه حركـة المعطيـات علـى مسراها (مسرى المعطيات).
- ❖ **الخط MSG** : تستخدمه الوجهة لإعلام المبادر بأن المعلومات المنقولـة هي رسالة .
- ❖ **الخط REQ** : تستخدمه الوجهة لطلب عملية نقل للمعطيات . واستجابة للإشارة REQ يقبل المبادر المعطيات من المسرى أثنـاء طـور إدخـال المعطيات أو يضع المعلومات على المسرى أثناء طور إخراج المعطيات .
- ❖ **الخط ACK** : يستخدمه المبادر إشعاراً بوصـول الطلـب REQ مـن الوجهة . وتشير الإشارة ACK إلى أن المبادر قد وضع المعلومات علـى الممرى أثناء طور إخراج المعطيات أو إنه قبل المعطيات من المسرى أثناء طور إدخال المعطيات .

❖ **الخط ATN** : يستعمله المبادر لإعلام الوجهة بأن الرسالة متاحة للنقـل . وقد يفعل المبادر هذه الإشارة أثناء طور الانتخاب أو فـي أي وقـت بعـد سيطرة الوجهة على المسرى .

❖ **الخط RST** : يستفاد من هذا الخط في تصفير المسرى .

طور المسرى	إشارات الكبل A						إشارات الكبل B		
	SCSI-1						SCSI-2		
	BSY	SEL	C/D, I/O, MSG, REQ	ACK, ATN	DB(7-0), DB(P)		REQP	ACKB	DB(31-8), DB(P1), DB(P2) DB(P3)
خطو المسرى	None	None	None	None	None		None	None	None
التحكيم	All	Win	None	None	SID		None	None	None
الانتقاء	I&T	Init	None	Init	Init		None	None	None
إعادة الانتقاء	I&T	Targ	Targ	Init	Targ		None	None	None
الأمر	Targ	None	Targ	Init	Init		None	None	None
إدخال المعطيات	Targ	None	Targ	Init	Targ		Targ	Init	Targ
إخراج المعطيات	Targ	None	Targ	Init	Init		Targ	Init	Init
الحالة	Targ	None	Targ	Init	Targ		None	None	None
إدخال الرسائل	Targ	None	Targ	Init	Targ		None	None	None
إخراج الرسائل	Targ	None	Targ	Init	Init		None	None	None

الجدول (٣-٢) – العلاقة بين إشارات المسرى وأطواره

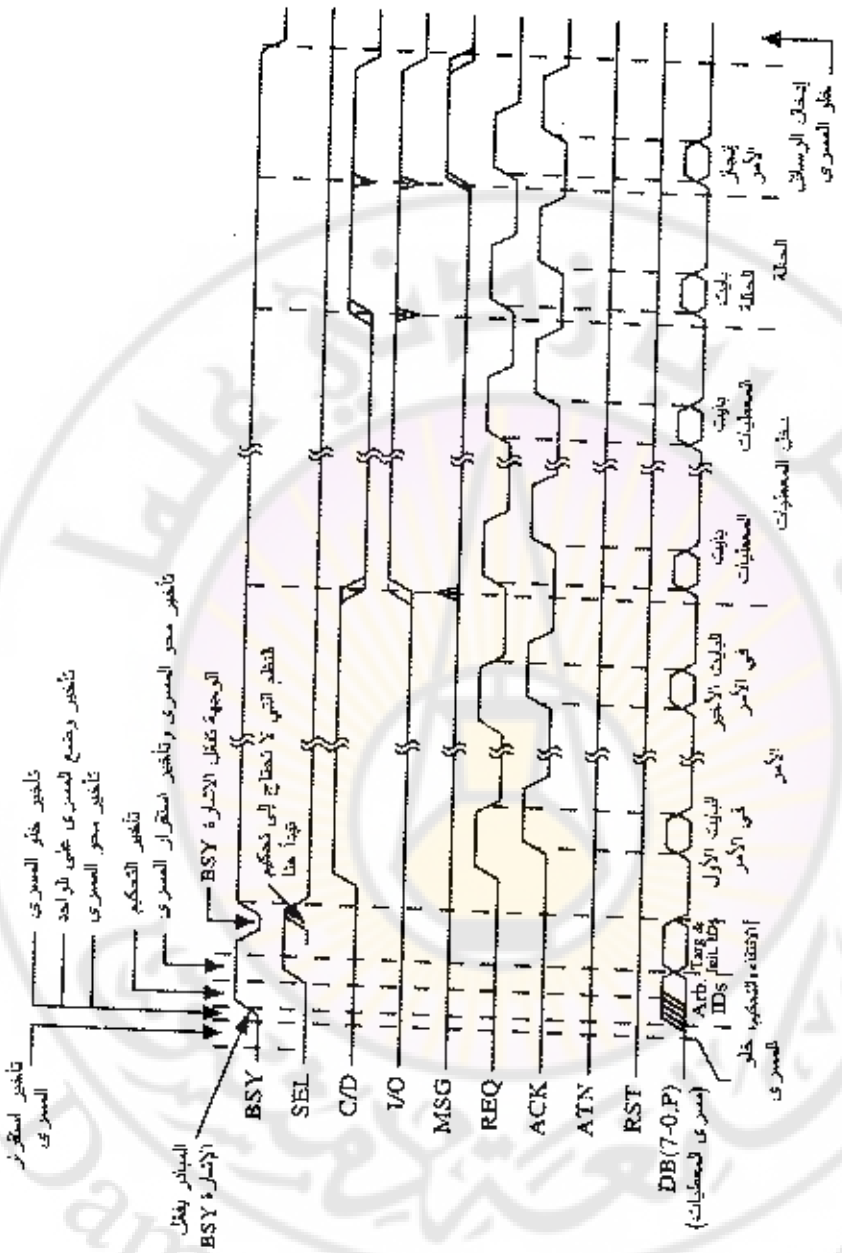
٣-٧-٣-٣- مخطط توقيت المسرى SCSI Timing

يوضح الشكل (٣-٢٦) مخطط التوقيت الزمني للمعيار SCSI الممكن استخدامه لشرح أطوار المسرى المختلفة وإشاراته . ويبين المثال التالي أمر القراءة الذي ينقل المعطيات من الوجهة إلى المبادر . **وهو كما يلي :**

- عند إلغاء جميع الخطوط , يبدأ التتالي بطور خلو المسرى , يتبعه طور التحكيم وتتنافس فيه تجهيزة واحدة أو أكثر على السيطرة على المسرى .
- تفعل التجهيزات المتنافسة الخط BSY وأحد خطوط المعطيات .
- عند إلغاء جميع الخطوط , يبدأ التتالي بطور خلو المسرى , يتبعه طور التحكيم الذي تتنافس فيه تجهيزة واحدة أو أكثر على السيطرة على المسرى .
- تفعل التجهيزات المتنافسة الخط BSY وأحد خطوط المعطيات .
- تحمل كل تجهيزة من التجهيزات الثماني (وهي الحاسوب المضيف وسبع تجهيزات أخرى) رقماً معرفاً وحيداً يقع بين 0 و 7 .
- تفعل كل تجهيزة خط المعطيات المقابل لرقم تعريفها (ID) .
- يسند إلى أرقام التعريف أفضليات متفاوتة تتدرج من القيمة 7 للأفضلية العليا إلى القيمة 0 للأفضلية الدنيا .
- إذا فعلت عدة تجهيزات أرقام تعريفها أثناء طور التحكيم فإن التجهيزة ذات الأفضلية الأعلى تفوز بالمسرى . وتدرك بقية التجهيزات ذلك بمراقبة خطوط المعطيات وتنسحب من التحكيم .
- بعد فوز إحدى التجهيزات بالتحكيم , تصبح هي المبادر ويدخل المسرى طور الانتخاب بتفعيل الإشارة SEL . أثناء هذا الطور تفعل

التجهيزة الرابحة رقم تعريفها الخاص بها ورقم تعريف الوجهة على خطي المعطيات المقابلين لذلك .

- ❖ بعد تأخير محدد تُقلب حالة الخط BSY .
- ❖ عندما تكتشف التجهيزة الوجهة تفعل الخط SEL وتغير حالة الخطين BSY & I/O وتعرف رقم تعريفها , وتفعل الإشارة BSY , يكتشف المبادر الإشارة BSY فيحرر مسرى المعطيات ويقلب حالة الإشارة SEL .
- ❖ بعد ذلك تشير الوجهة إلى دخولها طور الأوامر بتفعيل الخط C/D . ويبقى هذا الخط مؤهلاً خلال هذا الطور .
- ❖ ثم تفعل الوجهة الخط REQ بطلب البايت الأول من أمر المبادر , ويضع المبادر البايت الأول للأمر على مسرى المعطيات , ويفعل الخط ACK .
- ❖ بعد أن تقرأ الوجهة البايت , تقلب حالة الخط REQ ثم يعكس المبادر حالة الخط ACK .
- ❖ يحتوي البايت الأول من الأمر على رمز code العملية للأمر المطلوب, ويحدد ذلك عدد البايتات الواجب نقلها .
- ❖ تنقل البايتات الإضافية بواسطة خطوط المصافحة ذاتها ACK/REQ قبل نقل أي بايت وبعده .
- ❖ بعد أن تستقبل الوجهة الأمر وتفسره تضع المسرى في طور إدخال المعطيات , ويعكس حالة الخط C/D (الذي يعني أن مسرى المعطيات يحمل معطيات) وتفعل الخط I/O (ويدل على أن اتجاه النقل من الوجهة إلى المبادر)


تأخير انتقال المعطيات
تأخير حفز المعطيات
تأخير وضع المعطيات على الواحد
تأخير محو المعطيات
تأخير التحكيم
تأخير محو المعطيات وتأخير استقرار المعطيات
المباشر يفعل الإشارة BSY
الوجهة تفعل الإشارة BSY
BSY
SEL
C/D
I/O
MSG
REQ
ACK
ATN
RST
DB(7-0,P)
(معطيات المعطيات)
Arb. Start & IDs
أولوية التحكيم خلو المعطيات
الأولوية الأخير في الأمر
الأولوية الأول في الأمر
أولوية المعطيات
أولوية المعطيات
الحالة
بايت الحالة
بايت الأمر
إبطال الرسائل خلو المعطيات
الأمر
نقل المعطيات
الحالة
الأمر
الرسالة
المعطيات
الرسالة
الحالة
الأمر
المعطيات
الرسالة
الحالة
الأمر
المعطيات
الرسالة
الحالة
الأمر

- تضع الوجهة البايت الأول من المعطيات المطلوبة على مسرى المعطيات وتفعل الخط REQ .
- يفعل المبادر الخط ACK بعد قراءة البايت . تنقل بايتات المعطيات الأخرى باستخدام خطي المصافحة ACK/REQ بالطريقة ذاتها , قبل نقل كل بايت وبعده .
- بعد نقل كافة المعطيات المطلوبة , تضع الوجهة المسرى في طور " **الحالة** " وتنقل بايت الحالة إلى المبادر للدلالة على إنجاز النقل بنجاح. في هذه الحالة يفعل الخط C/D ثانية ويبقى الخط I/O مؤهلاً .يستخدم المبادر والوجهة خطي المصافحة ACK/REQ لتنسيق نقل بايت الحالة .
- وأخيراً تضع الوجهة المسرى في حالة " **إدخال الرسائل**" بتفعيل الخط MSG ونقل بايت رسالة " **إنجاز الأمر** " .
- عندما تستقبل الوجهة البايت من المبادر تحرر كل إشارات المسرى لوضعه في طور " **خلو المسرى** " .

٣-٧-٣-٤- الرسائل Messages

يتبادل المبادر والوجهة الرسائل بغية إدارة واجهة الترابط SCSI . **ولهذه الرسائل ثلاث صيغ :**

- رسالة وحيدة البايت .
- رسالة ثنائية البايت .
- رسالة موسعة تضم ثلاث بايتات أو أكثر .

● **فيما يلي بعض هذه الرسائل :**

- **إنجاز الأمر Command Complete** : ترسل الوجهة هذه الرسائل إلى المبادر للدلالة على إنهاء الأمر .
- **الفصل Disconnect** : ترسلها الوجهة لإعلام المبادر بأن الاتصال الحالي سيتوقف .
- **اكتشاف خطأ في المبادر Initiator Detected Error** : يرسل المبادر هذه الرسالة لإعلام الوجهة بحدوث خطأ .
- **الإجهاض Abort** : يرسلها المبادر إلى الوجهة لإيقاف العملية الراهنة .
- **نقل معطيات متزامن Synchronous Data transfer** : يتبادل هذه الرسالة المبادر والوجهة لإنشاء عملية نقل معطيات متزامن .

٣-٧-٣-٥- الأوامر Commands

تمثل مجموعة الأوامر جوهر البروتوكول SCSI . **يرسل المبادر أمراً لدفع الوجهة إلى القيام بعمل ما** . وقد يتعلق الأمر بجلب المعطيات من الوجهة (قراءة) أو إرسال المعطيات إلى الوجهة (كتابة) . **وفي كل الحالات يتضمن تنفيذ الأوامر الخطوات التالية :**

- تحصل الوجهة على معلومات الأوامر وتفك ترميزها .
- تنقل المعطيات من أو إلى الوجهة(لا تمر كل الأوامر بهذه الخطوة)
- تولد الوجهة معلومات الحالة وترسلها إلى المبادر .

● الكتلة الواصفة للأمر CDB :

بعد إنشاء اتصال بين المبادر والوجهة ينقل المبادر الكتلة CDB (Command Description Block) إلى الوجهة عبر مسرى المعطيات للبدء بتنفيذ الأمر . ويوضح الشكل (٣-٢٧) صيغة الكتلة الواصفة للأمر في البروتوكول SCSI . و تضم الكتلة CDB الحقول التالية :

❖ رمز العملية Operation Code : يحدد هذا الرمز الأمر المعين ويشير إلى صيغة الكتلة CDB المتبقية .

❖ رقم الوحدة المنطقية Logical Unit Number : يعرف هذا الرقم تجهيزة مادية أو افتراضية مرتبطة بالوجهة .

❖ عنوان الكتلة المنطقية Logical Block Address : تتضمن الكتلة CDB عنوان البداية المنطقي للنقل و المستخدم في عمليتي القراءة و الكتابة .

❖ طول النقل Transfer length: يحدد هذا الحقل (في عمليتي القراءة و الكتابة) عدد الكتل المنطقية المتلاصقة للمعطيات الواجب نقلها .

❖ طول لائحة البرامترات Parameter List Length : يعين عدد البايتات المرسلة أثناء طور إخراج المعطيات .

❖ طول التخصيص Allocation Length : يعين هذا الحقل عدد البايتات الأعظمي الذي يخصصه المبادر للمعطيات المعادة .

❖ التحكم Control : يتضمن هذا الحقل بتات الارتباط و الرايات التي تتحكم في آلية الأوامر المترابطة . فإذا كانت قيمة بت الارتباط تساوي الواحد فإن الأمر الحالي لا ينتهي في طور خلو المسرى بل يرتبط بالأمر التالي الذي يبدأ بطور " الأمر " الخاص به . إذا كانت قيمة

الراية تساوي الواحد , ترسل الوجهة رسالة " **إنجاز الأمـر المتـرابط** " عند إنجاز الأمر بنجاح , وتعيد قيمـة الرايـة ذاتهـا المـذكورة فـي الكتلة CDB.

الشكل (٣-٢٧) – صيغة الكتلة الواصفة للأمر في البروتوكول SCSI

ويعرف البروتوكول SCSI طيفاً واسعاً من أنواع الأوامر ويخص معظمها نوع تجهيزات محددة , **ويتضمن المعيار SCSI-2 أوامر لأنواع التجهيزات التالية :**

- ❖ تجهيزات النفاذ المباشر .
- ❖ تجهيزات النفاذ التتابعي .
- ❖ الطابعات .
- ❖ المعالجات .
- ❖ تجهيزات الكتابة لمرة واحدة .
- ❖ الأقراص CD-ROM .
- ❖ الماسحات الضوئية .
- ❖ تجهيزات الذاكرة الضوئية .
- ❖ التجهيزات المغيرة للوسائط Medium changer .
- ❖ تجهيزات الاتصال .

إضافة إلى ذلك يضم البروتوكول مجموعة مؤلفة من 17 أمراً ينطبق على كل أنواع التجهيزات . **ينبغي انجاز أربعة أوامر منها إلزامياً في جميع التجهيزات :**

- ❖ **الاستعلام Inquiry** : يطلب المبادر برامترات الوجهة والطرفيات المرتبطة بها .
- ❖ **تحسس الطلب Request Sense** : يطلب المبادر أن ترسل الوجهة معطيات التحسس وتتضمن معطيات التحسس حالة الأخطاء ومعلومات الموضع ومعلومات الحالة المنطقية .

❖ **إرسال التشخيص Send Diagnostic** : يطلب المبادر من الوجهة إجراء اختبارات تشخيص ذاتية أو اختبارات على التجهيزات الطرفية المرفقة بها أو يطلب الاثنين معاً .

❖ **جاهزية وحدة الاختبار Test Unit Ready** : يقدم هذا الأمر وسيلة لتدقيق جاهزية الوحدة المنطقية .

يعد دليل أوامر البروتوكول **SCSI** مصدراً أساسياً من مصادر قوته .فهو يمثل طريقة قياسية للتعامل مع معظم التجهيزات الشائعة المرتبطة بالحواسيب الشخصية ومحطات العمل وهذا يؤدي إلى تبسيط مهمة كتابة برمجيات الدخل/الخرج I/O في النظام المضيف .

٣-٧-٤- المسرى التسلسلي Fire Wire

Fire Wire Serial Bus

عندما تبلغ سرعة المعالج 1000 MHz وتتجاوز سعة تجهيزات التخزين أضعاف من G Byte تصبح طلبات الدخل/الخرج I/O في الحواسيب الشخصيه والمخدمات هائلة .

إن تقنية قنوات الدخل/الخرج I/O العالية السرعة التي طورت للحواسيب الكبيرة والفائقة باهظة الثمن وذات حجم كبير يحول دون استخدامها في هذه النظم الصغيرة . لقد ازداد الاهتمام في تطوير مسرى عالي السرعة مما أدى إلى تطوير المعيار IEEE1394 وهو مسرى تسلسلي عالي الأداء , يسمى Fire Wire , ويصل معدل نقل المعطيات الأعظمي إلى 400 Mbit/sec .

☐ يتمتع المعيار Fire Wire بمزايا عديدة :

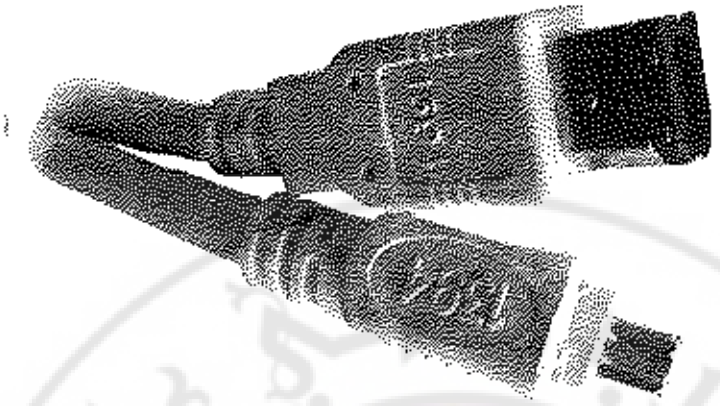
❖ مسرى عالي السرعة منخفض الكلفة .

- ❖ سهل الانجاز .
- ❖ لا ينحصر استخدامه في الحواسيب الشخصية فقط وإنما في المنتجات الالكترونية الاستهلاكية , مثل الكاميرات الرقمية ومسجلات الفيديو والتلفاز وغيرها .
- ❖ يستعمل المسرى في هذه المنتجات لنقل الصور الفيديوية .
- ❖ تكمن الميزة الأساسية في استخدامه النقل التسلسلي بدلاً من المتوازي .
- ❖ نستطيع وصل وفصل الأجهزة مباشرة دون إعادة تشغيل الحاسوب فهي مثل USB .

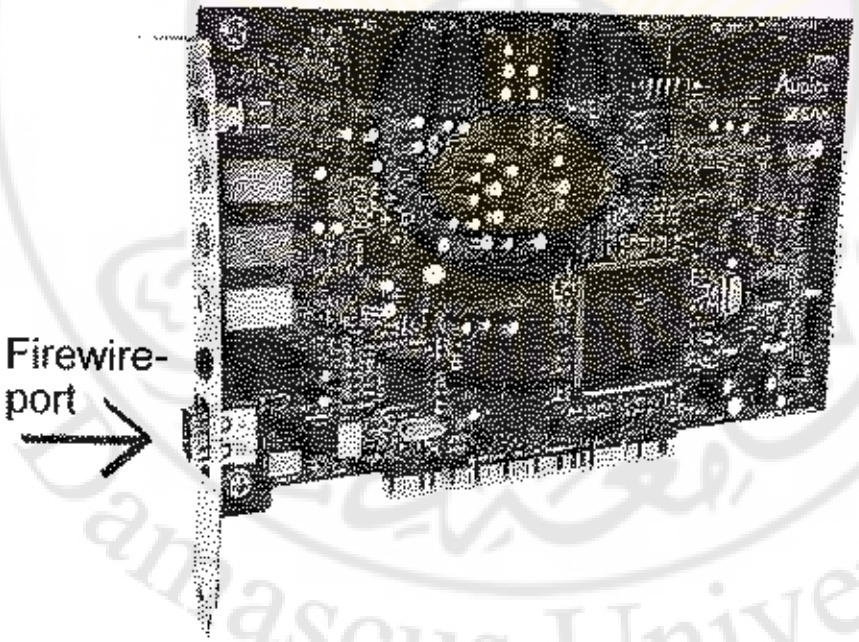
في النقل المتوازي كالمعيار SCSI يتطلب المزيد من الأسلاك وتوظيف كابلات أعلى كلفة وأكثر أسلاكاً و ذات مرابط أغلى ثمناً ويحتاج كبل عديد الأسلاك إلى التحجيب منعاً للتداخل الكهربائي بين الأسلاك .,إضافة إلى ذلك , فإن حجم الحواسيب يزداد صغراً رغم ازدياد قدرتها الحسابية . فالحواسيب المحمولة باليد وحواسيب الجيب لا تتيح المكان اللازم للمرابط مع أنها تحتاج إلى معدلات نقل معطيات مرتفعة عند معالجة صور الفيديو .

ويهدف المسرى Firc Wire إلى توفير واجهة ترابط الدخل/الخرج I/O وحيدة ذات مربط بسيط يستطيع التعامل مع تجهيزات عديدة عبر منفذ واحد وبذلك يمكن الاستعاضة عن مآخذ الفأرة والطابعة والواجهة SCSI وسواقة الأقراص الخارجية والصوت والشبكة المحلية بمربط وحيد.

تحوي بعض الحواسيب على منافذ Fire wirc التي تكون مدمجة على اللوحة الأم , وبعضها لا تحتوي هذه المنافذ وهي تعتبر رخيصة . ويبين الشكل (٣-٢٨) كبل المسرى Fire wire. أما الشكل (٣-٢٩) فيبين بطاقة واجهة الربط التسلسلي Fire Wire.



الشكل (٣-٢٨) – كبل مسرى Firewire



الشكل (٣-٢٩) – بطاقة واجهة الربط التسلسلي Fire Wire

٣-٧-٤-١- تشكيلات المسرى Fire Wire Configurations

إن أهم تشكيلات المسرى Firc Wire :

- يستخدم المعيار Firc Wire تشكيلة سلسلة تعاقبية Daisy chain.
- تتقبل 63 تجهيزة مرتبطة بمنفذ واحد .
- إمكان ربط 1022 مسرى Fire Wire معاً بواسطة الجسور , وهذا ما يمكّن النظام من تحمل العدد اللازم من الطرفيات .
- يقدم المعيار Fire Wire ميزة الربط المماخن Hot Plugging الذي يسمح بربط الطرفيات وفكها دون الحاجة إلى فصل تغذية كامل الجهاز أو إعادة تشكيله .
- يتسم المعيار بميزة التشكيل الآلي Automatic configuration , إذ لا ضرورة لتحديد رقم تعريف التجهيزة يدوياً أو الاهتمام بموضع التجهيزات النسبي .

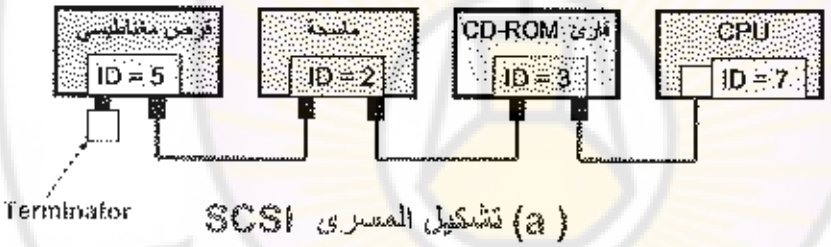
يتم استعمال كل من USB 2.0 و Firewire من أجل الأقراص الخارجية التي تتضمن سواقة القرص الصلب Hard Disks وسواقة الأقراص CD/DVD Drive . ويبين الجدول (٣-٣) مقارنة بين متحكمات USB و Firewire و SCSI . ويوضح الشكل (٣-٣٠) مقارنة بين تشكيل المعيار Fire Wire وتشكيل المعيار SCSI . نذكر منها :

- ففي المعيار SCSI ينبغي وصل نهايتي المسرى بنهاية طرفية Terminator كما يجب إسناد رقم تعريف فريد لكل تجهيزة أثناء التشكيل .
- أما في حالة المعيار Fire Wire فلا داعي للنهايات الطرفية No bus terminators إذ يقوم النظام آلياً بوظيفة التشكيل لإسناد العناوين .

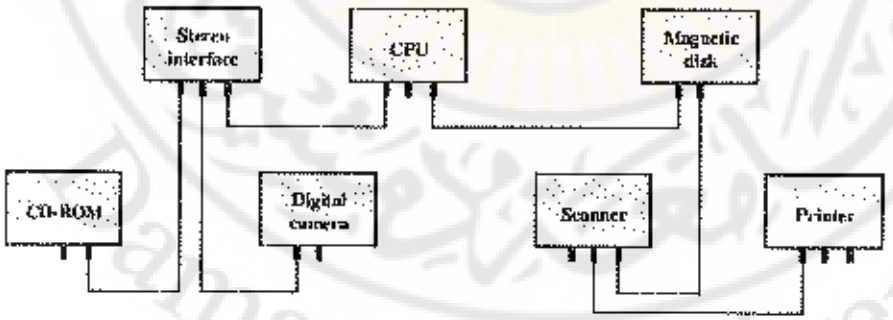
❖ لا يحتاج المسرى Fire Wire إلى تشكيلة المسلسلة التعاقبية بشكل صارم بل يمكن وصل التجهيزات وفق تشكيل شجرة .

Controller	Bandwidth
USB 1.1	1.2 MB/sec.
FireWire	40 MB/sec.
USB 2.0	40 MB/sec.
SCSI	Up to 160 MB/sec.

الجدول (٣-٣) – مقارنة بين متحكمات USB و Firewire و SCSI



(a) تشكيل المسرى SCSI

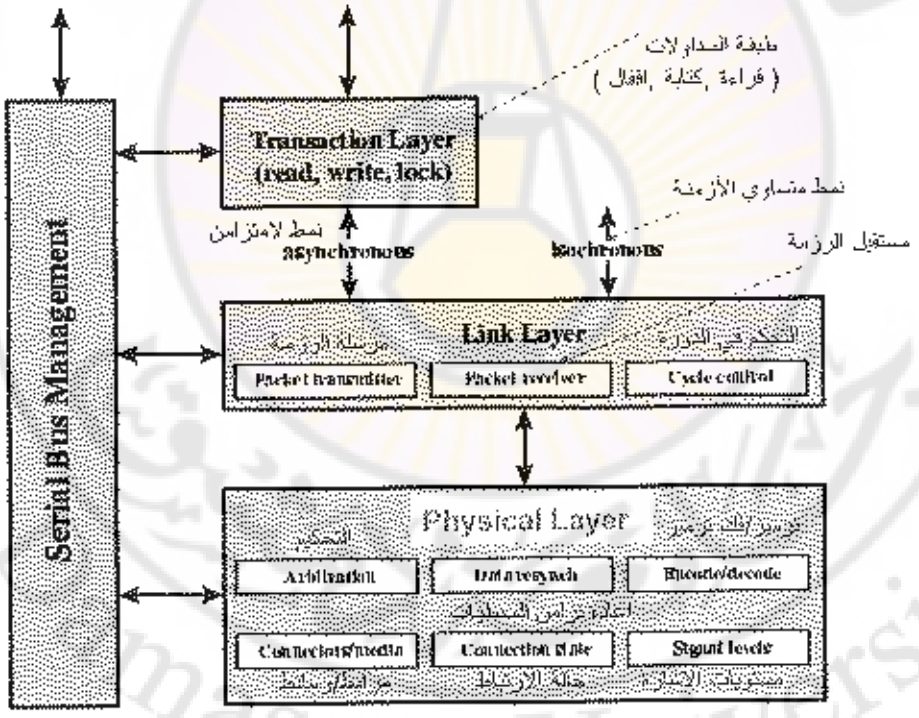


(b) تشكيل المسرى Fire Wire

الشكل (٣-٣٠) – مقارنة بين تشكيل المعيار Fire Wire والمعيار SCSI

يوصف المسرى Fire Wire ثلاث طبقات في البروتوكول وذلك بغية تفاعل النظام المضيف مع التجهيزات الطرفية عبر المسرى التسلسلي تفاعلاً قياسياً . ويوضح الشكل (٣-٣١) هذا الترتيب . **وهذه الطبقات هي :**

- **الطبقة المادية Physical Layer :** تعرف وسائط النقل المسموحة في المعيار والميزات الكهربائية والإشارات .
- **طبقة الربط Link :** وتصف نقل المعطيات في رزم .
- **طبقة المداولات Transaction Layer:** تعرف برتوكول الطلب والإجابة والذي يخبئ تفاصيل الطبقات الدنيا في المسرى Fire Wire عن التطبيقات .



الشكل (٣-٣١) - ترتيب الطبقات في البرتوكول Fire Wire

٣-٧-٤-١-١- الطبقة المادية Physical Layer

تعرف في هذه الطبقة معدلات نقل تقع بين 25 to 400MBps . وتحول الطبقة المادية المعطيات (بالنظام الثنائي) إلى إشارات كهربائية للوسائط المتعددة . كما تقدم خدمة التحكيم التي تكفل إرسال المعطيات من تجهيزة واحدة فقط في لحظة معينة .

● **يقدم المعيار طريقة تحكيم :**

تعتمد هذه الطريقة على ترتيب عقد المسرى Fire Wire ضمن التوصيل الشجري . وتعتبر السلسلة التعاقبية حالة خاصة منها . وتحتوي الطبقة المادية المنطق الذي يسمح للتجهيزات المرفقة بتشكيل ذاتها وبحيث تعين إحدى العقد جذراً للشجرة وتنظم بقية العقد وفق علاقة أب/ابن . وهذا ما يشكل الترتيب الشجري . بعد إنشاء هذا التشكيل تتصرف العقدة حكماً مركزياً . وتعالج طلبات النفاذ إلى المسرى وفق طريقة القادم أولاً يخدم أولاً . وعند ورود عدة طلبات في آن واحد تفوز العقدة ذات الأفضلية " الطبيعية " الأعلى بالنفاذ إلى المسرى. وتحدد الأفضلية الطبيعية بمعرفة العقدة الأقرب إلى الجذر بين العقد المتنافسة . وإذا كان للعقد المسافة ذاتها من الجذر تعطى الأفضلية للعقدة ذات رقم التعريف ID الأدنى .

● هناك وظيفتان لطريقة التحكيم السابقة :

- ❖ التحكيم العادل Fair arbitration
- ❖ التحكيم العاجل Urgent arbitration

أ- في التحكيم العادل يقسم الزمن إلى مجالات متساوية .تضع كل عقدة (في بداية أي مجال) القيمة 1 في راية "تأهيل التحكيم " Arbitration Enable. وخلال المجال يمكن لأي عقدة التنافس للنفاذ إلى المسرى .

ويعد فوز إحدى العقد في النفاذ إلى المسرى تمحو تلك العقدة راية " تأهيل التحكيم " . ولن يسمح لها بالتنافس على النفاذ العادل خلال ذلك المجال . تجعل هذه الخطة التحكيم أكثر عدلاً , بحيث تمنع التجهيزات العالية الأفضلية والانشغالية من احتكار المسرى .

ب-تستطيع العقد في طريقة التحكيم العاجل الفوز بالنفاذ عدة مرات أثناء المجال العادل ذاته, لذلك تعتمد الطريقة , في جوهرها , على توظيف عدّاد لكل عقدة عالية الأفضلية , وهذا ما يسمح للعقد المرتفعة الأفضلية بالتحكم بنسبة 75 % من زمن المسرى المتاح . هذا يعني إمكان نقل ثلاث رزم عاجلة مقابل رزمة غير عاجلة .

٣-٧-٤-١-٢- طبقة الربط Link Layer

تُعرف طبقة الربط نقل المعطيات في رزم تسمح هذه الطبقة بنوعين من النقل :

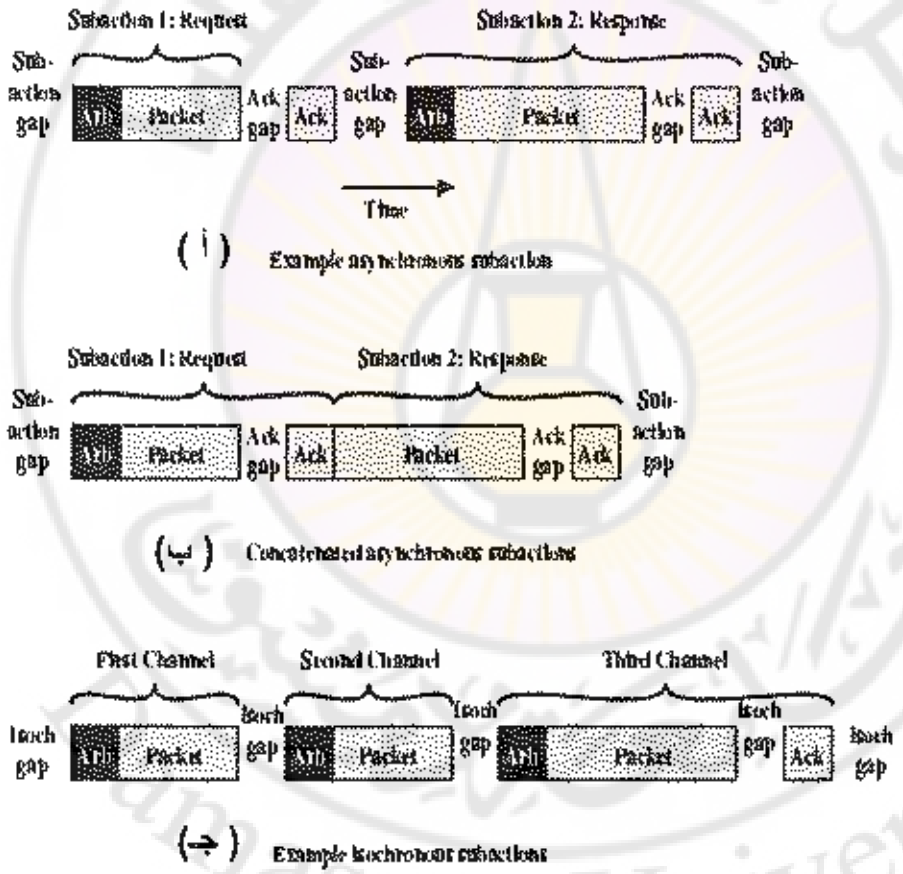
١. **نقل غير متزامن Asynchronous** : تنقل كمية متغيرة من المعطيات وعدة بايتات من معلومات طبقة المداولات كرزمة موجهة إلى عنوان صريح وينقل إشعار الوصول في الاتجاه المعاكس .
٢. **نقل متساوي الأزمنة Isochronous** : تنقل كمية متغيرة من المعطيات وفق تتالي رزم ثابتة الحجم وبمجالات زمنية منتظمة . ويستخدم هذا النوع من الإرسال عنونة بسيطة دون أي إشعار .

ويُستعمل النقل غير المتزامن لنقل المعطيات التي لا تتطلب معدل نقل ثابتاً . ويمكن استخدام التحكيم العادل والعاجل في نمط النقل غير المتزامن . ويمثل الشكل (٣-٣٢- أ) مداولة غير متزامنة نموذجية .تسمى إجرائية تسليم رزمة

وحيدة بالفعل الفرعي . ويتألف الفعل الفرعي من خمسة أدوار :

١. تتالي التحكيم **Arbitration sequence** : ويجـري فيـه تبـادل الإشارات اللازمة لإعطاء إحدى التجهيزات إمكانيـة الـسيطرة علـى المسرى .

٢. نقل الرزمة **Packet transmission** : تتضمن كل رزمة ترويـسة تحوي رقم تعريف المصدر والوجهة .



الشكل (٣-٣٢) – الأفعال الفرعية في المسرى Fire Wire

٣. **فجوة إشعار الاستلام Acknowledgment Gap** : وهي التأخير الزمني للوجهة عند استقبال وفك ترميز الرزمة وتوليد إشعار الاستلام .

٤. **إشعار الاستلام Acknowledgment** : يرسل المستقبل رزمة إشعار استلام تحوي رمز code يدل على الفعل الذي قام به المستقبل .

٥. **فجوة الفعل الفرعي Subaction gap** : وهي مدة خمول معززة لضمان عدم قيام أي عقدة أخرى على المسرى بالتحكيم قبل إرسال رزمة إشعار الاستلام .

عند إرسال رزمة إشعار الاستلام تكون عقدة إشعار (الشكل(٣-٣٢- ب)) الاستلام مسيطرة على المسرى . لذلك إذا كان التبادل بين العقدتين من نوع طلب/إجابة استطاعت العقدة المجيبة إرسال رزمة الإجابة فوراً دون المرور بتتالي التحكيم .

يستخدم النفاذ المتساوي الأزمنة في التجهيزات التي تولد أو تستهلك معطيات بانتظام , كأجهزة الصوت الرقمي أو الفيديو . وتكفل هذه الطريقة إيصال المعطيات ضمن مدة الانتظار المحددة ووفق معدل معطيات مضمون . وللتكيف مع أعباء الحركة المختلفة على المسرى (والمؤلفة من عمليات نقل متزامن ومتساوية الأزمنة) تعين عقدة سيد الدورة Cycle Master يصدر سيد الدورة رزمة بداية الدورة دورياً .ويعلم بذلك كل العقد الباقية ببدء دورة نقل متساوية الأزمنة . خلال هذه الدورة يمكن إرسال رزم متساوية الأزمنة فقط ويوضح الشكل(٣-٣٢- جـ) ذلك . يدخل كل مصدر معطيات متساوي الأزمنة في التحكيم للنفاذ إلى المسرى , وترسل العقدة الفائزة رزمة مسا . ولا يوجد إشعار لهذه الرزمة , ولذا تدخل بقية مصادر المعطيات المتساوية الأزمنة فوراً في التحكيم , للنفاذ إلى المسرى بعد نقل الرزمة المتساوية الأزمنة السابقة .تنتج

من ذلك فجوة صغيرة بين إرسال الرزمة ودور تحكيم الرزمة التالية , سببها التأخير على المسرى . ويسمى هذا تأخير الفجوة متساوية الأزمنة ,وهي أصغر من فجوة الفعل الفرعي . بعد نقل المصادر المتساوية الأزمنة كافة يبقى المسرى خاملاً مدة كافية لحدوث فجوة فعل فرعي .يعلم ذلك المصادر غير المتزامنة بأنها تستطيع التنافس على المسرى الآن .

تعطى الرزم المتساوية أرقام القنوات المؤلفة من 8 بتات , التي حددت سابقاً بالحوار بين العقدتين الراغبتين في تبادل المعطيات المتساوية الأزمنة . وتتضمن الترويسة حقلاً يحدد طول المعطيات ومجموع التدقيق CRC للترويسة (الاختبار الدائري الزائد Cycle Redundancy Check) .

٣-٧-٤-٢- إصدارات مسرى الـ FireWire

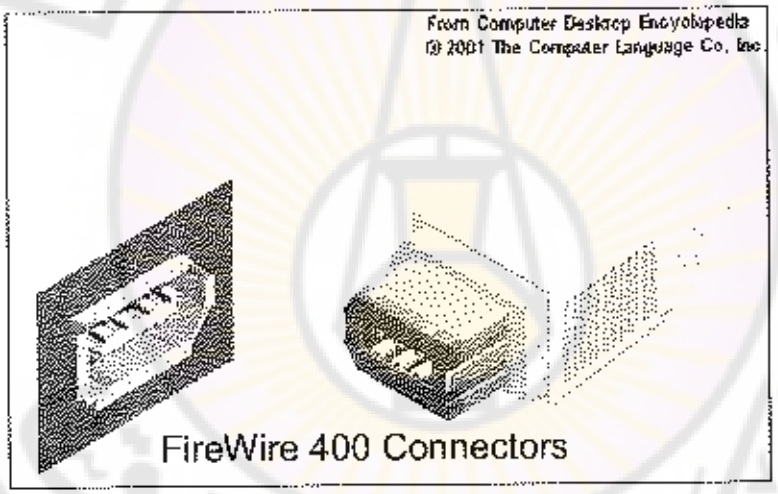
هناك إصدارات متعددة لـ FireWire مثل FireWire400 و FireWire800 و FireWire1600 و FireWire3200 . ويبين الجدول(٣-٤) مواصفات المعيار FireWire .

IEEE 1394 interface (FireWire)	
Year created:	1995
Created by:	Apple Computer, Inc.
Width in bits:	1
Number of devices:	63
Capacity	400--3200Mbit/s (50-400 MB/s)
Style:	Serial
Hotplugging?	Yes
External?	Yes

الجدول(٣-٤) – مواصفات المعيار FireWire

مسرى الـ FireWire400

أنتج المسرى 1394 عام 1995 من قبل IEEE , ثم عرف باسم FireWire , ولـه معـدلات نقـل للمعطيـات هـي : 100Mbit/s و 200Mbit/s و 400Mbit/s وحيدة الاتجاه Half – duplex , أما معدلات النقـل الفعليـة : 98.304Mbit/s و 196.608Mbit/s و 393.216Mbit/s .وتدعى أنمـاط النقل المختلفة بـ S100 و S200 و S400 , ويمكن أن يكـون طـول كبـل التوصل 4.5m بين التجهيزات . وقد تم تطويره وأنتج بنسخة جديدة عام 2000 (أي 1394a) ويستخدم ترميـز الـنمط Alpha .ويبـين الـشكل (٣-٣٣) موصلات FireWire400 .



الشكل (٣-٣٣) – موصلات FireWire400

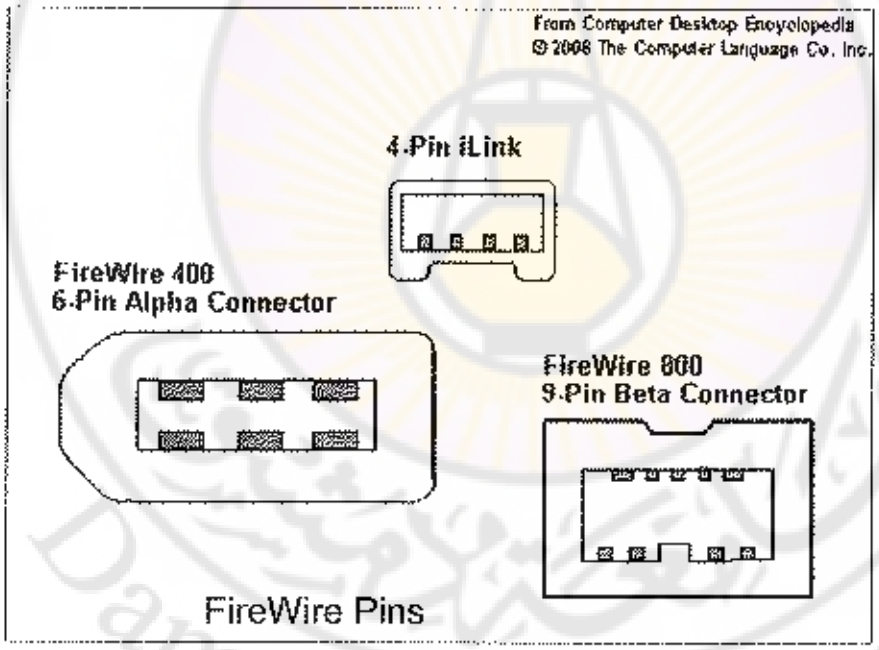
مسرى الـ FireWire800

أنتج هذا المسرى عام 2002 (1394b) وله معـدل نقـل يـصل حتـى 800Mbit/s (معدل النقل الفعلي 786.432Mbit/s) , وهو مـسرى ثنـائي

الاتجاه Full Duplex , ويستخدم ترميز النمط Beta . وهو متوافق مع الإصدارات السابقة البطيئة ومع موصّلات Alpha ذات 6 دارات .إن النمط FireWire800 يدعى موصل Beta , ويختلف عن موصل Alpha مما يجعله غير متوافق ،ويسمح الكبل ثنائي الاتجاه للتجهيزات القديمة بالاتصال بالمنافذ الجديدة .

لقد أنتجت شركة Apple عام 2003 أول منتج تجاري بالموصّل الجديد .

أن المعيار 1394b يدعم معدل نقل للمعطيات تصل حتى 3200Mbit/s (400MByte/s) بنمط Beta أو بموصّلات بصرية يصل طولها إلى 100m, ويبين الشكل (٣-٣٤) موصّلات الـ FireWire400 و FireWire800 .



الشكل (٣-٣٤)- موصّلات الـ FireWire400 و FireWire800

إن المعيارين 1394 و 1394a يستعملان الترميز D/S (data/strobe) بدلاً من النمط Alpha , بينما المعيار 1394b يستعمل ترميز 8B/10B للمعطيات بدلاً من النمط Beta .

● مسرى الـ FireWire1600 و FireWire3200

إن منتجات الـ FireWire الجديدة ستكون متوافرة قبل نهاية عام 2008 بنموذج S1600 وبمعدل نقل للمعطيات يصل إلى 1.6Gbit/s , والمسرى S3200 ذو معدل نقل 3.2Gbit/s . وتستعمل تجهيزات الـ 1.6Gbit/s و 3.2Gbit/s نفس موصلات Beta ذات 9 دارات , وتكون متوافقة بالكامل مع المسرى FireWire400 و FireWire800 وتتنافس مع المسرى USB3.0 .

ويتوقع مستقبلاً إنتاج FireWire تصل سرعته إلى 6.4Gbit/s وموصلات إضافية مثل واجهات الترابط المتعددة الصغيرة small multimedia interface .

٣-٧-٤-٣- المقارنة بين المعيار USB والمعيار FireWire

إن مسرى الـ USB يكمل المسرى FireWire الذي هو مصمم كمسرى تسلسلي عالي السرعة . ويمكن أن يُربط فيه وحدات طرفية , مثل القرص الصلب وواجهات ترابط سمعية audio interfaces , وتجهيزات فيديوية . ويعمل الـ USB عادة بسرعة بطيئة من أجل معدل معطيات منخفض جداً , ويستعمل معدات hardware بسيطة , وهو مناسب للوحدات الطرفية الصغيرة مثل : لوحة المفاتيح , والفأرة . **أما الاختلافات التقنية المهمة بين FireWire و USB تتضمن ما يلي :**

- تستعمل شبكات الـ USB البنيـة النجميـة tiered-star topology ، بينما تستعمل شبكات FireWire البنية الشجرية tree topology .
- تستعمل المساري USB1.0 و USB1.1 و USB2.0 بروتوكول " speak-when-spoken-to " . لا تستطيع الوحدات الطرفية الاتصال مع المضيف ما لم يطلب المضيف المحدد الاتصال . أما الـ USB3.0 فيخطط للسماح لاتصالات المبادر – التجهيزة باتجاه المضيف . يمكن أن تتصل تجهيزة FireWire بأي عقدة أخرى في أي وقت خاضعة لشروط الشبكة .
- تعتمد شبكة الـ USB على مضيف واحد في قمة الشجرة للتحكم بالشبكة , أما في شبكة FireWire أي عقدة قادرة على التحكم بالشبكة .
- يعمل الـ USB بجهد تغذية 5V , بينما يعمل الـ FireWire على جهد أكبر من 30V .
- منافذ الـ USB يمكن أن تزود تيار بحدود 500mA (2.5W من الطاقة) , بينما الـ FireWire يمكن أن يزود نظرياً بأكثر من 60W من الطاقة .

تعكس هذه الاختلافات وغيرها أهداف التصميم المختلفة بين المسريين : حيث صمم المسرى USB من أجل البساطة والكلفة المنخفضة . بينما صمم الممرى FireWire من أجل الأداء العالي , خصوصاً في التطبيقات الزمنية الحساسة مثل التسجيل الصوتي والفيديوي . وعلى الرغم من أن معدلات النقل القصوى النظرية متماثلة إلا أن الـ FireWire له أداء أفضل من USB2.0 , حيث لديه سرعة عالية في الاستعمال الحقيقي , خصوصاً في الاستعمال ذي عرض المجال العالي مثل الأقراص الصلبة الخارجية .

والممرى FireWire800 أسرع بمرتين من الـــ FireWire400 ومـــن ممرى الـــ USB2.0. وتُستعمل مجموعة الرقائق والمشغلات drivers لانجاز وتطبيق الـــ USB و FireWire , ولها تأثير حاسم علـــى عـــرض المجـــال المحدد في المجال الحقيقي المتوافق مع الوحدات الطرفيـــة .وتتـــأثر الوحـــدات الطرفية السمعية بشكل خاص بتطبيق مشغل الـــ USB.

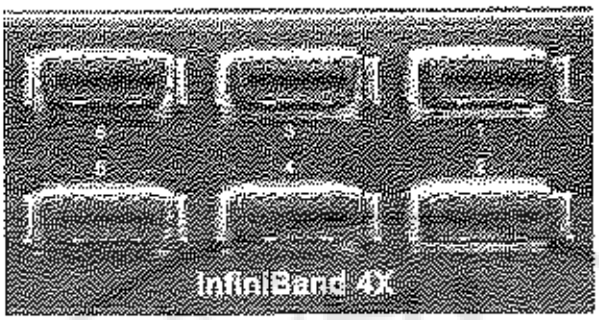
٣-٧-٥- المعيار InfiniBand

المعيار InfiniBand هو مبدل اتصالات ليفية تُستعمل من أجـــل الحوســـبة عالية الأداء .ويهدف هذا المعيار لتحقيق مواصفات الدخل/الخرج I/O لمخدمات النهاية العالية. ويحقق اندماج مـــستقبلي للـــدخل/الخـــرج I/O (Cisco, HP, Compaq, IBM) والجيل التالي للدخل/الخرج I/O (Intel).

لقد تم إنتاج الإصدار 1 عام 2001 . وهذا البنيان والمواصفات هـــو لتـــدفق المعطيات بين المعالج وتجهيزات الـــدخل/الخـــرج I/O الذكيـــة Intelligent. والهدف من هذا المعيار هو استبدال الـــ PCI في المخدمات . **ومـــن ميزاتـــه** السعة المتزايدة والتوسعية expandability والمرونـــة flexibility. والخدمـــة العالية وهو مصمم لكي يكون ذا قدرة كبيرة متصاعدة .

٧-٥-١- بنيان المعيار InfiniBand

يعرف محددات هذا البنيان الاتصال بين عقد المعالج وعقد الـــدخل/الخـــرج عالي الأداء , مثل تجهيزات التخزين .ويشكل المعيار InfiniBand مجموعـــة فائقة من بنيان واجهات الترابط الافتراضية .ويبين الشكل (٣-٣٥) مجموعـــة من مبدلات المعيار InfiniBand .



الشكل (٣-٣٥) -- مجموعة من مبدلات المعيار InfiniBand

مواصفات بنيان هذا المعيار :

أ- التخزين البعيد وربط الشبكات والاتصال بين المخدمات .

ب- ربط المخدمات والتخزين البعيد وتجهيزات الشبكة إلى البنية الرئيسية للمبدلات والوصلات Links.

ت-تمركز المعطيات الكبيرة للعقد المستقلة المضافة بالشكل المطلوب .

ث--ويبين الشكل (٣٦) بنية مبدل المعيار(InfiniBand Switch Fabric).

ج- مسافة الدخل/الخرج I/O من المخدم السابق تصل إلى :

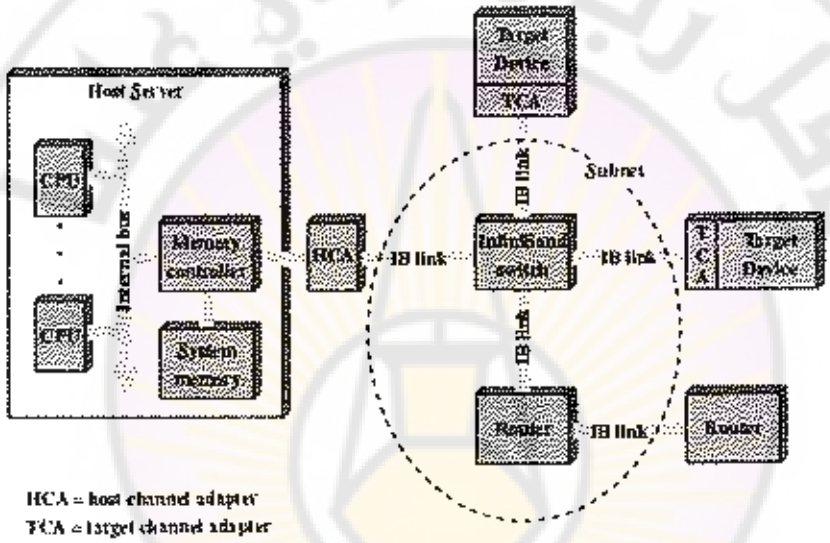
- 17m باستعمال كبلات من النحاس .
- 300m ألياف ضوئية .
- 10 Km ليف ضوئي نمط وحيد (مفرد) .

ح- السعة أكثر من 30 Gbps .

وصلة قناة الليف الضوئي Fibre Channel وPCI Express و SerialATA وكثير من بنى الروابط البينية الحديثة و يعرض المعيار InfiniBand وصلات تسلسلية ثنائية الاتجاه نقطة لنقطة من أجل اتصال المعالجات بالوحدات الطرفية عالية السرعة , مثل الأقراص الصلبة . وهذا يدعم إشارات متعددة كما هي الحال مع PCI Express . ويمكن أن تكون هذه

الوصلات من أجل عرض المجال الإضافي .ويبين الجدول(٣-٥) الطاقة الإنتاجية النظرية الفعالة في الأشكال المختلفة .

إن معدل إشارات الاتصال التسلسلية هو 2.5Gbit/s في كل اتجاه لكل وصلة ز ويدعم المعيار InfiniBand سرعة المعطيات لـ DDR من أجل 5Gbit/s وأيضاً الـ QDR من أجل 10Gbit/s , من أجل نفس تردد الساعة للمعطيات .



الشكل (٣-٣٦) - بنية مبدل المعيار InfiniBand

Effective theoretical throughput in different configurations			
	Single (SDR)	Double (DDR)	Quad (QDR)
1X	2 Gbit/s	4 Gbit/s	8 Gbit/s
4X	8 Gbit/s	16 Gbit/s	32 Gbit/s
12X	24 Gbit/s	48 Gbit/s	96 Gbit/s

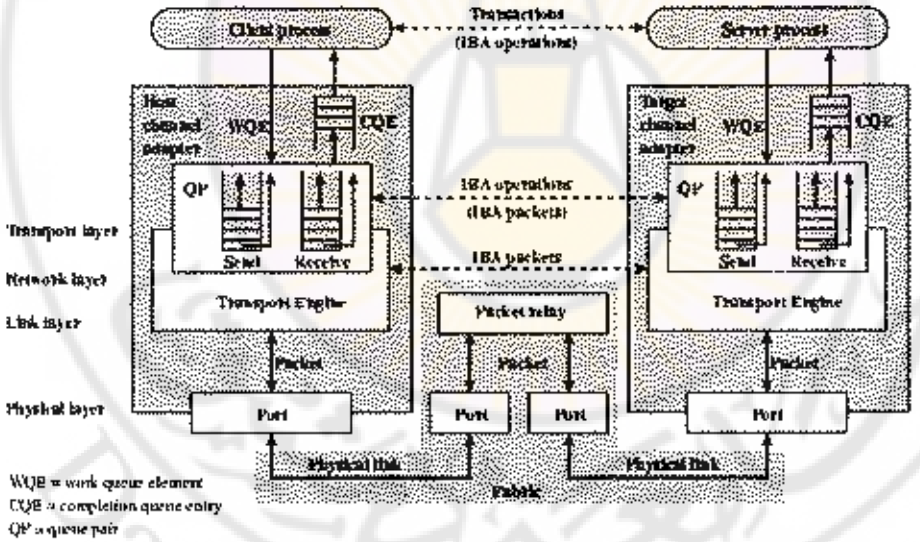
الجدول (٣-٥) - الطاقة الإنتاجية النظرية الفعالة في الأشكال المختلفة

٣-٧-٥-٢- عمل المعيار InfiniBand

مبدأ عمل هذا المعيار هو كما يلي :

- يوجد قناة منطقية (طرق افتراضية) لكل وصلة فيزيائية .
- يوجد طريق واحد لإدارة واستقرار المعطيات .
- تتدفق المعطيات بشكل رزم (packets) .
- يتم تكريس طريق افتراضي بشكل مؤقت للانتهاء وإنهاء النقل.
- يرسم المبدل حركة المرور للطريق من لحظة القدوم إلى لحظة الخروج .

ويبين الشكل (٣-٣٧) مكدس برتوكول InfiniBand .



الشكل (٣-٣٧) - مكدس برتوكول InfiniBand

٣-٨- واجهة ترابط الأقراص الصلبة

The Hard Disk's Interface

تُستخدم واجهة الترابط ATA مع الأقراص الصلبة كما هو مبين بالشكل(٣-٣٨) . إن متحكمات ATA تدمج ضمن الشرائح الأساسية للجسر الجنوبي . وتستخدم تجهيزات الترابط ATA سيد المسرى لمبادلة المعطيات مباشرة مع الذاكرة الرئيسية . ووظيفة واجهة الترابط (Interface) هي نقل المعطيات بين قطاعات القرص الصلب ومسرى الدخل/الخرج بأكبر سرعة ممكنة . **وتتكون واجهة الترابط من :**

- المتحكم الذي يتحكم بعمل القرص الصلب
- المتحكم الذي يربط القرص الصلب باللوحة الأم
- الكبل المستخدم بين المتحكمين

سابقا كان يُستخدم واجهات مثل ST-506 و ESDI . تعتمد واجهة ترابط ATA (AT Attachment) المعيار IDE (Integrated Drive Electronics) .

٣-٨-١- معيار IDE المحسن (Enhanced)

لم يكن معيار IDE سريع بشكل خاص . لا يمكن أن يستعمل مع قرص صلب أكبر من 528MB لذلك تم إصدار المعيار الـ ATA في منتصف التسعينات من القرن الماضي 1990's , واستمر استخدامه بسبب كونه رخيص وذو مواصفات عالية ومصنوع بكميات كبيرة . وتُعتبر واجهة الترابط ATA النسخة المحسنة للمعيار IDE حيث نقلت واجهة الترابط من مسرى الـ ISA

إلى المسرى عالي السرعة PCI . و يستخدم الـ ATA مع عدد من التجهيزات المختلفة الأكثر شيوعا ومنها :

Hard Disk , CD-ROM/DVD drives and burners.

Other driver (such as the diskette formats Zip and LS-120 , etc)

طورت واجهة الترابط ATA كمنتج رخيص , ويؤمن واجهة ترابط جيدة ومصممة للتعامل مع أنواع مختلفة من التجهيزات .

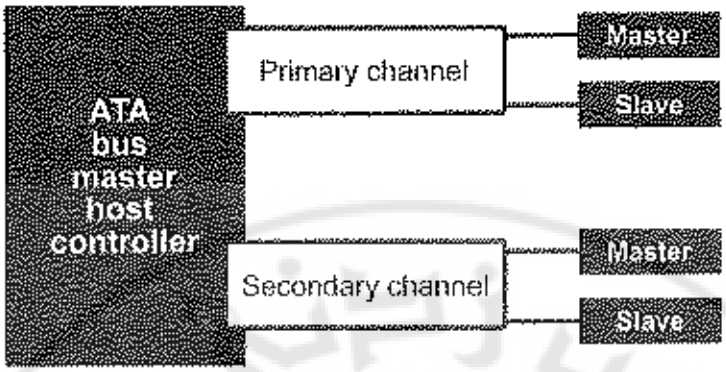
٣-٨-٢- المتحكم المضيف والبرتوكولات

Host controller with two channel & protocols

يمكن اعتبار واجهة الترابط ATA كمسرى يتم التحكم به من قبل المتحكم المضيف (Host Controller). ويمكن ربط أربع تجهيزات إلى متحكم مضيف واحد . وتربط التجهيزات مباشرة إلى اللوحة الأم .

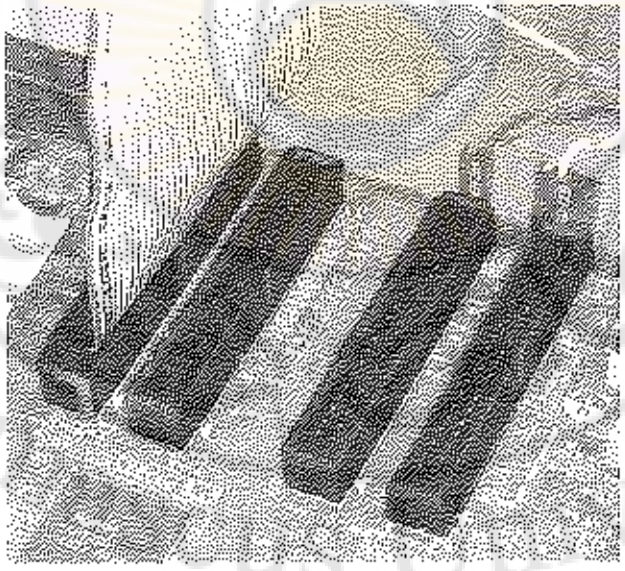
باعتبار واجهات الترابط ATA عبارة عن قناتين ، يمكن لكل قناة أن تربط إلى تجهيزتين , وتدعيان بالقناة الأساسية والقناة الثانوية . وإذا تم ربط تجهيزتين إلى قناة واحدة يجب تشكيل التجهيزتين كتجهيزة سيد Master والثانية تابع Slave . ويبين الشكل (٣-٣٥) واجهة ترابط ATA بأربعة أقنية .

إن القنوات الأربع هي معيار , وتوجد حالياً على اللوحة الأم , وتستخدم واجهة الترابط ATA التفرعي . نموذجيا تحوي اللوحة الأم موصلان لكبلي ATA ويمكن لكل موصل أن يربط إليه تجهيزتين كتجهيزة سيد وتجهيزة تابع . وتتوضع موصلات واجهة الترابط ATA على اللوحة الأم في موقع سهل



الشكل (٣-٣٨) – واجهة ترابط ATA بأربعة أقنية

الوصول إليه، ولها شكل مستطيل مذكر ، وتُستخدم لوصل الكابلات الشريطية التي تناسب سواقات الأقراص الصلبة والمدمجة CD-ROM /DVD. ويبين الشكل (٣-٣٩) واجهة ترابط لأربعة موصلات ATA وكل واحدة تستطيع ربط تجهيزتين.



الشكل (٣-٣٩) – واجهة الترابط ATA ذات أربعة موصلات ATA

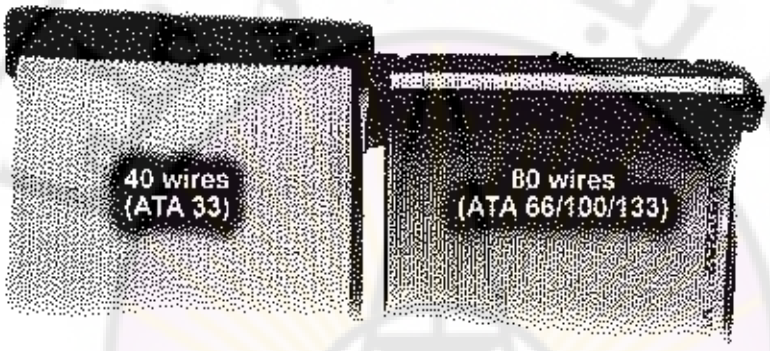
إن القنوات الأربع هي معيار . وتُوجد حالياً على اللوحة الأم وتستخدم واجهة الترابط ATA التفرعي . نموذجياً , تحوي اللوحة الأم موصلان لكبلي ATA , يمكن لكل موصل أن يربط إليه تجهيزتين كتجهيزة سيد وتجهيزة تابع . وتتوضع موصلات واجهة الترابط ATA على اللوحة الأم في موقع سهل الوصول.

ويُعتبر التحويل من ATA / 133 التفرعية إلى ATA التسلسلية أكثر عملياً. ونستخدم في هذه الحالة أنواع مختلفة من المتحكمات و كابلات جديدة . ويبين الجدول(٣-٦) البروتوكولات المختلفة المستخدمة مع سرعات النقل .إن سرعات النقل المبينة في الجدول(٣-٦) هي بالنسبة لواجهة الترابط . إن بعض الأقراص الصلبة تستطيع تسليم أكثر من 80MB/sec , ولكن الأفضل هو استخدام الواجهات الأسرع قدر الإمكان ،فالواجهات السريعة للأقراص تحسن من أداء القرص. وإذا كان هناك قرصان صلبان يستخدمان المتحكم نفسه ، أو إذا كان القرص يملك ذاكرة كاش كبيرة فإنه يتطلب عرض مسرى ذي مجال كبير لفترة قصيرة .

Protocol	Max theoretical transfer rate
PIO 3	13.3 MB/sec
PIO 4	16.6 MB/sec
Ultra DMA(ATA/33)	33MB /sec
ATA / 66	66 MB/sec
ATA / 100	100 MB /sec
ATA / 133	133 MB /sec
SATA	150 MB /sec

الجدول(٣-٦) – البروتوكولات المختلفة المستخدمة مع سرعات النقل

إن المعيار ATA / 66 هو نوع جديد من كابلات الـ ATA التي سبقته . وتملك كابلات الأقراص الصلبة عادة 40 موصلاً ولكن الإصدار الجديد قد وسع إلى 80 موصلاً ، كما أن كل سلك يوازن بوصلة أرضي .وهذا يقلل الضجيج الالكتروني ويسمح بعرض مجال أكبر . ويبين الشكل(٣-٤٠) كابلات واجهة الترابط ATA .



الشكل (٣-٤٠) - كابلات واجهة الترابط ATA

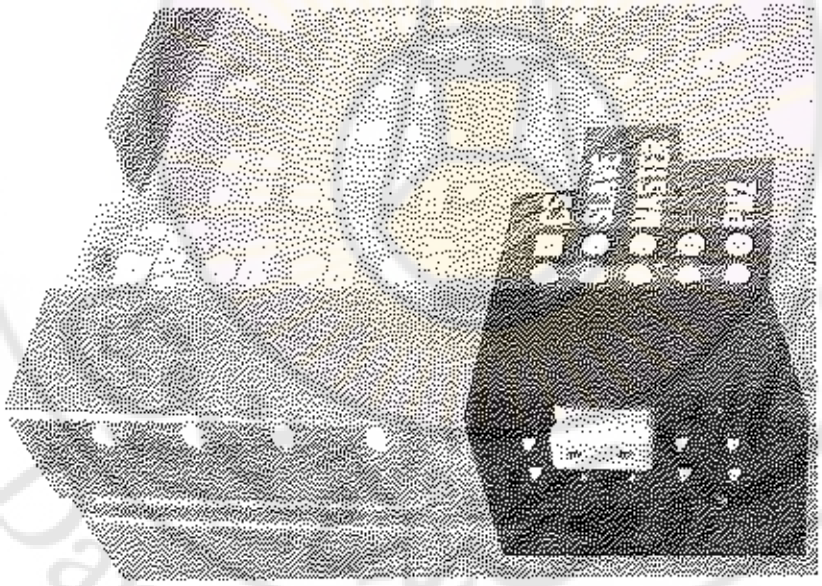
٣-٨-٣- إعداد واجهة الترابط ATA التفرعية

Parallel ATA setup

إذا طُلب تطوير حاسب شخصي باستخدام قرص صلب جديد أو سواقة DVD أو CD-ROM فيجب التعرف على تقيدات نظام ATA التفرعي، إن لوحة الأم الحديثة يمكنها بشكل تلقائي ملاحظة تجهيزات الـ ATA . هذا يعني أنه ببساطة يمكن تثبيت التجهيزة ثم إقلاع الحاسب حتى تعمل التجهيزة . ويمكن تتبع برنامج الإقلاع أثناء تثبيت السواقة كما في الشكل(٣-٤١) .

```
WAIT...
Auto-Detecting Pri Master...IDE Hard Disk
Auto-Detecting Pri Slave...IDE Hard Disk
Auto-Detecting Sec Master...ATAPI CDROM
Auto-Detecting Sec Slave...Not Detected
Pri Master: DAH017X0 Maxtor 4D060H3
            Ultra DMA Mode-4, S.M.A.R.T. ON
Pri Slave : DA620CQ0 Maxtor 53073U6
            Ultra DMA Mode-4, S.M.A.R.T. ON
Sec Master: Hewlett-Packard CD-Writer Plus 8100
```

الشكل (٣-٤١) – تتبع برنامج الإقلاع أثناء تثبيت السواقة



الشكل (٣-٤٢) – الموصلات من أجل تحديد فيما إذا كان سيد أو تابع

يكتشف المتحكم تلقائيا القنوات الأربعة للتجهيزات الموصولة من الأسطر الأربعة الأولى المبينة في الشكل السابق. ثم يقوم بتشكيل "mounts" (configure) القرصين الصلبين على القناة الأساسية ، وأخيرا النسخة الموجودة على القناة الثانوية . وكل تجهيزة ATA تملك منطقة صغيرة تحتوي موصلات " JUMPERS " تُستخدم لتحديد التجهيزة فيما إذا كانت سيد أو تابع , عندما يتم الإقلاع , كما هو مبين في الشكل(٣-٤٢) . وبالتالي يجب توصيل الموصلات وربط الكابلات بشكل صحيح .

٣-٨-٤- تعدد المهام وقيود البروتوكولات

إن المتحكم المضيف يملك قناتين تعملان بشكل منفصل عن بعضهما , ويمكننا القول إن كل قناة لها متحكماتها الخاصة . وهذا يعني أن القناتين يمكن أن تعملا بشكل متعدد المهام . فعلى سبيل المثال إذا كان لدينا قرص صلب على قناة يمكننا قراءة المعطيات من قرص واحد , وفي الوقت نفسه يكتب على القرص الصلب الآخر, باعتبار أن كل قرص يعمل بشكل مستقل عن الآخر. ولكن عند ربط قرصين صلبين إلى قناة الـ ATA نفسها فإن تعدد الوظائف في هذه الحالة غير ممكن , فإما أن يعمل السيد أو أن يعمل التابع , ولكن لن يعمل الاثنان في الوقت نفسه . ولكن من الأفضل تثبيت كل قرص على قناة منفصلة إذا كان المطلوب أن يعمل القرصان معاً .

ويمكن أن تملك كل من القناتين الأساسيتين (ATA الرئيسية والثانوية) بروتوكولها الخاص ولكن لا يمكن لقنوات السيد/التابع أن تعمل كذلك . وإذا تم تثبيت تجهيزتين تستخدمان بروتوكولين مختلفين على القناة نفسها , يمكن أن تعدد التجهيزة الأبطأ سرعة القناة كاملة . والحل الأمثل في هذه الحالة هو ربط

القرص الصلب كسيد على القناة الأساسية بدون توصيل سواقة الـ CD كتجهيزة تابع .

تظهر المشكلة عندما نريد ربط قرصين صلبين بالإضافة إلى سواقة الـ CD , وهذا غير ممكن بدون التنازل عن الدقة , القرصان الصلبان يجب أن يوضعا على القناة نفسها , بما أن سواقة الـ CD بشكل عام تعمل على بروتوكول أبطأ .ولكن هذا لا يسمح باستخدام أمثل للقرصين الصلبين . وبشكل مثالي يجب أن يربط كل منهما على قناة للاستفادة من خاصية تعدد المهام . لأن اللوحات الأم تملك متحكم "ATA RAID" المدمج ويمكن تثبيت ثمان تجهيزات ATA على نفس الحاسوب الشخصي نفسه مع لوحات الأم هذه .

ويبين الجدول (٣-٧) أن جميع الأقنية الأربعة لـ ATA مستخدمة .

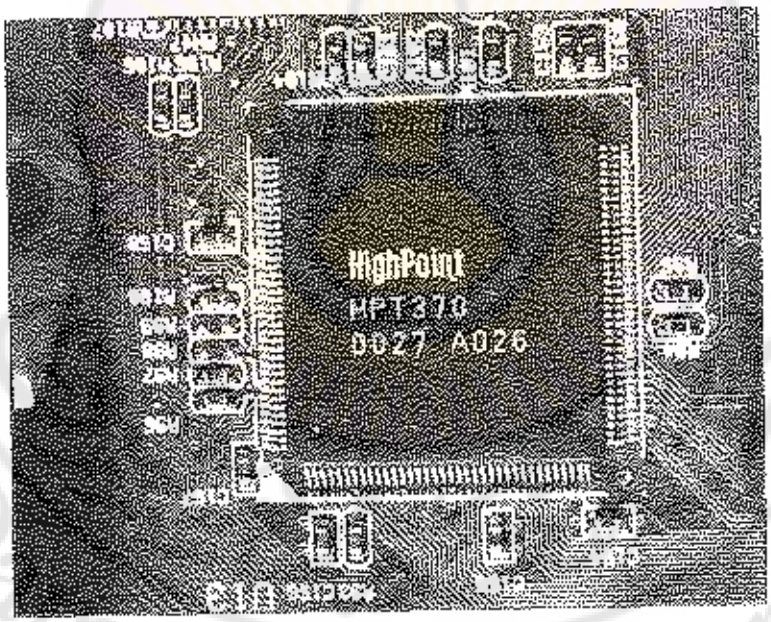
ATA connection	Device
Primary, master	Hard disk 1
Primary, slave	Hard disk 2
Secondary, master	CD ROM burner
Secondary, slave	DVD drive

الجدول (٣-٧) - جميع الأقنية الأربعة لـ ATA مستخدمة

٣-٨-٥- نظام ATA RAID-10

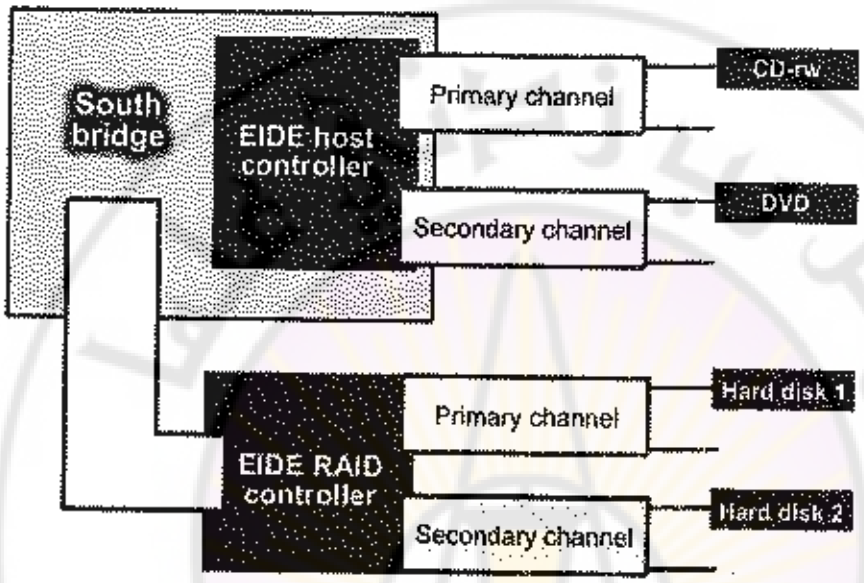
يمكن أن تتحول واجهة ترابط الـــ ATA بـسرعة إلـى حالـة اختنـاق Bottleneck. ولذلك لابد من استخدام اللوحة الأم مع مـتحكم RAID مـدمج إضافي ،ويضاعف عدد الأجهزة الممكنة . وهنالك العديد من اللوحات الأم تملك معيار أجهزة الـ ATA في الجسر الجنوبي والمتحكم الإضافي (From High Point or Promise) وهذا يؤمن مقداراً كبيراً من المرونة .

وكثر ذكر قيود ATA في السنوات الأخيرة , لذلك فإن العديد من اللوحـات الأم الحالية يمكن أن تُشترى مع المتحكم RAID المدمج داخلهـا وهـو الحـل الأسهل . ويبين الشكل (٣-٤٣) اللوحة الأم مع متحكم RAID .



الشكل (٣-٤٣) – اللوحة الأم مع متحكم ATA- RAID في الدارة المتكاملة

أما الشكل (٣-٤٤) فيبين أربع تجهيزات ATA كل واحدة تعمل على قناة وهو الحل الأمثل .

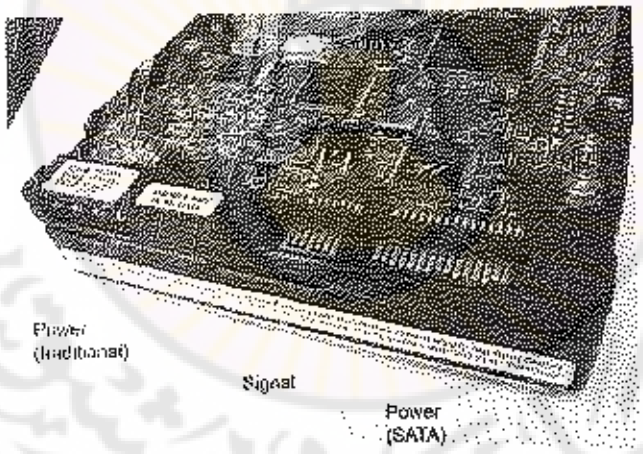


الشكل (٣-٤٤) – أربعة تجهيزات ATA كل واحدة تعمل على قناة

٣-٨-٦- واجهة الترابط التسلسلية SATA (Serial ATA)

نظام ATA التفرعي(Parallel ATA) هو نظام فاشل وليس جيداً وغير مرن. إن الكبل الشريطي الكبير في النظام التفرعي يأخذ حجماً كبيراً في صندوق الحاسوب ويخفض دورة الهواء داخله. وتكون هذه الكابلات ذات طول ثابت مما يجعل عملية تثبيت القرص الصلب صعبة . وعلاوة على ذلك ، فإن التعامل مع نظام PATA بقنوات سيد/تابع صعب وذو عرض مجال محدود.

لقد سمي الإصدار الناجح لنظام ATA بالنظام ATA التسلسلي(SATA Serial ATA) . ويستخدم هذا النظام واجهة ترابط ذات كبل صغير بسبعة أسلاك فقط , بدلاً من الكبل العريض ذي 40 أو 80 سلكاً المستخدم في واجهة الترابط للنظام PATA(Parallel ATA). والنظام SATA عبارة عن واجهة ترابط تسلسلية عالية السرعة من عائلة , Firewire , USB , Ethernet AMD'S Hyper Transport , وتستخدم هذه الواجهات تكنولوجيا تسلسلية , وتملك قناتين , واحدة تستقبل المعطيات , والثانية ترسلها . وهذا يمكن تحقيقه بكابلات بسيطة . وتتطلب معطيات الاتصالات 0,25V فقط بدلا من 5V المستخدمة في نظام PATA . ويبين الشكل(٣-٤٥) التوصيلات في القرص الصلب للنظام SATA .



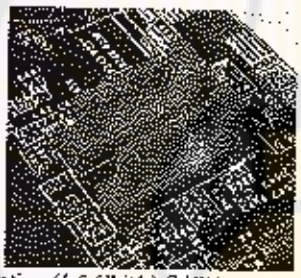
الشكل(٣-٤٥)- التوصيلات في القرص الصلب للنظام SATA

ويمتلك نظام PATA حجما قدره 128 GB من الأقراص الصلبة , وهذا التقسيم أدى إلى مشاكل مع 160 GB الأولى من الأقراص الصلبة . ويعمل

النظام التفرعي PATA مع فقط 24 Bit لعنونة الأقراص . ويستطيع هذا النظام عنونة 2^{28} من القطاعات , لأن كل قطاع على القرص الصلب يحوي 512 Bytes من المعطيات , فيكون لدينا :

$$2^{28} \times 512 = 128GB$$

ويذبغي على نظام التشغيل , من أجل استخدام أقراص صلبة أكبر حجماً , عنونة القطاعات مباشرة باستخدام النظام Serial ATA . ولا يوجد في هذا النظام مشاكل مع الأقراص الصلبة كبيرة الحجم .ويبين الجدول (٣-٨) مواصفات النظام SATA .



First-generation (1.5 Gbit/s) SATA ports on a motherboard

Year created:	2003
Supersedes:	Parallel ATA (PATA)
Capacity	1.5, 3.0, 6.0 Gbit/s
Style:	Serial
Hotplugging?	Yes
External?	Yes (eSATA)

الجدول (٣-٨) - مواصفات النظام SATA

٣-٨-٦-١- ميزات النظام Serial ATA

يتميز هذا النظام بعدد من الميزات هي :

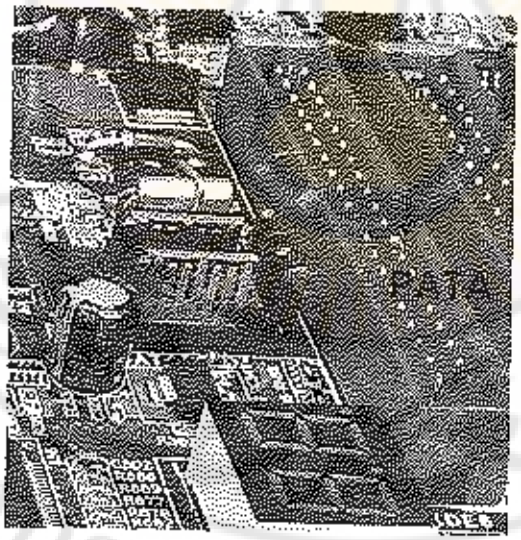
- معدل النقل حوالي 150MB/sec كحالة بدائية , ولكن فيما بعد ستصل إلى 300 and 600 MB/sec في الإصدارات الجديدة من SATA .
- ميزة الربط الساخن (Hot-Plugging) : حيث لا داعي لإغلاق الحاسوب من أجل تثبيت أو حذف أقراص SATA .
- ذكاء أكبر في المتحكم مثل متحكم SCSI .
- لا يوجد موصلات Jumpers من أجل السيد/التابع Master/Slave.
- يستخدم كبل بقطر 8 mm .
- هذا المنتج رخيص وسهل التنفيذ .

إن منطق التحكم في النظام التسلسلي Serial ATA (وأيضاً SCSI) هو أكثر تعقيداً من واجهة الترابط ATA . تستطيع واجهة الترابط Serial ATA معالجة عدة أوامر باللحظة نفسها وتعيد ترتيبها بفعالية أفضل . ويبين الشكل (٣-٤٦) كبل واجهة الترابط Serial ATA.

الشكل (٣-٤٦) - كبل واجهة الترابط Serial ATA

تحوي بعض لوحات الأم المتاحة في عام 2004 متحكمات SATA معتمدة على الجسر (متحكم جسري). هذا المتحكم عبارة عن مبدل Converter عادةً , يقوم بإعطاء المتحكم PATA ذي الإصدار القديم وظيفة SATA . وتأخذ اللوحات الأم كلاً من أقراص ATA التسلسلية وأقراص ATA التفرعية ,وهذه الميزة جيدة عندما يكون لدينا أقراص صلبة قديمة , ونريد تشغيلها على لوحة أم جديدة .

وهذا المتحكم الجسري المتوافق مع PATA لا يعطي مجالاً ترددياً واسعاً ,لذلك نحن بحاجة إلى جيل جديد من اللوحات الأم من دون توافقية مع أقراص PATA ,ويبين الشكل (٣-٤٧) لوحة أم تدعم واجهتي الترابط PATA و SATA ,ويبين الشكل أن موصلات SATA صغيرة أما موصلات PATA الكبيرة .



الشكل (٣-٤٧) – لوحة أم تدعم واجهتي الترابط PATA و SATA

٣-٨-٦-٢- واجهة الترابط SATA الخارجية (eSATA)

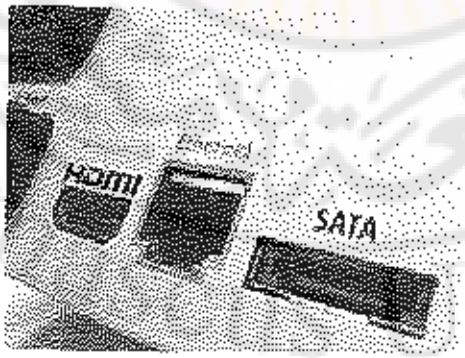
eSATA هي واجهة ترابط خارجية معيارية , تم إصدارها عام 2004 , وهي تزود واجهات ترابط SATA المختلفة من أجل الترابط الخارجي . لها متطلبات كهربائية وكابلات وموصلات متباينة كما يلي :

- جهد نقل أصغري متزايد : المعدل هو 500 – 600 mV , بدلاً من 400 – 600mV
- جهد استقبال أصغري متناقص : المعدل هو 240 – 600 mV , بدلاً من 325 – 600mV
- البروتوكول والإشارة المنطقية (وصلة / طبقات الإرسال وغيرها) تسمح لتجهيزات SATA المحلية لكي تُنشر في المرفقات الخارجية بأقل تعديل ممكن
- طول الكبل كحد أقصى هو 2m بينما الـ USB و الـ FireWire يسمحان لمسافات أطول .
- الموصل الخارجي ليس له شكل المفتاح " L " , وميزاته التوازن العمودي وإنقاص الحجم , وهذا يمنع استعمال الكابلات الداخلية المكشوفة في التطبيقات الخارجية , وكذلك بالعكس .
- لمنع ضرر ESD , زاد التصميم عمق الإدخال من 5mm إلى 6.6mm , وتصبح التلامسات أكبر في كلا المقبس والقرص .
- لتزويد حماية EMI واستقبال FCC ومتطلبات أشعة CE , فإن الكابلات تحتوي على طبقة إضافية من الحماية , والموصلات لها نقاط اتصال معدنية .
- طبقة الحماية للموصل لها نوابض كميزات احتفاظ بنيوية في السطوح العلوية والسفلية .

- للموصل الخارجي والكبل تصميم لأكثر من خمسة آلاف إدخال وإزالة ، بينما الموصل الداخلي محدد بخمسين فقط .

إن واجهات eSATA دخلت الأسواق كوحدات تخزين خارجية وخُدمت بواسطة واجهات الترابط USB و الـ FireWire .تستعمل معظم مشغلات الأقراص مع الـ USB و الـ FireWire مشغلات PATA أو SATA وجسور للنقل بين واجهات ترابط المشغلات والمنافذ الخارجية المرفقة ، وهذا الجسر يتحمل عدم الكفاءة .وتستطيع بعض الأقراص المفردة أن تنقل 131 MB/s أثناء الاستخدام الحقيقي . بينما يكون معدل النقل لـ USB 2.0 أو FireWire أكثر بمرتين . أما الـ FireWire800 فقد زاد من معدل النقل بأكثر من الضعف , بينما ازداد معدل النقل لـ FireWire3200 من 400Mbit/s حتى 3.2Gbit/s .

إن الـ USB 3.0 ذو معدل نقل يصل إلى 4.8Gbit/s وإن معدل النقل لمسرى الـ FireWire الحديث سيصل إلى 6.4Gbit/s وسيكون أسرع من الـ eSATA1 لكن إصدار eSATA الجديد كنسخة SATA III سيصل معدل النقل فيها إلى 6Gbit/s , وبذلك سيعمل باختلافات مهملة فيما بينهم . ويبين الشكل (٣-٤٨) منافذ HDMI و Ethernet و eSATA .



الشكل (٣-٤٨) منافذ HDMI و Ethernet و eSATA

٣-٩- بطاقة معطيات الشاشة

ذكرنا في فصل سابق أن المسرى AGP الذي يرتبط مباشرة مع المعالج والذاكرة الرئيسية RAM . منفذ عالي السرعة يستخدم لبطاقة الشاشة التي تمتلك طريقتها الخاصة في النفاذ إلى الذاكرة RAM . وقد طورته شركة إنتل Intel .

يتم الاتصال مع برامج الحاسوب من خلال الشاشة التي تظهر الرسم البياني للبرمجيات التي تخزن ويتم تفعيلها في الحاسوب .ولكن يجب تزويد الشاشة بالمعطيات الضرورية لإظهار الصورة . وتأتي هذه المعطيات من بطاقة الفيديو التي هي عبارة عن متحكم . يمكن أن تكون الشاشات من نوع CRT screen وتعمل باستخدام صمام الأشعة المهبطية . أو شاشات رقمية مسطحة Flat TFT screen . وبشكل عام يتم التحكم بالشاشة من قبل المعالج ، وهذا التحكم يتم باستخدام بطاقة الفيديو . ويتم بناء بطاقة الفيديو بطريقتين :

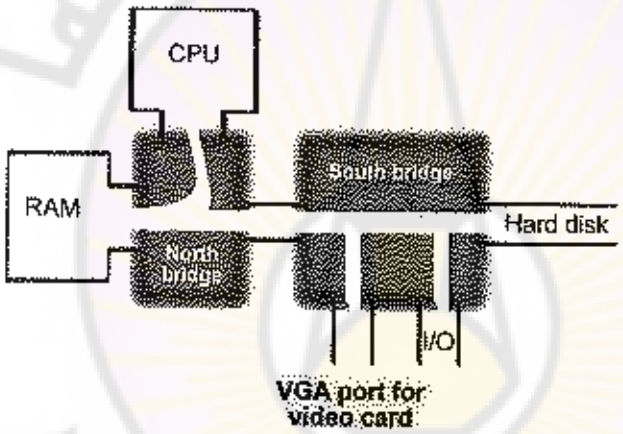
- كبطاقة مساعدة مستقلة عن اللوحة الأم (Plug-in card)
- كبطاقة مدمجة في شرائح على اللوحة الأم .

وأخيراً يمكن ربط بطاقة الفيديو إلى مسرى PCI وAGP أو مسرى PCI Express x16 .

٣-٩-١- عرض المجال الكبير (Big bandwidth)

يتم ربط بطاقة الفيديو كما لو أنها تجهيزة طرفية .وهذا يعني أن معلومات بطاقة الفيديو كانت تنقل المعلومات باستخدام مسرى تجهيزات الدخل/الخرج I/O نفسه الذي يقوم بنقل المعطيات من/إلى الأقراص الصلبة وبطاقة الشبكة ... الخ . وفي أواخر التسعينات ، وبتزايد الحاجة إلى المتطلبات

الرسومية بسبب انتشار العديد من الألعاب ثلاثية الأبعاد , والتي تتطلب كميات كبيرة من المعطيات , كانت بطاقات الفيديو تربط إلى مسرى PCI الذي يمتلك عرض مجال 133 MB/Sec . وهذا المسرى يهتم بأجهزة الأقراص الصلبة وأجهزة الدخل/الخرج الأخرى , التي تحتاج جميعها إلى عرض مجال كبير . وبالتالي أصبح مسرى PCI في حالة اختناق (عنق الزجاجة) , وحل هذه المشكلة هو بإزالة بطاقة الفيديو من على مسرى الدخل/الخرج I/O . ويبين الشكل (٣-٤٩) ممر المعطيات (Data bath) لبطاقة الفيديو قبل معيار AGP .



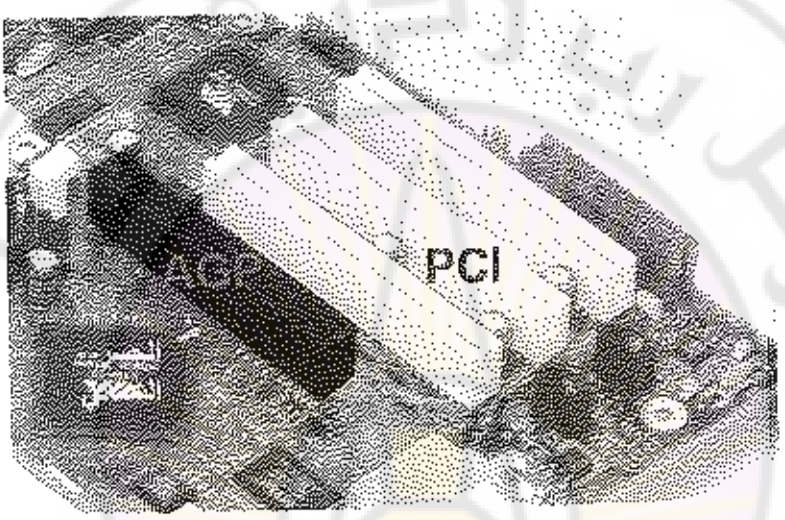
الشكل (٣-٤٩) - ممر المعطيات لبطاقة الفيديو قبل معيار AGP .

٣-٩-٢- المنافذ البيانية (الرسومية) السريعة AGP

Accelerated Graphics Ports

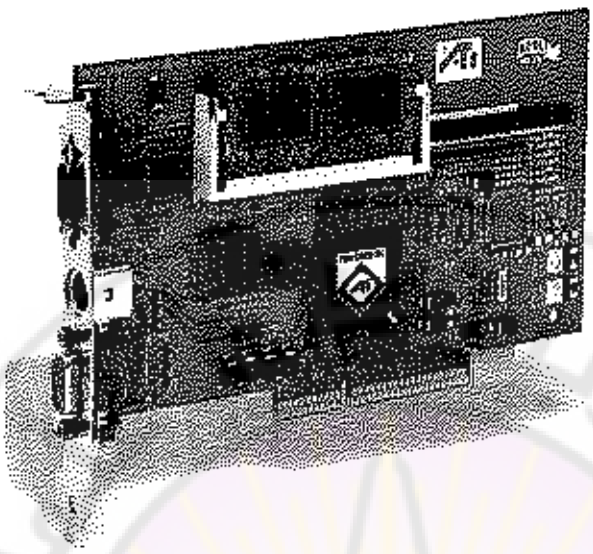
المنفذ AGP عبارة عن منفذ دخل/خرج I/O خاص ببطاقة الفيديو , حيث طور من قبل شركة إنتل Intel , يكون منفذ AGP موجوداً بالقرب من الجسر الشمالي للشريحة الأساسية.

وتم نقل المنفذ الخاص ببطاقة الفيديو من الجسر الجنوبي إلى الجسر الشمالي. وتُعدّ البنية الجديدة هو نفاذ أمثلي للذاكرة الرئيسية . وبذلك نحصل على عرض المجال الذي تتطلبه الألعاب ثلاثية الأبعاد . ويبين الشكل (٣-٥٠) فتحات منفذ AGP وفتحات لثلاثة منافذ للمسرى PCI على لوحة الأم .



الشكل (٣-٥٠)- فتحات منفذ AGP وفتحات لثلاثة منافذ للمسرى PCI على لوحة الأم

وفي الوقت نفسه يبقى نظام PCI بعيداً عن ازدحام الكميات الكبيرة من المعطيات للرسوم البيانية من/إلى بطاقة الفيديو . ويتم التركيز الآن على مهام النقل من/إلى بطاقة الشبكة والقرص الصلب . ويبين الشكل(٣-٥١) بطاقة فيديو AGP من شركة ATI .



الشكل (٣-٥١) - بطاقة فيديو AGP من شركة ATI

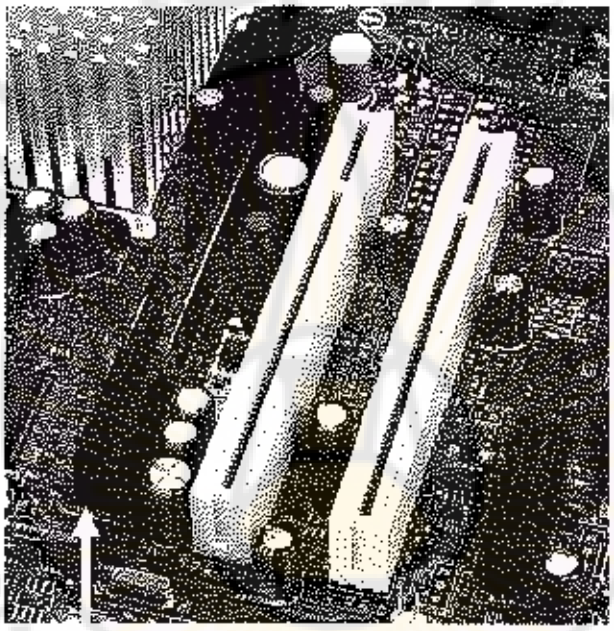
٣-٩-٣- التفاصيل التقنية Technical details

يتكون AGP من عناصر تقنية مختلفة متعددة وسوف نلقي الضوء على اثنين منها :

- تركيبة المسرى مبنية على أساس مسرى PCI ذي تردد ساعة مضاعف Double – Clocked PCI .
- القدرة على استعمال ذاكرة اللوحة الأم (Motherboard RAM) مثل ذاكرة الكاش Texture cache .

وتستخدم ذاكرة الكاش Texture cache كذاكرة وسيطة من قبل الألعاب ، وتحتاج للنفاذ إلى ذاكرة اللوحة الأم إلى ذاكرة أقل على بطاقات الفيديو. ويكون المسرى AGP بعرض 64 Bit على اختلاف مع المسرى PCI .

ونستطيع رؤيته على سطح اللوحة الأم أيضاً ، AGP slot looks a fair bit like a PCI slot . ولكنه يتوضع في موقع مختلف على اللوحة الأم لتجنب التشويش وتكون الفتحات (الشقوق) Slot على اللوحة الأم بلون مختلف (هنا اللون الأسود). ويبين الشكل (٣-٥٢) منفذ PCI Express X16-Slot باللون الأسود أما اللون الأبيض لمنافذ PCI على اللوحة الأم .



PCI Express X16 -Slot

الشكل (٣-٥٢) – منفذ PCI Express X16-Slot باللون الأسود على اللوحة الأم

وكان الإصدار الأول من المسرى AGP هو AGP1x بعرض مجال 254MB/sec ، ولكن سرعان ما استُبدل بإصدار آخر يدعى AGP2x بعرض مجال 508MB/sec . ووجدنا سابقا الإصدارين 4x و 8x اللذين يُعدّان

معياريين . مما يؤدي إلى مضاعفة تردد الساعة ،وكما هو الحال مع الذاكرة الديناميكية DDR RAM , بحيث يتم إرسال رزمتين أو أربع رزم من المعطيات في كل نبضة ساعة . وبهذه الطريقة يمكن الوصول إلى عرض مجال يساوي 2032MB/sec .ويبين الجدول (٣-٩) مقارن بين سرعات ومعدلات نقل المعطيات لعدد من المساري وطريقة الوصل .

Bus	Width (bits)	Clock rate (MHz)	Bandwidth (MB/s)	Style
ISA XT	8	4,77	8	Parallel
ISA AT	16	8,33	16	Parallel
MCA	32	10	20	Parallel
EISA	32	8,33	32	Parallel
VESA	32	40	160	Parallel
PCI	32 - 64	33 - 100	132 - 800	Parallel
AGP 1x	32	66	264	Parallel
AGP 2x	32	66	528	Parallel
AGP 4x	32	66	1000	Parallel
AGP 8x	32	66	2000	Parallel
PCIe x1	1	2500 / 5000	250 / 500	Serial
PCIe x4	1 × 4	2500 / 5000	1000 / 2000	Serial
PCIe x8	1 × 8	2500 / 5000	2000 / 4000	Serial
PCIe x16	1 × 16	2500 / 5000	4000 / 8000	Serial
PCIe x16 2.0	1 × 16	5000 / 10000	8000 / 16000	Serial

الجدول (٣-٩)- مقارنة بين السرعة ومعدل النقل لعدد من المساري

٣-٩-٤- ذاكرة الفيديو Video memory

تتراوح سعة الذاكرة لمعظم بطاقات الفيديو الحديثة من 128MB حتى 4GB . ويوجد عدد قليل من البطاقات لها سعة أكثر من 1GB . ومن الضروري أن يكون نفاذ بطاقة الفيديو عن طريق GPU ومجموعة دارات الإظهار . وغالباً ما تستخدم سرعات عالية خاصة , أو ذاكرة متعدد المنافذ , مثل VRAM و WRAM و SGRAM و . . . الخ . ومنذ عام 2003 أصبحت ذاكرة الفيديو تعتمد على تقنية الـ DDR . وبعد ذلك العام تم إنتاج عدد من الذواكر مثل DDR2 و DDR3 و GDDR4 وكذلك حتى GDDR5. وهي مستعملة بشكل خاص من قبل ATI Radcon HD 4870 .

إن معدل تردد الساعة الفعلي في البطاقات الحديثة بين 400GHz و 3.8GHz . ويبين الجدول (٣-١٠) تقنيات الذواكر DDR .

Type	Memory clock rate (MHz)	Bandwidth (GB/s)
DDR	166 - 950	1.2 - 30.4
DDR2	533 - 1000	8.5 - 16
GDDR3	700 - 2400	5.6 - 156.6
GDDR4	2000 - 3600	128 - 200
GDDR5	3400 - 5600	130 - 230

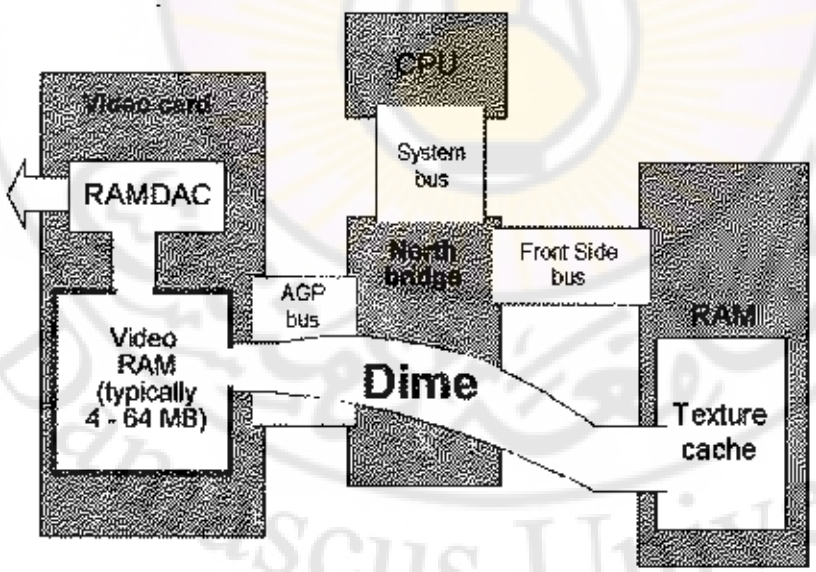
الجدول (٣-١٠) - تقنيات الذواكر DDR .

٣-٩-٥- كاش مخصصة لخلفية الصور والـ RAMDAC

التركيب المميز Textures عبارة عن أشياء مثل الخلفيات في الألعاب ، ويمكن عمل تحميل Uploaded بشكل مباشر من الذاكرة الرئيسية RAM إلى

بطاقة الفيديو . ويدعى هذا النظام بالنفاذ المباشر إلى الذاكرة DIME(Direct Memory Execute)، مما يسمح لذاكرة بطاقة الفيديو أن تتوسع باستخدام الذاكرة RAM القياسية على اللوحة الأم ، ويبين الشكل (٣-٥٣) كيف يوفر المسرى AGP النفاذ المباشر إلى الذاكرة RAM .

ويوجد في هذا الشكل جهاز RAMDAC (**Random Access Memory Digital to Analog Converter**) أيضا الذي هو عبارة عن شريحة(رقاقة) على بطاقة الفيديو ، التي تهتم بترجمة المعطيات الرقمية إلى إشارات تمثيلية(انظر الملحق A) ،عندما يتم وصل البطاقة إلى شاشة تمثيلية (Analogue Screen). وتُعدّ التجهيزة RAMDAC معالجاً صغرياً كاملاً, ذات تردد ساعة عالٍ , ومعدل إنعاش عالٍ مع بطاقة يمكن أن تجهز بصورة الشاشة (Screen Image) .



الشكل (٣-٥٣) – يوفر المسرى AGPالنفاذ المباشر إلى الذاكرة RAM

٣-٩-٦- وحدة المعالجة البيانية GPU

Graphics processing unit

إن لوحدة المعالجة البيانية GPU معالجاً خاصاً لتسريع المعالجة البيانية , وصُمم المعالج بشكلٍ خاص للقيام بالعمليات الحسابية ذات الفاصلة العشرية المعتمدة على أساس التمثيل ثلاثي الأبعاد 3D .إن الخواص الأساسية لوحدة الـ GPU هي تردد الساعة الأساسي , الذي يتراوح نموذجياً من 250MHz إلى 4GHz , وعدد خطوط التوارد التي تنقل الصورة ثلاثية الأبعاد الممثلة بسالقمم والخطوط إلى صورة ثنائية الأبعاد بنقط بكسلpixels على الشاشة .

٣-٩-٧- بطاقة الشاشة على مسرى PCI Express

Video card on PCI Express

مع ظهور مسرى الـ PCI Express تم الحصول على نظام جديد لبطاقة الفيديو , وتبديل المسرى AGP بمسرى PCI Express x16 يوفر إمكانية نقل للمعطيات بسرعة 8GB/sec , ويتيح المجال الواسع لأكثر الألعاب تركيزاً على الرسوم البيانية في الحاسوب الشخصي .

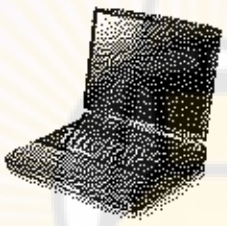
٣-٩-٨- نظام الدخل/الخرج I/O للحاسوب الشخصي

هناك الكثير من منافذ الدخل /خرج في بنية الحاسب الشخصي مع الأجهزة المخصصة لها والمعايير القياسية . ويمكن من خلال هذه المعايير والمنافذ إرسال و استقبال المعطيات من المعالج والذاكرة الرئيسية .

٣-٩-٩- نظام الدخل/الخرج يوفر المرونة

The I/O system provides flexibility

لقد أسهم استخدام أجهزة الدخل /خرج في جعل الحاسوب الشخصي آلة مرنة لا تصدق ، وذلك بتحقيق بطاقات الدخل/الخرج الخاصة . وتتضح المرونة في استخدام أجهزة الدخل/الخرجI/O أنه باستطاعة أي مهندس أو تقني تصميم بطاقة I/O خاصة لجهاز خاص بحيث تتناسب مع أحد المعايير القياسية وبذلك تكون إمكانيات توسع هذا الجهاز غير محدودة .



Damascus University

مسائل عامة

٣-١- لنفرض لدينا حاسوب يعمل على كلمات 32 – Bit قناتا ناخب Selector وقناة غير مخصصة multiplexed واحدة , تقبل كل قناة ناخب قرصين مغناطيسيين ووحدتي شرائط مغناطيسية . وتضم القناة غير مخصصة طابعتين سطريتين , وقارئي بطاقات , وعشرة طرفيات من الطراز VDT المرتبطة بها . ولنفرض معدلات النقل التالية :

- سواقة الأقراص 800 KB/S
- سواقة الشريط المغناطيسي 200 KB/S
- الطابعة السطرية 6.6 KB/S
- قارئ البطاقات 1.2 KB/S
- الطرفية 1 KB / S

أعط تقريراً لمعدل النقل الكلي على الدخل/الخرج في هذا النظام .

٣-٢- لنفرض أن المطلوب هو ترابط معالج ذي 16 Bit ومعالج ذي 32 Bit مع مسرى النظام . وتعطى التفاصيل التالية :

- لجميع المعالجات الصغرية السمات العتادية اللازمة لأي نوع من عمليات نقل المعطيات : الدخل/الخرج المبرمج , والدخل/ الخرج المقود بالمقاطعات , والنفاذ المباشر إلى الذاكرة
- لجميع المعالجات الصغرية مسرى عنونة ذو 16 – Bit.
- تُربط بطاقتا ذاكرة سعة كل منها 64 KB مع المسرى . ويرغب المصمم في استخدام ذاكرة مشتركة بأكبر سعة ممكنة .

- يتقبل مسرى النظام 4 خطوط مقاطعة كحد أدنى , وخط نفاذ مباشر إلى الذاكرة . يمكن فرض أي فرضية أخرى مناسبة , والمطلوب :

١. أعطِ توصيفاً لمسرى النظام بدلالة عدد الخطوط ونوعها .

٢. اشرح كيف تربط التجهيزات المذكورة سابقاً مع مسرى النظام .

الفصل الرابع

أجهزة الدخل/الخرج المحيطية

في المعالجات 80x86

وقل رب زدني علما
جامعة دمشق
Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

أجهزة الدخل/الخرج المحيطية

في المعالجات 80x86

٤ – ١ – مقدمة

تستطيع المعالجات 8086 الوصول إلى منافذ الدخل/الخرج بالإضافة إلى الذاكرة , وتستخدم هذه المنافذ إما لجلب المعطيات إلى المعالج من أجهزة خارجية مثل لوحة المفاتيح , أو لإرسال المعطيات من المعالج إلى أجهزة خارجية مثل الطابعة.

٤ – ٢ – تعليمات الدخل/الخرج في المعالج 8086

يمكن لجميع المعالجات 80x86 ابتداءً من المعالج 8086 حتى المعالج بنتيوم Pentium الوصول إلى أجهزة خارجية تدعى المنافذ Ports , وذلك باستخدام تعليمات الدخل/الخرج . وتُعتبر السلسلة 80x86 من المعالجات التي تتعامل مع المنافذ بالإضافة إلى تعاملها مع الذاكرة , ولكن الفرق هو أن المعالجات 80x86 تمرر الشيفرة والمعطيات إلى الذاكرة في حين تمرر المعطيات فقط إلى المنافذ .ويملك المعالج 8088/8086 التعليمة IN للإدخال والتعليمة OUT للإخراج , حيث يستخدمها المعالج لإرسال المعطيات من المراكم AL أو AX إلى المنافذ , أو لاستقبال المعطيات من المنافذ إلى المراكم. ويمكن استخدام معطيات بطول 8Bit أو 16Bit للوصول إلى المنافذ , وسوف نبحث استخدام مسرى معطيات المعالج 8086 بطول 8Bit لأنه الأكثر شيوعاً .

٤ – ٢ – ١ – منافذ معطيات بطول 8Bit

تستخدم جميع المعالجات اعتباراً من المعالج 8088 وحتى المعالج بينتيوم

منافذ دخل/خرج ذات طول 8Bit والتي تتصل مع أجهزة الدخل/الخرج عبر مسرى المعطيات D0-D7 . ويستخدم السجل AL في البرمجة باستخدام منفذ طوله 8Bit كمصدر Source للمعطيات في تعليمة OUT , في حين يستخدم كوجهة Destination في تعليمة IN . وهذا يعني الحاجة إلى المراكم AL كوسيط لإدخال أو لإخراج المعلومات من سجلات أخرى . وتملك تعليمات IN , OUT الصيغ المبينة في الجدول (٤-١) . ونجد في الصيغة (١) أن الرمز #Port هو عنوان المنفذ الذي يأخذ القيم من 00 – FFH , وبالتالي يمكن عنونة 256 منفذ دخل و 256 منفذ خرج وذلك بطول 8bit عبر الخطوط A0-A7.وهذه الصيغة تشبه عمليات الإدخال/الإخراج في المعالجين 8080/8085 .أما في الصيغة (٢) فإن الرمز #port هو عنوان المنفذ أيضاً, ولكنه يأخذ القيم من 0000 – FFFFH , وبالتالي يمكن عنونة 65536 منفذ دخل و 65536 منفذ خرج وذلك بطول 16 بت عبر الخطوط A15 - A0 . وبهذه الطريقة وسّعت شركة إنتل Intl عدد المنافذ المعنونة من 256 إلى 65535 مع الحفاظ على التوافقية مع المعالجات الأقدم مثل 8080/8085 .

	إدخال المعطيات	إخراج المعطيات
1	IN dest , source	OUT dest , source
	IN AL , port#	OUT port# , AL
2	MOV DX , port#	MOV DX , port#
	IN AL , DX	OUT DX , AL

الجدول (٤-١) – صيغ تعليمات الدخل/الخرج

إن استخدام السجل DX كمؤشر لعنوان المنفذ يعطي ميزة برمجية هامة , حيث يمكن عندها تغيير قيمة ذلك المنفذ بسهولة , وخصوصاً في المترجمات Compilers , حيث يمكن تحميل عنوان المنفذ في السجل DX .

٤-٢-٢- استخدام تعليمات الدخل/الخرج

تستخدم تعليمات الدخل/الخرج بشكل واسع في الحواسيب IBM والحواسيب المتوافقة معها لبرمجة الأجهزة المحيطية مثل , المؤقت والطابعة والقرص الصلب ولوحة المفاتيح , والتي تستخدم منفذ عناوين بطول 8Bit أو 16Bit .

لا يمكن استخدام أكثر من 8Bit في حالة العنونة الفورية للمنفذ . ويقوم البرنامج التالي بإرسال بايت واحد من المعطيات إلى عنوان المنفذ 43H .

مثال (١)

```
MOV   AL, 36H
OUT   43H, AL
```

وللحصول على عدد منافذ أكبر يمكن استخدام عنونة بطول 16Bit , حيث تستخدم طريقة العنونة غير المباشرة ويفترض المبرمج في هذه الحالة وضع عنوان بطول 16Bit ضمن السجل DX (لا يمكن استخدام أي سجل آخر) كما هو الحال بالنسبة للسجل AL من أجل 8Bit . يرسل البرنامج التالي القيمتين 55H و AA11 بالتناوب على عنوان المنفذ 300H (عنونة بطول 16Bit) .

مثال (٢)

```
BACK : MOV    DX , 300H
       MOV    AL , 55H
       OUT    DX , AL
```

```
MOV    AL , 0AAH
OUT    DX , AL
JMP    BACK
```

لإرسال قيمة السجل BL إلى المنفذ ذي العنـوان 378H نتبـع الخطـوات التالية :

```
MOV    DX , 378H   :    DX = 378 عنوان المنفذ
MOV    AL , BL     :    تحميل المعطيات في المراكم
OUT    DX , AL     :    إرسال قيمة AL عبر ذلك المنفذ
```

تستخدم التعليمة IN لجلب بايت من المعطيات من تجهيـزة خارجيـة إلـى المعالج وتستخدم تعليمة الدخل في السجل DX لمـسك عنـوان بطـول 16bit والسجل AL لمسك معطيات بطول 8bit .

مثال(٣)

```
MOV    DX , 300H
IN     AL , DX
MOV    DX , 302H
OUT    DX , AL
```

يستقبل هذا البرنامج معطيات من العنوان 300H ويرسلها إلى العنوان 302H . ويمثل العنوان الفيزيائي في عمليات الإدخال والإخراج بمقدار 8bit أو 16bit لتحديد عنوان المنفذ باستخدام السجل DX .

مثال (٤)

إذا كان عنوان الدخل في نظام بمعالج 8086 هو 22H , اكتب برنامجاً بلغة المعالج 8086 لعرض درجة الحرارة باستمرار , وتحميل السجل BH بالقيمة "Y" عند وصولها إلى درجة 100 .

الحل :

```
BACK :  IN    AL , 22H    : 22H قراءة درجة الحرارة من المنفذ
        COM   AL , 100H   : هل درجة الحرارة تساوي100
        JNZ   BACK        : لا , أعد القراءة
        MOV   BH , " Y "  : " Y " نعم , حمل السجلBH بالقيمة
```

٤-٢-٣- أزمنة المسرى I/O للمعالج 8088/8086

إن مفهوم أزمنة المسرى I/O مشابه تماماً لأزمنة الذاكرة مع بعض الاستثناءات ومنها :

١. يتم استخدام الإشارات IOR,IOW بدلاً من الإشارات MEMR , MEMW .

٢. يمثل العنوان الفيزيائي الذاكري بمقدار 20Bit (A0 – A19) , بينما يمثل العنوان الفيزيائي في عمليات الإدخال والإخراج بمقدار 8Bit (A0 – A15) لتحديد عنوان المنفذ باستخدام السجل DX .

٣. نحصل على العنوان الفيزيائي في العنونة الذاكرية بإزاحة سجل القطعة خانة واحدة بالنظام السداسي عشر نحو اليسار وجمعها مع الإزاحة , ولكن لا يستخدم سجل القطعة في عنونة منافذ الإدخال والإخراج I/O .

● **ملاحظة :**

لا يمكن استخدام تعليمتي إدخال أو إخـراج متتـاليتين فـي الأنظمـة ذات الترددات العالية (أعلى من 30MHz) . مثل :

```
MOV  AL , 55H
OUT  PORT_A , AL
OUT  PORT_B , AL
```

وفي هذه الحالة يلزم إضافة تأخير زمني بين هاتين العمليتين كما يلي :

```
      MOV  AL , 55H
      OUT  PORT_A , AL
      MOV  CX ,5H  :        إدخال تأخير زمني
HERE : LOOP HERE
      OUT  PORT_B , AL
```

مثال (٥)

بفرض أن AX = 76A9H . حلل التعليمات التالية باستخدام المعـالج 8086 في الحالتين :

أ – المعالج 8088

ب – المعالج 8086

```
MOV  DX , 64H ;  حمل عنوان المنفذ
OUT  DX , AX  ;  إرسال المراكم
```

الحل :

أ) **في المعالج 8088** , نجد من الفرض أن AH = 76H , AL = A9H يتم إخراجها عبر المنفذ 648H والمنفذ 649H على التتالي . ويحتاج المعالج 8088 إلى دورتين I/O لتنفيذ هذه المهمة .

في الدورة I/O الأولى :

- خلال الزمن (T1) يوضع العنوان 648H في النبضة الأولى على الأرجل AD0 – AD7 , وتُمسك العناوين A8 – A15 بمساعدة ALE .
- خلال الزمن (T2) توضع القيمة A9H (البايت السفلي) على الأرجل AD0 – AD7 بتفعيل $\overline{IOW}$.
- الزمن (T3) هو زمن الوصول .
- الزمن (T4) : يتم خلال هذه النبضة كتابة البايت السفلي إلى المنفذ (بفرض حالات الانتظار صفرية) .

في الدورة I/O الثانية :

- (T1) يوضع العنوان 649H على الأرجل AD0 – AD7 وتُمسك العناوين A8 – A15 بمساعدة ALE .
- خلال الزمن (T2) توضع القيمة 76H (البايت العلوي) على الأرجل AD0 – AD7 بتفعيل $\overline{IOW}$.
- (T3) هو زمن الوصول .
- الزمن (T4) : يتم خلال هذه النبضة كتابة البايت العلوي إلى المنفذ .

ب) **في المعالج 8086**

خلال الزمن T1: يوضع العنوان 648H على الأرجل AD0 – AD15

ويتم مسك العنوان A15 – A0 بمساعدة الإشارات " 0 "= BHE ، " 1 "= ALE . خلال الزمن T2: توضع القيمة 76A9H على الأرجل AD0 – AD15 (A9H على الأرجل AD7 – AD0 والقيمة 76H على الأرجل AD15 – AD8) بتفعيل $\overline{IOW}$.

T3: زمن الوصول .

T4: يتم خلال هذه النبضة كتابة الكلمة إلى المنفذين بمساعدة الإشارتين " 0"=BHE و "0"=ALE .

ولكن بما أن العنوان الأول زوجي 648H ، وهو بطول 16 Bit فلا يولد المعالج العنوان 0649H وهذا ناتج عن حقيقة كون العنوان 648H موصول إلى D7 - D0 من مسرى المعطيات وأن العنوان 0649H موصول إلى خطوط المعطيات D15 - D8 وإن التركيب $\overline{BHE}$ و A0 بمائل ربط الذاكرة مع 16 Bit .

٤-٣- تصميم منافذ الدخل/الخرج وتفكيك عناوينها

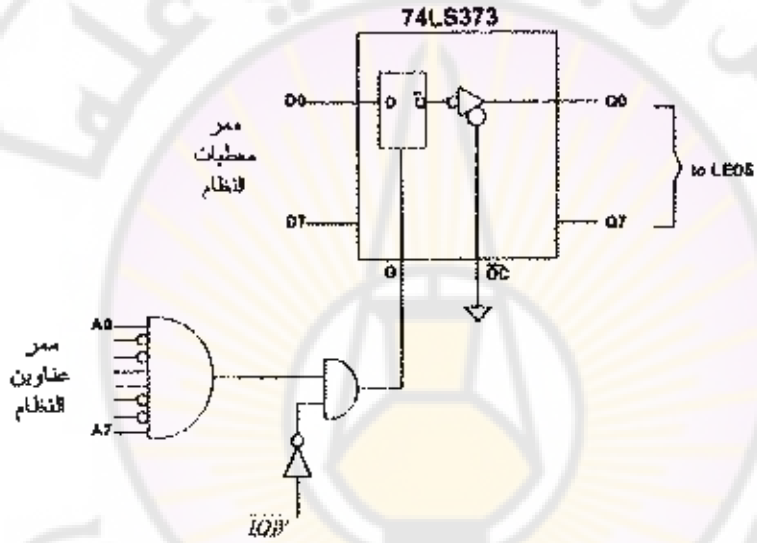
سنناقش في هذه الفقرة تصميماً مبسطاً لمنافذ الدخل/الخرج باستخدام دارات TTL المنطقية 74LS373 و 74LS244 ،وللتوضيح سيتم استخدام دارات منطقية بسيطة مثل ، البوابة AND والعاكس NOT لتفكيل الشيفرة . إن مفهوم تفكيك شيفرة عناوين الدخل/الخرج مشابه للمفهوم المتبع مع الذاكرة ، ونذكر منها :

١. تستخدم إشارات التحكم IOW , IOR في دارات فك التشفير .
٢. تفكيك شيفرة خطوط العناوين A7 – A0 لمنافذ بطول 8Bit .
٣. تفكيك شيفرة خطوط العناوين A15 – A0 لمنافذ بطول 16Bit .

٤-٣-١- تصميم منفذ الخرج باستخدام الدارة 74LS373

عندما يرسل المعالج المعطيات فإنه ينبغي مسكها من مسرى المعطيات بواسطة عنصر استقبال . ولذلك يجب تصميم دارة مسك المعطيات عند المنافذ، في حين لا تحتاج الذاكرة لمثل هذه الدارة لأنها تحتوي داخليا على تلك الدارة.

لكي تعمل الشريحة 74LS373 كدارة ماسك يجب وصل الرجل $\overline{CO}$ إلى الأرضي , وتحقيق جبهة هابطة من "1" إلى "0" على المدخل G للشريحة



الشكل (٤-١) – تصميم دارة لتنفيذ التعليمة "OUT 99H , AL"

ووصل خرج دارة مفكك شيفرة العنوان إلى بوابة AND مع إشارات التحكم $\overline{IO}$ و $\overline{IOW}$, وذلك لمسك المعطيات أو تركها في الحالة العائمة كما هو موضح في الشكل (٤-١) .

<u>مثال (١) :</u>

صمم دارة ماسك معطيات باستخدام الشريحة 74LS373 لتحقيق التعليمة :

OUT 99H , AL

بفرض AL = 2FH ، واشرح عملية المسك خلال الأدوار T1 - T4 لنظام معالج 8088 .

الحل:

يبين الشكل (٤-١) التصميم المطلوب لتحقيق التعليمة . نفرض الرجل $\overline{CO}$ لتأهيل الشريحة للعمل كماسك ونستخدم الرجل G لتأهيل الماسك . وبما أن $\overline{IOW}$ فعالة عند الصفر فإنها تعكس أولاً بواسطة NOT ومن ثم تدخل على بوابة معAND خرج مفكك العنوان لتفعيل الماسك. إن **خطوات تنفيذ التعليمة هي :**

- خلال الزمن T1 يوضع العنوان 99H على الأرجل AD0 – AD7 ويتم التفعيل ALE = 1 .
- خلال الزمن T2 توضع قيمة المسجل AL على الأرجل AD0 –AD7 بتفعيل $\overline{IOW}$.
- خلال الزمن T3 ترسل الإشارات إلى المنفذ المطلوب (زمن الوصول).
- خلال الزمن T4 يتم مسك القيمة AL = 2FH إلى خرج الشريحة وذلك عند انتقال الإشارة $\overline{IOW}$ من 0 إلى 1.

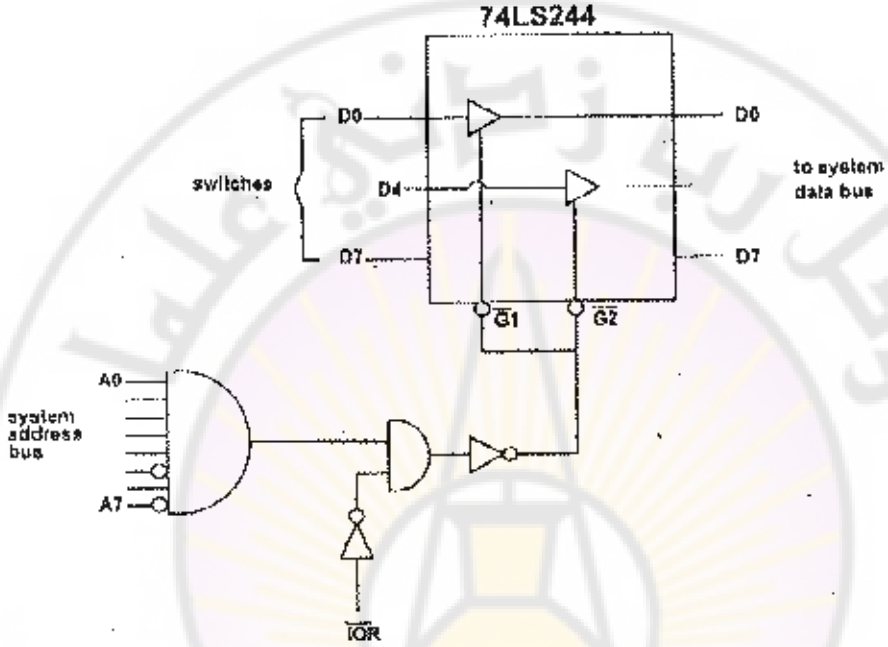
٤-٣-٢- تصميم منفذ الدخل باستخدام الدارة 74LS244

يستخدم دارة عزل(مخزن) ثلاثية الحالة Tri State Buffer للمعطيات في تصميم منافذ الدخل مثل الدارة 74LS244 ، والتي تستخدم لتمرير منفذ الدخل إلى مسرى المعطيات عند العنوان 5FH الناتج من تنفيذ التعليمة IN AL,5FH باعتبار أن مداخل الشريحة $\overline{G1}$, $\overline{G2}$ يتحكم كل منها بأربع 4Bit ويفعلان باستخدام بوابة. ويوصلان إلى خط تمكين واحد لإتاحة وصول المعطيات إلى مسرى النظام . ويبين الشكل (٤-٢) تصميم دارة لتنفيذ التعليمة

IN AL,5FH

مثال (١)

صمم دارة لتنفيذ التعليمة IN AL,9FH باستخدام شريحة مخزن العزل ثلاثية الحالة مثل 74LS244 .

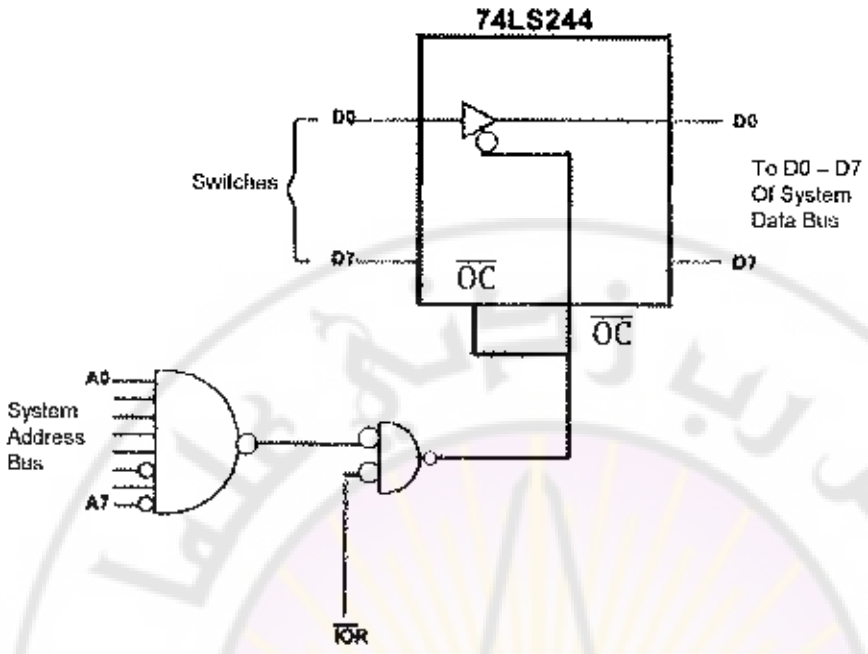


الشكل (٤-٢) – تصميم دارة لتنفيذ التعليمة IN AL,5FH

الحل :

تفكك شيفرة العنوان 9FH بواسطة البوابة AND والخط $\overline{IOR}$ لتفعيل $\overline{G1}$, $\overline{G2}$ من الدارة 74LS244 . ويجب عكسها بواسطة البوابة NOT لأن الأرجل $\overline{G1}$, $\overline{G2}$ فعالة عند "0" . ويبين الشكل (٤-٣) تصميم دارة لتنفيذ التعليمة IN AL,9FH

بعد التعرف على عمل المخزنات (العوازل) Buffer والماسكات في تصميم منافذ الدخل/الخرج نستنتج ما يلي :

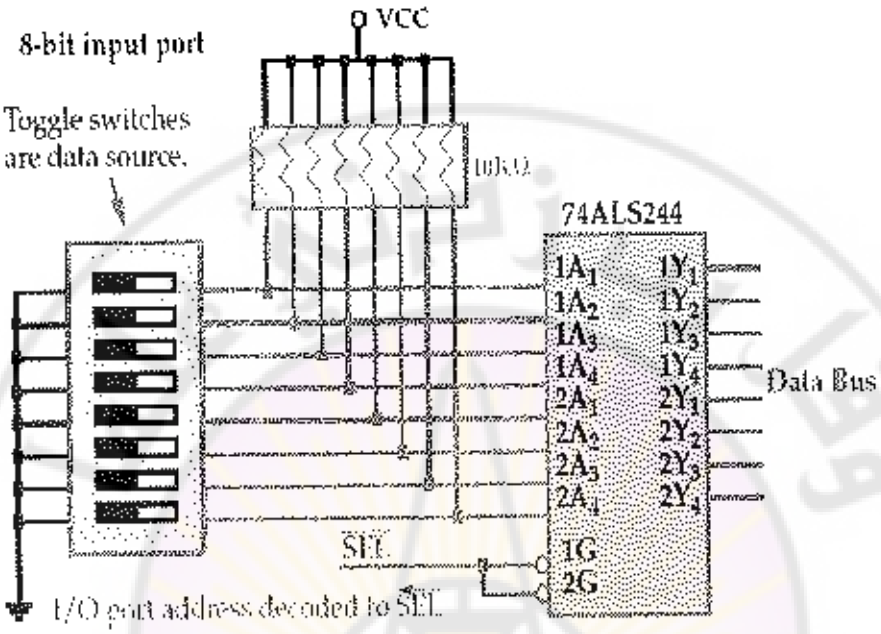


الشكل (٤ – ٣) - تصميم دارة لتنفيذ التعليمة IN AL,9FH

- ❖ يجب مسك المعطيات من مسرى معطيات النظام لأن المعالج يبقيها فترة محدودة على الخطوط لمدة (50 – 1000ns) .
- ❖ يجب عزل جميع أجهزة الدخل بواسطة مخزنات ثلاثية الحالة لمنع مسك المعطيات غير المرغوبة بالنسبة لمسرى المعطيات العام للنظام . وتقوم الشريحة 74LS244 بهذا العمل بالإضافة إلى دورها في تقوية الإشارة لتأهيل المعطيات من الوصول إلى المعالج عبر هذا المسرى .

يجب التأكد على ضرورة وجود المخزنات (العوازل) ثلاثية الحالة أو ماسكات عند وصل أي تجهيزة (ذاكرة , وحدات محيطية) على مسرى المعطيات العام , إلا أن بعض التجهيزات مثل الذاكرة تحتوي على هذه المخزنات والماسكات ضمن الشريحة , ولكن يجب في النهاية أن تكون موجودة

سواءً كانت داخل التجهيزة أو خارجها . ويبين الشكل (٤-٤) منفذ دخل 8Bit يستخدم الدارة 74LS244 .



الشكل (٤-٤) – منفذ دخل 8Bit يستخدم الدارة 74LS244

٤-٣-٣- الدخل/الخرج المخطط ذاكريا(الدخل/الخرج المعزول)

تنقل المعلومات من المعالج إلى الوحدات المحيطية وبالعكس باستخدام التعليمتين IN, OUT للإدخال والإخراج وتسمى هذه العملية بالدخل/الخرج المعزول(Isolated I/O) ، أو الدخل/الخرج المحيطي (Peripheral I/O).

لكن هناك بعض المعالجات لا تملك التعليمتين IN, OUT مثل معالجات RISC , لذلك تستخدم ما يسمى الدخل/الخرج المخطط ذاكرياً Memory Mapped I/O وفي هذه الحالة يحدد عنوان المنفذ بأحد مواقع الذاكرة. ونبين فيما يلي الاختلافات بين الدخل والخرج المحيطي والمخطط ذاكرياً , ونذكر منها :

١. في الدخل/الخرج المخطط ذاكريا ينبغي استخدام تعليمات الوصول إلى المواقع الذاكرية عوضاً عن تعليمات OUT, IN . فمثلاً , تستخدم التعليمة MOV AL,2000 للوصول إلى منفذ الدخل ذي العنوان الذاكري 2000 والتعليمة MOV 2010,AL للوصول إلى منفذ الخرج ذي العنوان الذاكري 2010 .

٢. تُستخدم خطوط العنونة العشرون A19 - A0 في تفكيك عناوين الدخل/الخرج المخطط ذاكرياً في حين تستخدم الخطوط A15 - A8 أو A7- A0 فقط في تفكيك عناوين الدخل/الخرج المحيطي (المعزول) وذلك للحصول على عنوان المنفذ وفقاً لطوله 8bit,16bit . بالإضافة إلى ذلك يجب إضافة قيمة سجل القطعة DS أولاً للوصول إلى المواقع في حالة الدخل/الخرج المخطط ذاكرياً , لأن خطوط العنوان العشرين 20Bit للذاكرة تتضمن سجل القطعة وسجل الإزاحة . **فعلى سبيل المثال :**

إذا كان العنوان الفيزيائي الذاكري 35000H يستخدم كمنفذ دخل , فإنه يمكننا القراءة منه على الشكل التالي :

```
MOV   AX , 3000H   ;        تحميل قيمة سجل القطعة
MOV   DS , AX      ;
MOV   AL , [5000]  ; 35000 قراءة قيمة بايت عنوان المنفذ
```

يحسب العنوان الفيزيائي 35000H كما في المواقع الذاكرية تماماً . ويُعتبر تصميم دارة تفكيك عناوين الدخل/الخرج المخطط ذاكرياً أكثر كلفةً لأنها تتعامل مع 20Bit .

٣. تستخدم الإشارات $\overline{MEMR}$, $\overline{MEMW}$ في دارات الدخل والخرج

المخطط ذاكريا كإشارات تحكم بينما تستخدم الإشارات $\overline{IOW}$, $\overline{IOR}$ مع الدخل/الخرج المحيطي.

٤. تعنون طريقة الدخل/الخرج المخطط ذاكرياً عدد منافذ يصل إلى 1048 (2^{20}) منفذاً بينما يمكن عنونة 65536 منفذ دخل و 65536 منفذ خرج في عنونة الدخل/الخرج المحيطي.

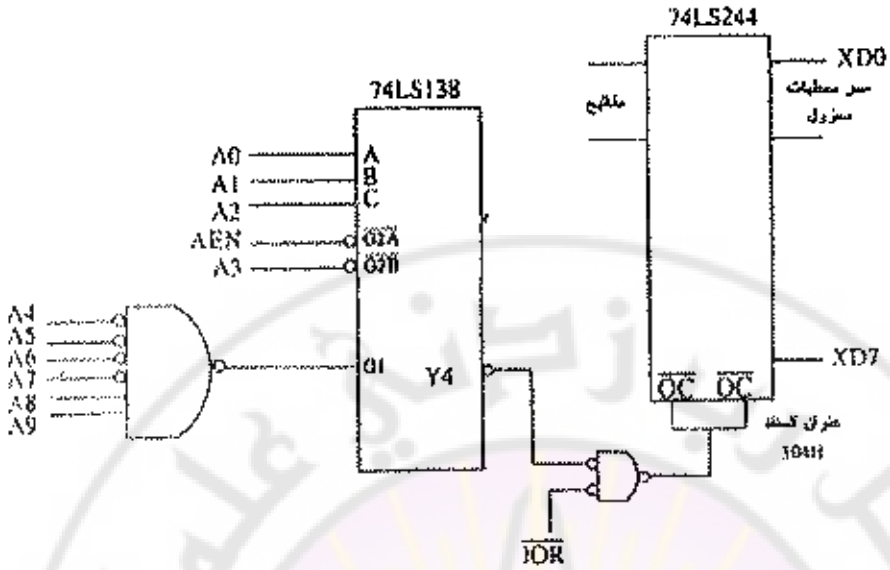
٥. في الدخل/الخرج المخطط ذاكرياً يمكن انجاز العمليات الحسابية والمنطقية على المعطيات مباشرة دون الحاجة لنقلها إلى المراكم , بينما لا يمكن ذلك في الدخل/الخرج المحيطي.

٦. إن السيئة الوحيدة والخطيرة لعنونة المنافذ بالطريقة الذاكرية , هي استخدام مواقع الفراغ الذاكري والذي ربما يقود إلى تقسيم وتجزيء هذا الفراغ الذاكري بصورة غير فعالة .

٤-٣-٤- استخدام مفكك العنونة 74LS138

تُستخدم الدارات المنطقية المعقدة والقابلة للبرمجة CPLD (Complex Programming Logic Device) لتفكيك عناوين منافذ الدخل/الخرج.ويبين الشكل(٤-٥) دارة لمنفذ دخل ذي عنوان 304H باستخدام مفكك الشيفرة 74LS138 والدارة 74LS244 التي تُعد بوابة دخل, وبوابات بسيطة مثل AND والعواكس فقط.

وتتحكم إشارة الخرج لمفكك الشيفرة Y4 مع الإشارة IOR بدارة 74LS244 وبالتالي فإن كل مخرج Yi يمكنه التحكم بجهاز دخل/خرج وحيد . ويبين الجدول (٤-٢) مداخل ومخارج مفكك عناوين الدخل/الخرج .



الشكل (٤-٥) – استخدام المفكك 74LS138 لتفكيك عناوين منافذ الدخل/الخرج

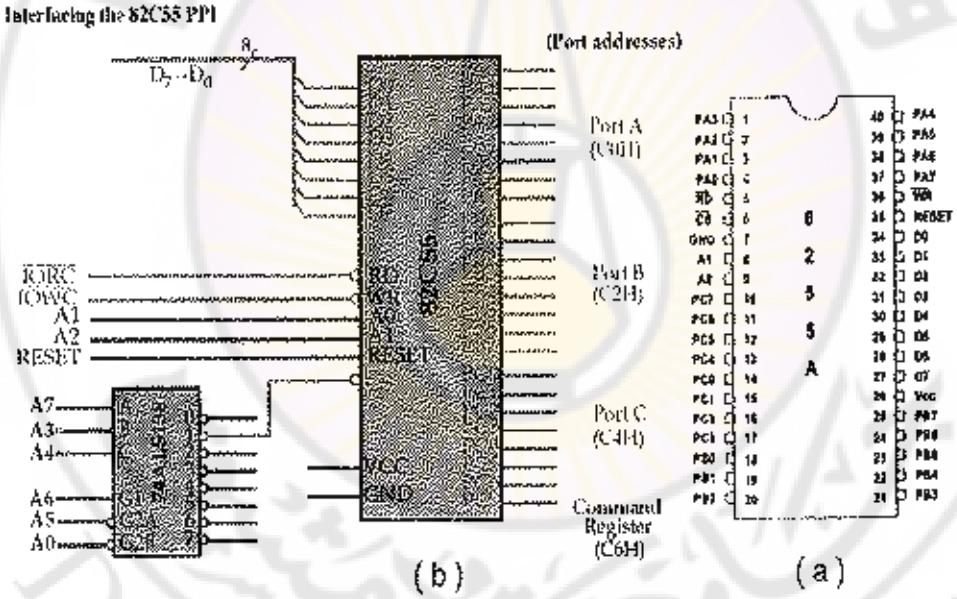
A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
							0	0	0	Y0
							0	0	1	Y1
							0	1	0	Y2
							0	1	1	Y3
1	1	0	0	0	0	0	1	0	0	Y4

الجدول (٤-٢) – مداخل ومخارج مفكك عناوين الدخل/الخرج

٤-٤- شريحة الربط القابلة للبرمجة PPI 8255

تعتبر الشريحة PPI8255 الأكثر استخداماً في مجال الدخل/الخرج , والتي يمكن استخدامها لعنونة الدخل/الخرج المحيطي والمخطط ذاكرياً , وهي مصممة وفق النموذج DIP كما هو مبين في الشكل (٤-٦) .

هذه الشريحة مزودة بثلاثة منافذ منفصلة يمكن برمجتها بشكل مستقل كدخل أو خرج وتغييرها بشكل ديناميكي على عكس الشرائح 74LS138 و 74LS244 , والتي توصل ضمن الدارة المطبوعة , وتثبت دون إمكانية التغيير فيها , كما يمكن ربط المعالج مع أجهزة الدخل/الخرج باستخدام عملية المصافحة.



الشكل (٤-٦) – الشريحة PPI8255 وعناوين المنافذ

- **المنفذ A** : هو بطول 8Bit ويبرمج كمنفذ دخل/خرج أو كمنفذ ثنائي الحالة.

- **المنفذ B** : 8bit يبرمج كمنفذ دخل أو خرج فقط .
- **المنفذ C** : 8bit يبرمج هذا المنفذ كدخل أو خرج ويتألف من قسمين :القسم السفلي CL (PC0 – PC3) والعلوي CH من (PC4 – PC7) حيث يمكن برمجة كل منهما كمنفذ دخل أو خرج.
- **المنفذ C** : 8bit يبرمج هذا المنفذ كدخل أو خرج ويتألف من قسمين: القسم السفلي CL (PC0 – PC3) والعلوي CH من (PC4 – PC7) حيث يمكن برمجة كل منهما كمنفذ دخل أو خرج.
- $\overline{RD}$ و $\overline{WR}$: إشارات تحكم تعتبر دخلاً للشريحة 8255 وتوصل إلى إشارات التحكم IOW و IOR لمسرى النظام عند ربطها مع الوحدات المحيطية.
- **Reset** : إشارة دخل مفعلة عند الحالة (١) تستخدم لمسح سجل التحكم وتوصل مع إشارة تصفير ممر النظام.
- **A0 , A1,$\overline{CS}$** : تستخدم الرجل $\overline{CS}$ لاختيار الشريحة ذاتها ويستخدم الخطان A0,A1 لاختيار منفذ خاص للشريحة كما هو مبين الجدول(٤-٣).

الاختيار	$\overline{CS}$	A1	A0
المنفذ A	0	0	0
المنفذ B	0	0	1
المنفذ c	0	1	0
سجل التحكم	0	1	1

الجدول (٤-٣) – اختيار المنفذ في الدارة 8255

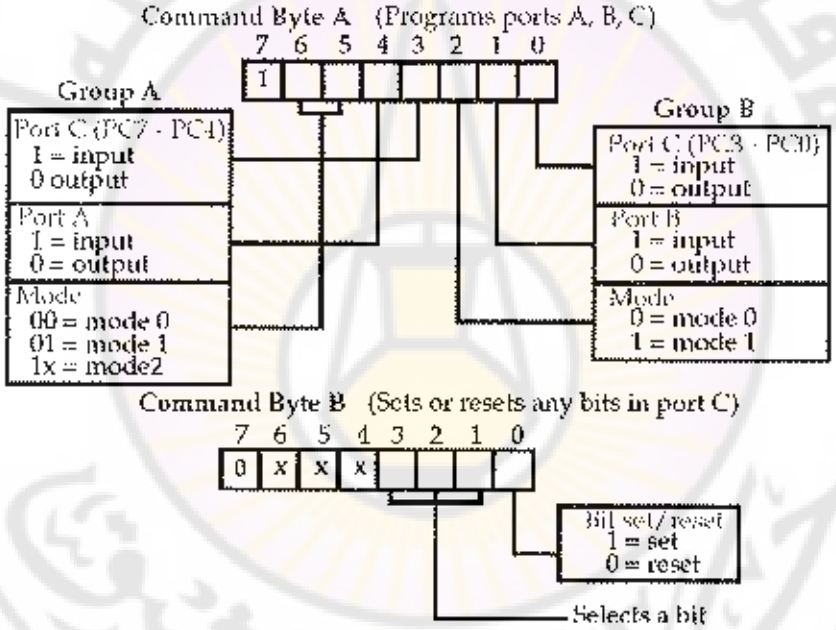
- تكون البوابات الثلاث في الدارة 8255 موزعة على مجموعتين 2Groups كل منها 12Bit , حيث تم تقسيم البوابة C إلى بوابتين كل منها 4Bit تعملان بشكل مستقل. ويبين الشكل (٤-٧) برمجة ووظائف البوابات A, B, C .

A- Group A (PA0- PA7)+(PC4-PC7)

B- Group B (PB0- PB7)+(PC0-PC3)

يمكن لهاتين المجموعتين أن تعملا في عدة أنماط , وذلك حسب نمط البرمجة.

Programming the 82C55

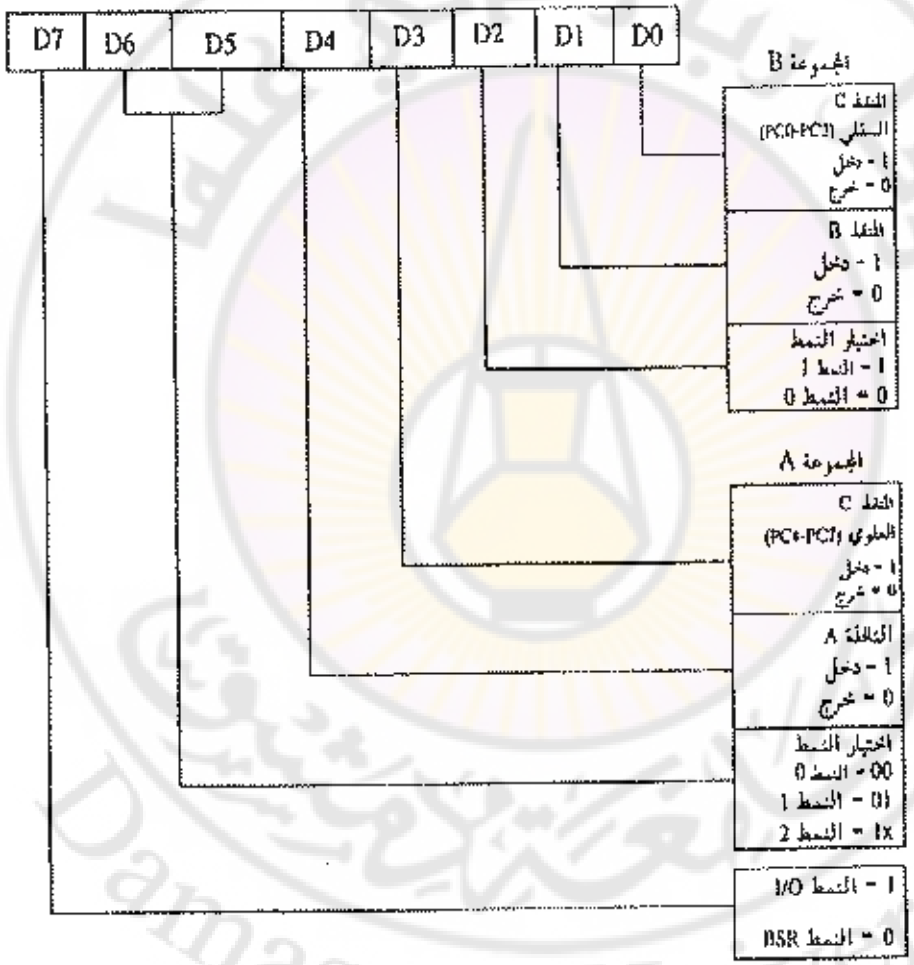


الشكل (٤-٧) – برمجة ووظائف البوابات A,B,C

ملاحظة:

الدارة 8255 مبرمجة، وبرمجتها لا يعني أنها تحوي معالجاً (ليست متحكم صغري) ولا تحتوي ذاكرة EPROM ، ولا تحتاج إلى مبرمجة خارجية

لبرمجتها، ومـا تحويـه هـو سـجل واحـد داخلـي بعـرض 8Bit وهـو Control Register Internal أو Control Word. ويمكن برمجياً أن تكتـب إليه بايت واحد وذلك بتعليمات OUT وتحدد قيمة هذا البايت نمط عمل 8255. ويبين الشكل (٤-٨) صيغة كلمة التحكم في الشريحة 8255 (النمط I/O) .



الشكل (٤-٨) - صيغة كلمة التحكم في الشريحة 8255 (النمط I/O)

٤-٤-١- اختيار نمط عمل الشريحة 8255

تبرمج المنافذ الثلاثة A , B , C الناقلة للمعطيات كدخل أو خرج بواسطة سجل التحكم وذلك لاختيار نمط عمل هذه المنافذ الثلاثة التي يمكن برمجتها وفق أحد الأنماط التالية :

النمط 0: نمط الدخل/الخرج البسيط

يمكن برمجة المنافذ A و B و CL و CU الناقلة للمعطيات كدخل أو خرج بواسطة سجل التحكم , وتكون كل خطوط المنفذ مخارج OUT أو مداخل IN .

تفصيل النمط Mode 0:

النمط هو Mode 0 أبسط أنماط الدارة 8255 وفيه يمكن تشغيل 24 خط I/O كما يلي:

١. بوابتين 8Bit (الخرج Latch والدخل Buffer) .

٢- بوابتين 4Bit (الخرج Latch والدخل Buffer) .

ويتم ضبط هذا النمط بواسطة إرسال بايت إلى العنوان الرابع في الدارة 8255 أي A1=1، A0=1 ، وهو سجل كلمة التحكم مع جعل $\overline{RD} = 1$, $\overline{CS} = 0$, $\overline{WR} = 0$ وتتم هذه العملية عند كل تشغيل للبرنامج الذي يقود الدارة 8255, باعتبار أن كلمة التحكم لها حالتين .

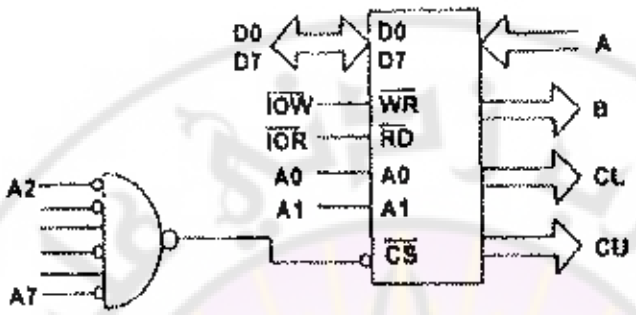
مثال(١)

يبين الشكل (٤-٩) تصميم للشريحة 8255 بحيث المنفذ A دخل و B خرج و C خرج . والمطلوب :

- أوجد عناوين المنافذ A,B,C وسجل التحكم وكلمة التحكم لهذا التصميم.

- اكتب برنامج لاستقبال المعطيات من المنفذ A وإرسالها إلى المنفذين B, C .

الحل:



الشكل (٤-٩) – تصميم للشريحة 8255 وفق المثال

ويبين الجدول (٤-٤) عناوين المنافذ.

المنفذ	العنوان	A0	A1	$\overline{CS}$
A	50H	0	0	010100
B	51H	1	0	010100
C	52H	0	1	010100
مسجل التحكم	53H	1	1	010100

الجدول (٤-٤) – عناوين المنافذ وفق المثال

كلمة التحكم هي 90H

1	0	0	1	0	0	0	0

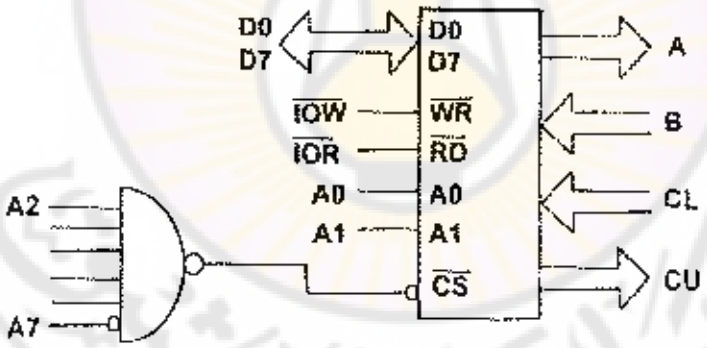
البرنامج:

```
MOV   AL , 90H
OUT   53H , AL      إرسال بايت التحكم إلى سجل التحكم
IN    AL , 50H      قراءة المعطيات من المنفذ A
OUT   51H , AL      إرسال المعطيات إلى المنفذ B
OUT   52H , AL      إرسال المعطيات إلى المنفذ C
```

مثال(٢)

ليكن لدينا التصميم المبين بالشكل(٤-١٠) والمطلوب :

- أوجد عناوين المنافذ A, B, C وسجل التحكم وأوجد كلمة التحكم.
- اكتب برنامجاً لاستقبال المعطيات من المنفذ A وإرسالها إلى المنفذ B وكذلك لاستقبال المعطيات من المنفذ PCL وإرسالها للمنفذ PCU.



الشكل (٤-١٠) – تصميم الشريحة وفق المثال

الحل:

يبين الجدول (٤-٥) المنافذ في الشريحة 8255 وفق المثال (٢) .

المنفذ	العنوان	A0	A1	$\overline{CS}$
A	7CH	0	0	011111
B	7DH	1	0	011111
C	7EH	0	1	011111
سجل التحكم	7FH	1	1	011111

الجدول (٤-٥) – المنافذ في الشريحة 8255 وفق المثال

كلمة التحكم هي 83H

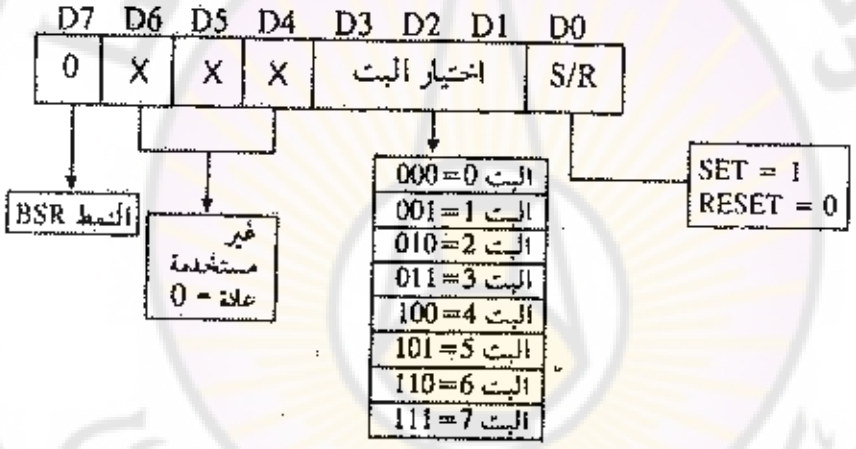
1	0	0	0	0	0	1	1

البرنامج:

```
MOV    AL , 83H
OUT    7FH , AL        إرسال بايت التحكم إلى سجل التحكم
IN     AL , 7DH        قراءة المعطيات من المنفذ B
OUT    7CH , AL        إرسال المعطيات إلى المنفذ A
IN     AL , 7EH        قراءة المعطيات من المنفذ PCL
AND    AL , 0FH        حجب القسم العلوي
MOV    CL , 4          عداد 4
SHL    AL , CL         عدد الدورات 4 مرات
OUT    7EH , AL        إرسال إلى المنفذ PCU
```

● **النمط وضع/تصفير البتات BSR (Bit Set /Reset)**

ميزة هذا النمط هي إمكانية برمجة خطوط المنفذ C بشكل مستقل بحيث يمكن جعل أي خط منه في الحالة 0 أو 1 . ويبين الشكل (٤-١١) كلمة التحكم في النمط BSR . تكون فيها البت الأخيرة من كلمة التحكم D7=0 ، وهذه الحالة ليست لضبط عمل الدارة 8255 . وإنما للتعامل مع البوابة C فقط. حيث يمكن جعل قيمة كل بت من البوابة C (1 أو 0) بشكل مستقل، حيث البتات D3, D2,D1 من كلمة التحكم الثنائية تمثل رقم البت المطلوب إسناد القيمة إليه الموجودة في D0 .



الشكل (٤-١١) – كلمة التحكم في النمط (1)

طبعاً يمكن التعامل مع البوابة C بشكل بايت وذلك عندما يكون A0=1, A1=1 لكن التعامل بـ Bit Set/ Reset هو أسهل برمجياً للتخاطب بشكل بت خاصة عندما يتم وصل حاكمة(LED Relay) للبوابة C.

يجب الانتباه إلى أن التعامل بشكل بت مع البوابة C يتم على العنوان الرابع

A0=1, A1=1 وبالتالي كلمة التحكم الأولى تستخدم عند كل تشغيل للبرنامج الذي يقود 8255 سواءً أردنا استخدام كلمة التحكم الثانية أم لا .والكلمة الثانية تستخدم عند الرغبة في التعامل مع البوابة C بشكل بت فقط .

مثال :

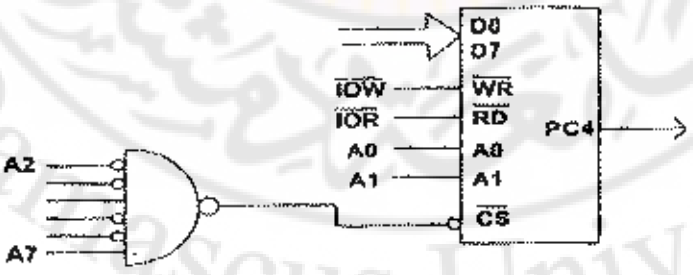
يراد توليد نبضة مرتبطة بطول 100 ns ودورة تشغيل 50% من الشريحة 8255 باستخدام النمط BSR والمنفذ PC4 .

الحل:

إن كلمة التحكم في هذا النمط هي 0 X X X 1001 في حال كون PC4 في الحالة 1 ولجعله في الحالة صفر تكون كلمة التحكم هي 0XXX 1000 , وإن حالة X X X غالباً تكون أصفاراً . ويبين الشكل (٤-١٢) تصميم الدارة للمثال .

البرنامج

MOV AL, 00001001 B	رزمة التحكم من أجل PC4CK
OUT 93H , AL	إرسال رزمة التحكم إلى سجل التحكم
CALL Delay	تأخير زمني من أجل عرض النبضة المرتفعة
OUT 93, AL	إرسال باعث التحكم إلى سجل التحكم
CALL Delay	تأخير زمني من أجل عرض النبضة المنخفضة



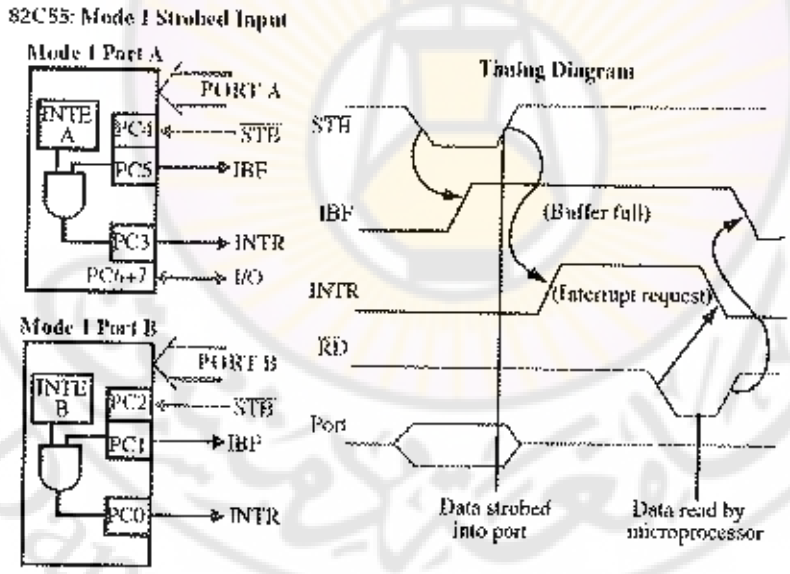
الشكل (٤-١٢) – يبين تصميم الدارة وفق المثال

● النمط 1: نمط الإدخال والإخراج مع إمكانية المصافحة Hand shaking

يمكن برمجة المنفذين A و B كمدخل أو خرج واستخدام المنفذ C لأغراض المصافحة، حيث تفيد هذه العملية في تأمين الاتصال بين جهازين ذكيين ، وتمثل الطابعة إحدى هذه التجهيزات التي تستخدم إشارات المصافحة . ويقدم النمط I في الدارة 8255 مصادر إشارات المصافحة التالية:

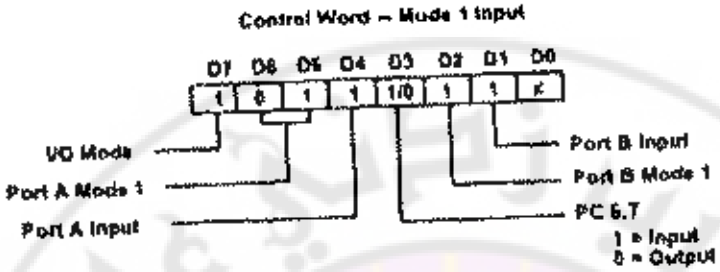
- **النمط 1: نمط إخراج المعطيات مع إشارة المصافحة**

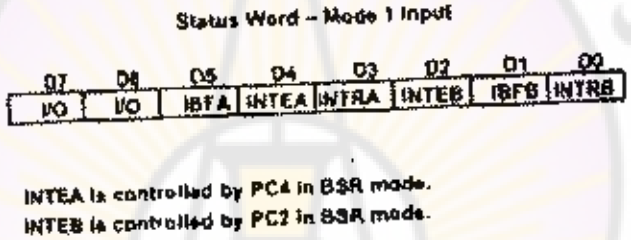
يستخدم المنفذان A و B لإرسال المعطيات إلى الجهاز بوجود إشارة المصافحة التي يقدمها المنفذ C كما هو موضح في الشكل (٤-١٣) ،أما الشكل (٤-١٤) فيبين كلمة التحكم والحالة .



الشكل (٤-١٣) – مخطط إخراج المعطيات في النمط1

نورد فيما يلي إشارات المصافحة بالنسبة للمنفذ A وينطبق هذا المفهوم أيضاً على المنفذ B .





أما الشكل (٤-١٤) – فيبين كلمة التحكم والحالة

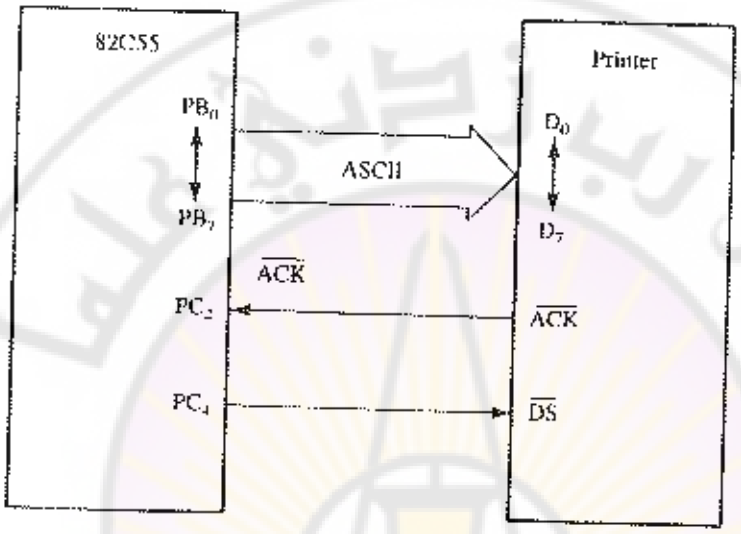
☒ إشارة امتلاء المنفذ A بالمعطيات OBF

Output Buffer Full for port A

تمثل هذه الإشارة بإشارة خرج PC7 وهي فعالة عند المستوى 0 , وتشير إلى أن المعالج أرسل بايت المعطيات عبر المنفذ A , وتوصل هذه الرجل إلى تجهيزات الاستقبال مثل (الطابعة) لإعلامها بإمكانية قراءة المعطيات من المنفذ A . ويبين الشكل (٤-١٥) وصل الطابعة مع الدارة 8255 والمعالج .

☒ إشارة التعرف للمنفذ A (Acknowledge for port A) Acka

وهي إشارة المدخل PC6 فعالة عند المستوى0 ، حيث تتعرف الشريحة 8255 لها على أن الجهاز المستقل قد التقط المعطيات من المنفذ A .



الشكل (٤-١٥) – وصل الطابعة مع الدارة 8255 والمعالج

☒ إشارة طلب المقاطعة للمنفذ INTRa A

Interrupt request for port A

تمثل هذه الإشارة الخرج PC3 الفعالة عند المستوي 1 . وعندما تصبح الإشارة Ack فعالة عند المستوي " 0 " فإنها تجعل الإشارات OBFA غير فعالة عند المستوي "1 " وتبقى في الحالة " 0 " لفترة زمنية قصيرة ثم تعود لتصبح "1"، وتقوم الحافة الصاعدة للنبضة ACK بتفعيل الإشارة INTRA وتجعلها مرتفعة"1" ، وبالتالي تنبه المعالج وتعلمه بأن الطابعة (جهاز الاستقبال) قد استقبلت البايت الأخير وأنها جاهزة للبايت التالي إلى المنفذ A لطباعته.

☒ إشارة تأهيل المقاطعة للمنفذ A INTEa

Interrupt Enable for port A

تقوم الشريحة 8255 بحجب الإشارة INTRa لمنعها من مقاطعة المعالج. ويمكن تأهيل الإشارة INTRa بالمستوي " 1 " وعدم تأهيلها بالمستوي " 0 " من خلال النمط BSR للمنفذ C, حيث يتحكم الخط PC5 بقلاب الإشارة INTRa , ويتحكم الخط في نمط BSR بالإشارة INTRb .

٤-٤-٢- طريقة المقاطعة وطريقة الاستجواب (Polling)

١. **طريقة المقاطعةInterrupt** : عندما تريد التجهيزة تنفيذ أي خدمة فإنها تعلم المعالج بإرسال إشارة لمقاطعة المعالج , وعند الاستجابة للطلب يتوقف عن عمله وينفذ برنامج خدمة التجهيزة استجابة لتلك المقاطعة .

٢. **طريقة الاستجوابPolling** : يستعرض المعالج باستمرار شروط الحالة وعندما يقابل الشروط المطلوبة يقوم بتنفيذ الخدمة.

إن طريقة المقاطعة تمكن من تخديم عدد من التجهيزات حسب الأولوية , ويحتاج إلى المزيد من العتاد والبرمجيات . أما طريقة الاستجواب أرخص كلفة ولكنها تقيد المعالج.

النمط 1 : إدخال المعطيات مع إشارات المصافحة

يمكن للشريحة 8255 استقبال المعطيات من المنفذين A و B باستخدام إشارات المصافحة للمنفذ C وفق ما يلي:

- **إشارة التأهيل Strobe STB**

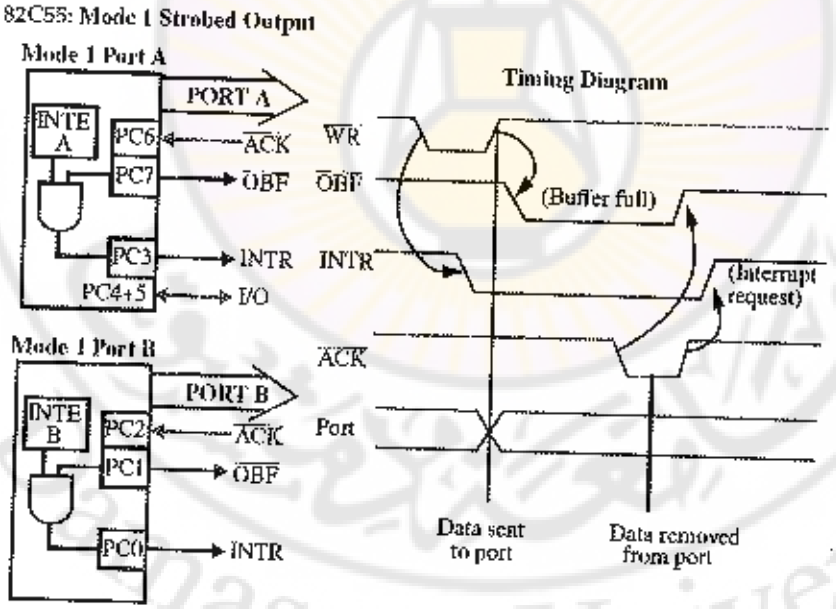
إشارة دخل فعالة عند المستوى "0" . تعلم التجهيزة الخارجية الشريحة 8255 بأنها قد أرسلت المعطيات وبإمكانها التقاطها في سجلها الداخلي .

- **امتلاء مخزن الدخل IBF (Input Buffer full)**

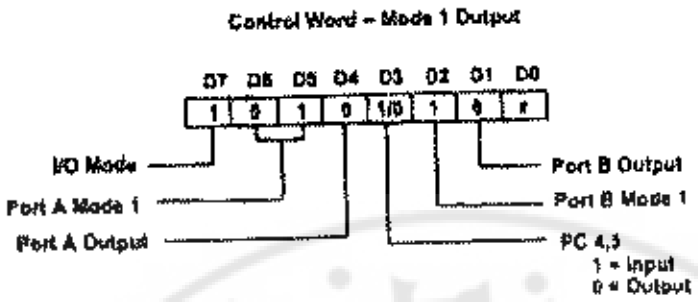
إشارة خرج تكون فعالة عند المستوى "1"، وتستجيب الشريحة لإشارة التأهيل STB بأن يقوم سجلها الداخلي بمسك البايت الموجود على المنفذ PA0 - PA7 أو المنفذ PB7 - PS0 وتشير الشريحة 8255 بواسطة الإشارة IBF إلى إتمام عملية المسك وتفعل الإشارة INTA لتنبيه المعالج إلى قراءة المعطيات.

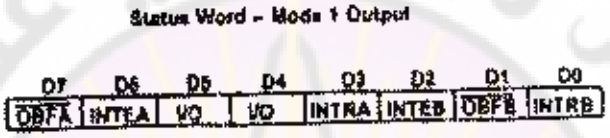
- **طلب المقاطعة INTR**

تكون إشارة الخرج فعالة عند المستوي "1" عندما تصبح IBF فعالة، وتفعل الإشارة INTR لإعلام المعالج بوجود بايت معطيات ضمن الشريحة 8255 . ويبين الشكل (٤-١٦) مخطط الإدخال للشريحة 8255 في النمط1 ، أما الشكل (٤-١٧) فيبين كلمة التحكم والحالة.



الشكل (٤-١٦) - مخطط الإدخال للشريحة 8255 في النمط1





أما الشكل (٤-١٧) – فيبين كلمة التحكم و الحالة

- **تأهيل المقاطعة INTE (Interrupt Enable)**

تستخدم لتأهيل الإشارة INTR أو عدم تأهيلها ،حيث يتحكم الخطان PC4 ,PC6 في النمط BSR في الإشارة . يتحكم الخط PC2 بالإشارة INTRa ويتحكم الخط PC4 بالإشارة INTEb.

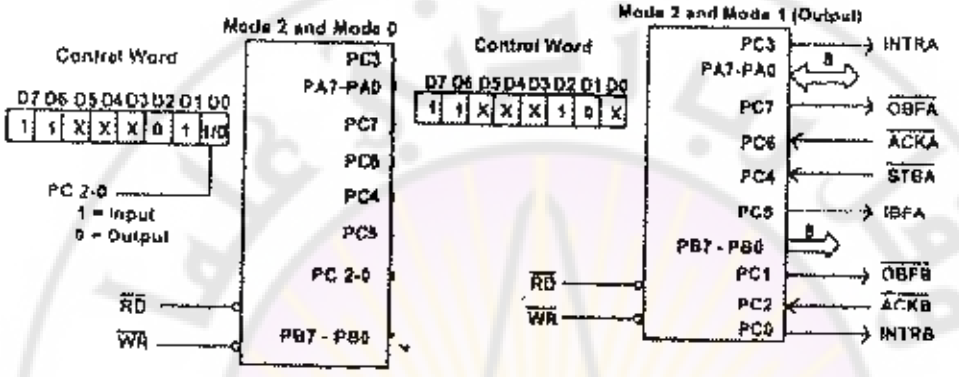
- **كلمة الحالة status word**

يمكن رؤية حالة إشارات المصافحة INTE, IBF, STB لكلا المنفذين A, B من خلال قراءة المنفذ C ضمن المراكم و اختبار حالة البتات .

I/O	I/O	IBFA	INTEA	INTRA	INTEB	IBFB	INTRB

النمط 2: إدخال/إخراج ثنائي الاتجاه بواسطة المصافحة

يمكن برمجة المنفذ A كمنفذ دخل وخرج ثنائي الاتجاه واستخدام المنفذ C للمصافحة , كما يمكن برمجة المنفذ B في النمط " 0 " أو النمط " 1 " كدخل وخرج مع مصافحه, كما هو مبين في الشكل (٤-١٨) .



الشكل (١٨) – مخطط I/O باستخدام الدارة 8255 في النمطين 1 و 2

٥- ربط الوحدات المحيطية ذات 8 bit مع مسرى 16 Bit

يستخدم المعالج 8086 مسرى معطيات بطول 16bit , وله مجال يتكون من بايت فردي وبايت زوجي وهذا يتم باستخدام الإشارات A0 و BHE كما هو مبين في الجدول (٤-٦) .

تشكل عملية نقل المعطيات للمنافذ ذات العنوان الزوجي عبر D7 – DO من مسرى المعطيات وعمليات نقل المعطيات للمنافذ ذات العنوان الفردي عبر D8-D15 مشكلة في تصميم منافذ الدخل/الخرج , ولهذه المشكلة حلان هما:

١- **استخدام دارتين منفصلتين من 8255** الأول للعناوين الفردية والثانية للعناوين الزوجية فإذا كان عنوان المنفذ A هو 74H فإن عنوان المنفذ B هو 76 H وعنوان المنفذ 2 هو 78H وهكذا , والمشكلة في إخراج محتوى السجل AX في تعليمه الإخراج مثل: MOV 76 H , AX , فينتقل محتوى السجل AL بواسطة DO -D7 إلى المنفذ ذي العنوان الفردي وينتقل محتوى السجل AH بواسطة D8- DIS إلى المنفذ ذي العنوان الزوجي .

٢- والحل الأخر هو **وصل جميع الوحدات المحيطة ذات 8bit** مع مسرى المعطيات D0-D7 .

حالة مسرى المعطيات	BHE	A0
نقل كلمة معنونة زوجياً عبر DO - DIS	0	0
نقل البايت الفردي لمسرى عبر D 8- DIS	0	1
نقل البايت الزوجي لمسرى المعطيات عبر DO – D7	1	0

الجدول (٤-٦) – حالة مسرى المعطيات باستخدام الإشارات A0 و BHE

والسؤال، **ماذا يحدث عند تنفيذ التعليمة OUT 75H,AL ؟**

باعتبار أن العنوان فردي فإن المعالج يقدم المعطيات AL باستخدام المسرى D8-D15 ولكن المنفذ متصل إلى D0-D7 . ولحل هذه المشكلة يجب التقاط المعطيات من المسرى D8-D15 من قبل الخطوط D0–D7 الموصولة مع المنفذ . ويسمى الماسك المسؤول عن هذا العمل بناسخ البايت العلوي إلى البايت

السفلي , لكي يعمل بشكل مناسب يحتاج إلى بعض الدارات المنطقية التي تتحكم بالمسرى وتقوم باكتشاف الحالات التالية :

الحالة (1): إخراج بايت إلى منافذ معنونة فرديا

عند كتابة بايت إلى منفذ ذي عنوان فردي يضعه المعالج على خطوط المعطيات D8-D15 ويجعل A0=1 و BHE=0 , فمثلاً التعليمة OUT 41H , AL توضع محتويات السجل AL على الخطوط D8-D15 بينما يكون A7-A0 = 0100 0001 و BHE = 0 وبالتالي تتحسس الدارة المنطقية المتحكمة بالمسرى لعمل المعالج وتعمل على تفعيل الناسخ حيث ينسخ المعطيات من D8-D15 إلى D0-D7 .

الحالة(2): إدخال معطيات من منفذ ذي عنوان فردي

عند إدخال معطيات من منفذ ذي عنوان فردي يتوقع المعالج استقبالها على مسرى المعطيات العلوي D8-D15 فنجعل BHE =0 و A0 = 0 , فمثلاً عند التعليمة IN AL , 43H يكون A7-A0 = 0100 0011 و BHE = 0 وعندئذ يتوقع المعالج أن بايت المعطيات متوضع على الخطوط D8-D15 إلا إنّ منفذ الجهاز موصول مع الخطوط D0-D7 فيفعل دارة الناسخ لنسخ المعطيات من D0-D7 إلى D8-D15 ثم تنقل المعطيات إلى المعالج.

٤-٥-١-ربط المبدلات الرقمية التمثيلية ADC مع المعالج 8086

يعطى تيار الخرج كتابع لعدد الأرقام الثنائية على المداخل D0-D7 بالعلاقة التالية :

$$Iout = Iref\,[D7/2 + D6/4 + \cdots + D1/128 + D0/256]$$

ويحول التيار Iout إلى جهد : Vout = Iout · Rf (انظر الملحق A) .

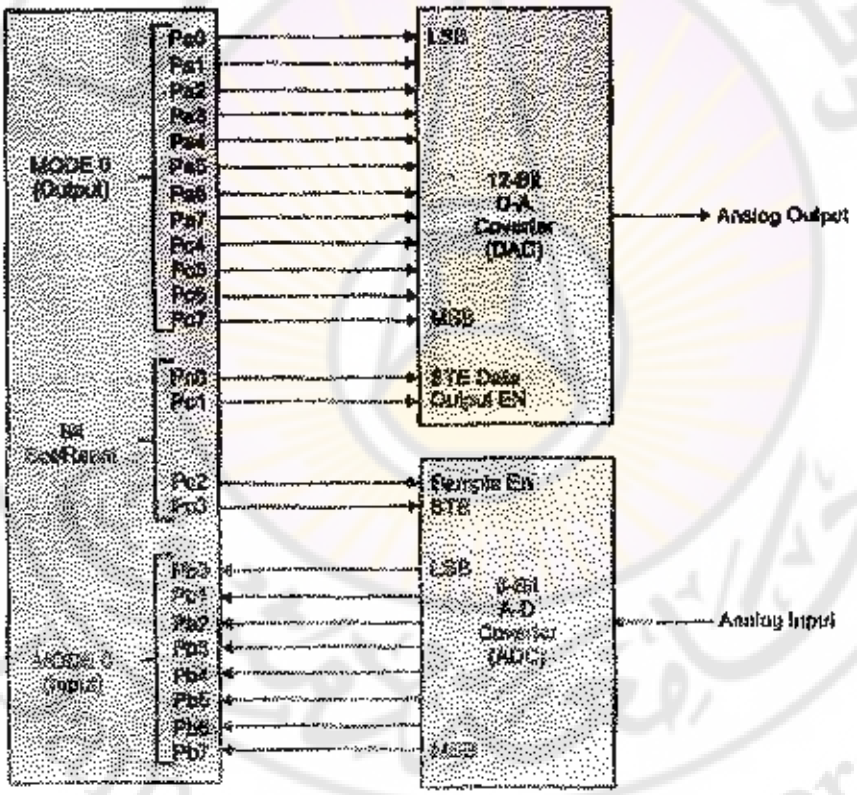
مثال

بفرض أن $R=5K\Omega$ و $Iout = 5mA$. أحسب جهد الخـرج Vout مـن أجل المداخل الثنائية التالية :

- 1001 1001 = 99H
- 1100 1000

الحل :

ويبين الشكل (٤-١٩) ربط مبدل 12bit D/A أو 8bit مع الدارة 8255



الشكل (٤-١٩) – ربط مبدل 12bit D/A أو 8bit مع الدارة 8255

1) Iout = 2mA(153/256) =1.195 mA

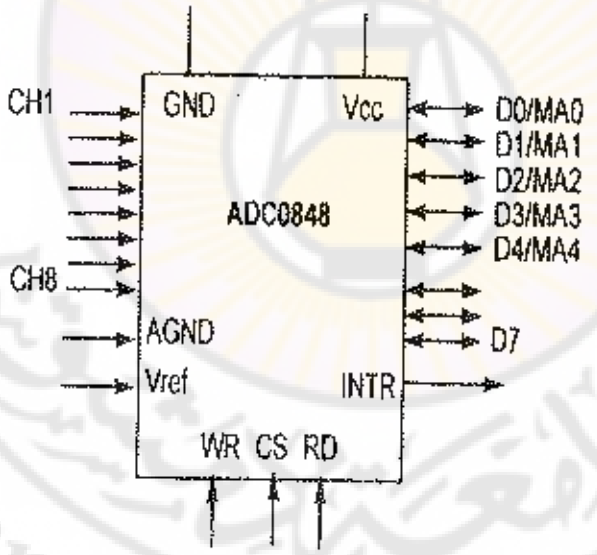
Vout = 1.195×5= 5.975 mv

2) Iout =2ma(200/256) =1.562 mA

Vout = 1.562×5=7.81 mv

٤-٥-٢-ربط المبدل التمثيلي الرقميADC والحساسات إلى 8086

يبين الشكل (٤-٢٠) المخطط الصندوقي للشريحة ADC0848 .



الشكل (٤-٢٠) – المخطط الصندوقي للشريحة ADC0848

CS : اختيار الشريحة وهي أشارة دخل فعالة عند المستوى (0) تستخدم لتفعيل الشريحة.

RD : أشارة دخل فعالة عند المستوي0 , تستخدم لقراءة القيمة المحولة من تمثيلي إلى رقمي من السجل , وإرسالها خارج الشريحة ADC0848 , عندما تكون CS = 0 وتظهر المعطيات على الأرجل D0-D7 .

WR : أشارة بدء التحويل وهي أشارة دخل فعالة عند الصفر تستخدم لمسك عنوان القناة المطلوبة المتوضع على الأرجل D0-D4 ولإعلام الشريحة ببدء التحويل .

INTR : أشارة نهاية التحويل وهي فعالة عند المستوي0 , وتكون في الحالة الطبيعية بالمستوى 1 , وعندما تنتهي عملية التحويل تصبح "0" لتشير إلى المعالج بأن المعطيات جاهزة للقراءة .

Vref : جهد دخل يستخدم كجهد مرجعي ويحدد حجم الخطوة الرقمية وتساوي Vref/256 .

D0-D7 : أرجل خرج المعطيات الرقمية وللحصول على جهد الخرج نستخدم

Dout = Vin / step size

MA0-MA7 : تستخدم لعنونة المعطيات .

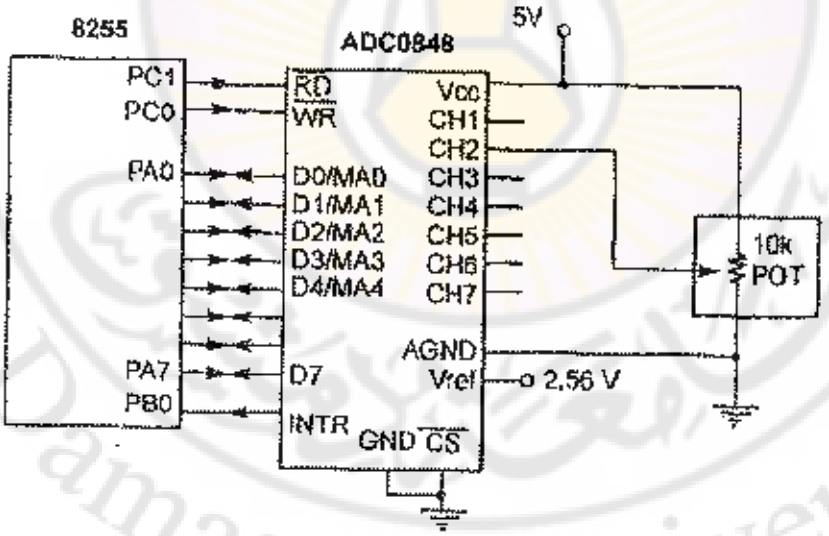
CH1-CH8: تمثل ثمانية أقنية لمداخل الجهود التمثيلية ويستخدم الأرضي التمثيلي كأرضي مرجعي لجميع القنوات ويمكن قراءة ثمانية قيم تمثيلية عبر تلك القنوات الثمانية ويتم اختيار قناة النص المطلوب بواسطة الأرجل MA0 –MA4 وفق الجدول (٤-٧) .

<u>اختيار القناة</u>

- عندما تكون CS= 0 و RD= 1 , وذلك لتأمين عنوان القناة المختارة إلى الأرجل DO-D7 وتطبيق نبضة صاعدة على الأرجل WR لمسك العنوان

رقم القناة التمثلية المختارة	MA4	MA3	MA2	MA1	MA0
CH1	0	1	0	0	0
CH2	0	1	0	0	1
CH3	0	1	0	1	0
CH4	0	1	0	1	1
CH5	0	1	1	0	0
CH6	0	1	1	0	1
CH7	0	1	1	1	0
CH8	0	1	1	1	1

الشكل (٤-٧) – اختيار قناة النص المطلوب بواسطة الأرجل MA0 –MA4



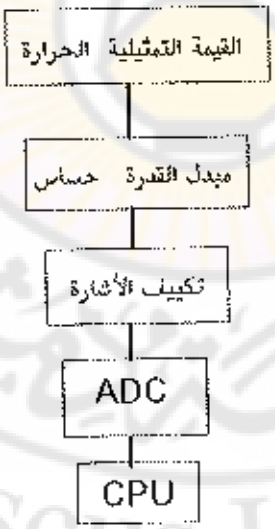
الشكل (٤-٢١) ربط المبدل التمثيلي /الرقمي ADC إلى دارة الربط 8255

وبدء عملية التحويل , وإن عناوين الأقنية هي 08H من أجل القناة CH1 و 0F من أجل القناة CH8 . ويبين الشكل (٤-٢١) ربط المبدل التمثيلي/الرقمي ADC إلى دارة الربط 8255 .

- عندما تكون WR=1 و RD=1 , يتم مراقبة الرجل intr بشكل دائم وعندما تصبح 0 تكون عملية التحويل قد انتهت .
- نطبق نبضة هابطة على RD لإخراج المعطيات من الشريحة.

٤-٥-٣- ربط حساس الحرارة مع المعالج 8086

تستخدم الحساسات لتحويل الكميات الفيزيائية مثل : الحرارة وشدة الإضاءة والتدفق و السرعة إلى إشارات كهربائية(جهد أو تيار أو سعة أو مقاومة). ويتم تحويل هذه الإشارات إلى إشارة كهربائية (جهد) وترسل كدخل إلى المبدل التمثيلي/الرقمي وتسمى هذه العملية بتكييف الإشارة. ويبين الشكل (٤-٢٢) المخطط الصندوقي لنظام تحصيل الإشارة .



الشكل (٢٢) المخطط الصندوقي لنظام تحصيل الإشارة

٤-٦- أمثلة تطبيقية عن ربط الـ 8255

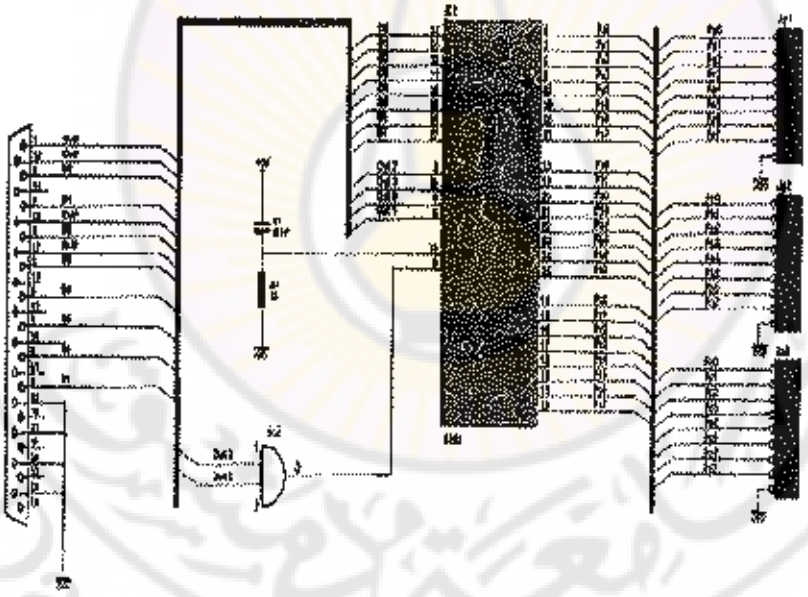
٤-٦-١- توسيع مخرج الطابعة بحيث يصبح 24 خط I/O

سنعتمد في هذا القسم على مخرج الطابعة المطور وليس التقليدي ، وهذا المخرج المطور يدعم بوابة الخرج 8Bit بحيث تكون باتجاهين معاً وليس خرج فقط، وكما هو معلوم فإن مخرج الطابعة هو عبارة عن ثلاث بوابات ، وهي:

١- 8Bit خرج (تقليدي)، (دخل وخرج في نمط المطور)

٢- 4Bit خرج

٣- 5Bit دخل



الشكل (٤-٢٣) - توسيع مخرج الطابعة بحيث يصبح 24 خط I/O

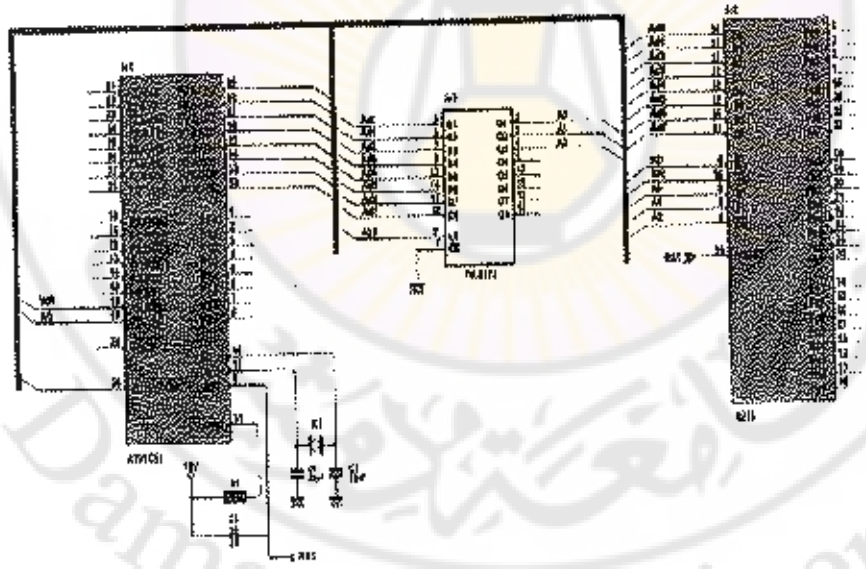
لوصل مخرج الطابعة مع 8255 سيتم استخدام البوابة الأولى من مخرج الطابعة (ثنائية الاتجاه) إلى خطوط الدارة 8255 (D0→D7). واستخدام البوابة (4Bit خرج) من مخرج الطابعة كخطوط تحكم.

$$8255(RST, \overline{CS}, \overline{WR}, \overline{RD}, A1, A0)$$

ويوضح الشكل (٤-٢٣) طريقة التوصيل .

٤-٦-٢- توسيع عدد خطوط I/O للمعالج التحكمي AT89C51

يبين الشكل (٤-٢٤) طريقة توسيع عدد خطوط I/O للمعالج التحكمي AT89C51 .



الشكل (٤-٢٤) - توسيع عدد خطوط I/O للمعالج التحكمي AT89C51

إن المعالج التحكمي 89C51 من إنتاج شركة ATMEL مكافئ للمعالج 8051 من إنتاج شركة INTEL . يتميز هذا المعالج التحكمي بقابليته لتوسيع ذاكرته سواءً بالنسبة لذاكرة المعطيات Data Memory أو بالنسبة لذاكرة التعليمات Program Memory بشكل خارجي ،ويبين الشكل(٤-٢٤) ربط الدارة 8255 مع المعالج التحكمي ليتم التعامل معها على أنها ذاكرة خارجية 4Bit بواسطة التعليمات التالية :

- **قراءة من بوابة**

nn هو رقم البوابة (عنوانها) .

```
Mov  R0,nn
( 10 →C )( 01 →B )( 00→ A )
Mov AX , @R0
11 → Controlword
```

وبالتالي تتم عملية القراءة من البوابة المحدد عنوانها في السجل R0 ويتم وضع نتيجة القراءة في السجل A .

- **الكتابة إلى بوابة :**

```
Mov  R0, nn          عنوان البوابة nn
Mov  AX , yy         القيمة المطلوبة yy
Mov  AX , @ R0
```

وبالتالي يتم إخراج القيمة الموجودة في السجل A على البوابة ذات العنوان R0 . وإن أول تعليمات يجب أن تكتب هي تعليمات ضبط كلمة التحكم الأولى .

فمثلاً لضبط الدارة 8255 على النمط Mode0 بحيث تعمل البوابة A دخل والبوابة B خرج والبتات الأربع الدنيا من C دخل والأربع العليا خرج يتم إرسال القيمة التالية 10010001 .

```
Mov R0 ,#03H

Mov A , 10010001B

Mov AX,@R0
```

يقوم المتحكم وبشكل آلي بتفعيل الإشارات $\overline{RD}$, $\overline{WR}$ عند تنفيذ التعليمة Mov.

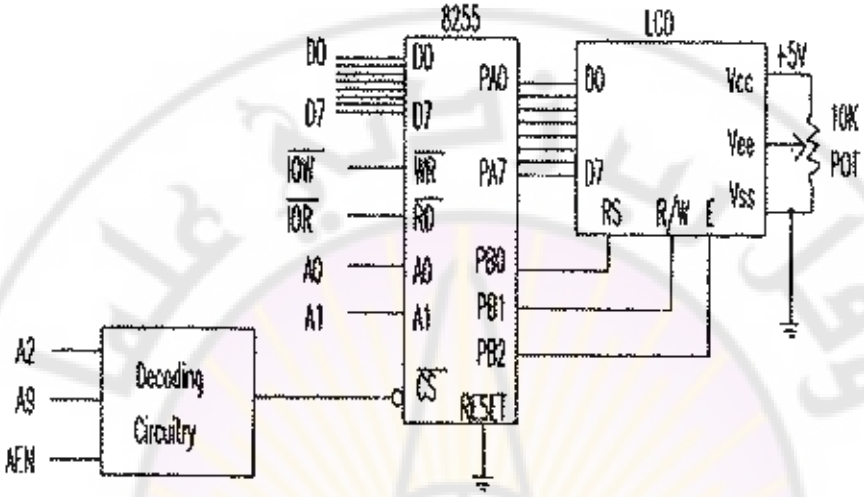
٤-٦-٣- توسيع عدد خطوط I/O لعدد من المتحكمات

المتحكم الصغري AT90S8515, AY90 S4414 هو سلسلة من المتحكات AVR من شركة Intel بتقنية RISC تدعم ربط ذاكرة معطيات خارجية . ويتم ربطها كما هو مبين في الشكل (٤-٢٤) .

أما المتحكمات الصغرية (PIC 17 C4x) و (PIC 17 C75x) و (PIC 17 C76x) من شركة Microchip تدعم ربط الذواكر الخارجية بينما معظم العائلات الأخرى لا تدعم ذلك .

إن المتحكمات المدعومة بربط ذاكرة خارجية يتم وصلها كما هو مبين في الشكل (٤-٢٤)، أما المتحكمات التي لا تدعم فيتم وصلها بشكل مشابه للوصل مع مخرج الطابعة . وبالتالي يتم تفعيل جميع الإشارات المطلوبة

$(\overline{WR}, \overline{RD}, \overline{CS}, A1, A0)$ برمجياً ,ويتم التعامل مع هذه البتات على أنها خطوط I/O .ويبين الشكل (٤-٢٥) ربط وحدة إظهار LCD مع الدارة 8255 .



الشكل (٤-٢٥) – ربط وحدة إظهار LCD مع الدارة 8255

٤-٦-٤- ربط الدارة 8255 مع المخرج التفرعي LPT

لقد تناولنا سابقاً النمط الأساسي للتعامل مع مخرج الطابعة . ويتم اختيار النمط المطلوب التعامل معه من إعداد BIOS الخاصة بالحاسوب ضمن الخيار Integrated Peripheral وتوجد أنماط أخرى لعمل المخرج التفرعي LPT وهي :

١. النمط **Normal**

وهو النمط الأساسي الذي يدعم بوابة 8bit باتجاه واحد فقط (خرج) وبوابة 4bit وبوابة 5bit دخل .

٢. النمط (Standard parallel port) Spp

يدعم هذا النمط النقل باتجاهين على البوابة 8bit السابقة . وهو من إنتاج شركة IBM عام1987 .ويسمح بمعدل نقل(50 – 100KB /S).

ويتم ربط الدارة 8255 مع مخرج الطابعة في هذا النمط عن طريق BIOS .

٣. النمط (Enhanced parallel port)Epp

تم تطويره من قبل الشركات Intel , Xircom , zenith عام 1991 وهو يدعم النقل باتجاهين بمعدل نقل (500K – 2MB /S) . وهو يدعم الأجهزة الخارجية التي تحتاج إلى معدل نقل معطيات مرتفع مثل (External CDROM – Zp Drive) ويملك إمكانية تعدد العناوين المنطقية .

٤. النمط (Extended Capabiiity port) ECP

تم تطويره من قبل الشركات Microsoft , Hp في عام 1992 وذلك لدعم وتحسين أداء الطابعات . ويتمتع بميزة DMA لنقل المعلومات .

من المعلوم أن عنوان البوابة 8Bit من مخرج الطابعة هو 378 $ (في بعض الحواسيب هو 3BC$. ويمكن ملاحظة ذلك من خلال مرحلة إقلاع الحاسوب حيث تعطى مواصفات الحاسوب وعنوان الـ LPT إضافة إلى عناوين الـ COM). وكذلك عنوان بوابة الدخل 5 Bit هو 379$. وعنوان بوابة الخرج 4 Bit هو(37A$). ومن خلال هذه البوابة يتم التعامل مع المخارج $(\overline{OUT3}, OUt2, \overline{OUT1}, \overline{OUT0})$, وهي البتات الأربعة الدنيا من العنوان السابق . أما كامل سجل العنوان 37A $ فهو تفعيل إمكانية التعامل

باتجاهين (القراءة من البواب 8Bit ذات العنوان $378) .

X	X	Dir	IRQ	$\overline{OUT3}$	OUT2	$\overline{OUT1}$	$\overline{OUT0}$

يتم ضبط البت Dir على 1،وفي حالة الخرج يتم جعلها 0. والجدول (٤-٨) يوضح احتمالات(Dir , OUT3 , OUT2 , OUT1 , OUT0) وماذا تعني قيمتها عند التعامل مع الدارة 8255 (عبر المخرج $37A) .

Bit7 *X*	*Bit6* *X*	*Bit5* *Dir*	*Bit4* *IRQ*	$\overline{OUT3}$ *WR*	$\overline{OUT2}$ *RD*	$\overline{OUT1}$ *A1*	$\overline{OUT0}$ *A0*	
0	0	0	0	0	1	X	X	Stand By
0	0	0	0	1	1	1	1	Write To A
0	0	1	0	0	0	1	1	Read From A
0	0	0	0	1	1	1	0	Write To B
0	0	1	0	0	0	1	0	Read From B
0	0	0	0	1	1	0	1	Write To C
0	0	1	0	0	0	0	1	Read From C
0	0	0	0	1	1	0	0	Write To CW
0	0	1	0	0	0	0	0	Read From CW

الجدول (٤-٨) – احتمالات (Dir OUT3, , OUT2 , OUT1 , OUT0)

نجد أن الحالة الأخيرة (Read From CW) (قراءة كلمة التحكم) متاحة فقط في الدارة (82C55) لشركة Intel وليس لدارات مثل (8255A) لشركات أخرى .

مثال :

برمج الدارة 8255 بحيث تعمل البوابة A دخل والبوابتان C وB خرج بالتالي تقوم بإرسال كلمة التحكم إليها بالشكل التالي : 10010000 = $90 .

وحسب الجدول السابق فإننا نختار الحالة (Write to CW).

$0C= 00001100

برمجياً نكتب:

القيمة المطلوب إرسالها Port [$378] = $90

إشارات التحكم Port[$37A] = $0C

إلغاء تفعيل إشارات التحكم السابقة Port[$37A] = $04

بالتالي القراءة من البوابة A :

إرسال إشارات التحكم Port[$37A] = $23

القراءة من مخرج الطابعة X=Port[$378]

إلغاء تفعيل إشارات التحكم Port[$37A] = $04

الكتابة إلى البوابة B :

القيمة المطلوبة Port[$378] = XX

إشارات التحكم Port[$37A] = $0E

إلغاء تفعيل الإشارات Port[$37A] = $04

الكتابة إلى البوابة C :

القيمة Port [$378] = XX

إشارات التحكم Port[$37A] = $0D

إلغاء التفعيل Port[$37A] = $04

هذا هو المبدأ الأساسي للتخاطب مع الدارة 8255 .

وبالتالي حققت هذه الدارة وفراً في القطع المطلوبة لتوسيع مخرج الطابعة ومرونةً أيضاً بحيث لم يتم التعقيد باتجاه البوابات B,C,A حيث يمكن جعلها بوابة دخل أو خرج برمجياً.

٤-٧- دارة المؤقت 8253

تتكون الشريحة من ثلاثة عدادات يعمل كل منها بشكل مستقل , وتبرمج بشكل منفصل لتقسيم تردد الدخل على رقم يتراوح بين 1 و 65536 .ويبين الجدول(٤-٩) عناوين العدادات الثلاثة. ويحدد لكل عداد عنواناً خاصاً , أما سجل التحكم فهو مشترك للعدادات الثلاث , وله عنوان خاص به , ولكل عداد ثلاثة مخارج متعلقة به هي CLK, GATE , OUT . حيث :

CLK:تردد ساعة الدخل .

OUT: يبرمج وفق أحد أنماط الخرج .

GATE: مدخل تأهيل أو عدم تأهيل , حيث :

Gate=1 : تأهيل العداد , Gate=0 : عدم تأهيل العداد .

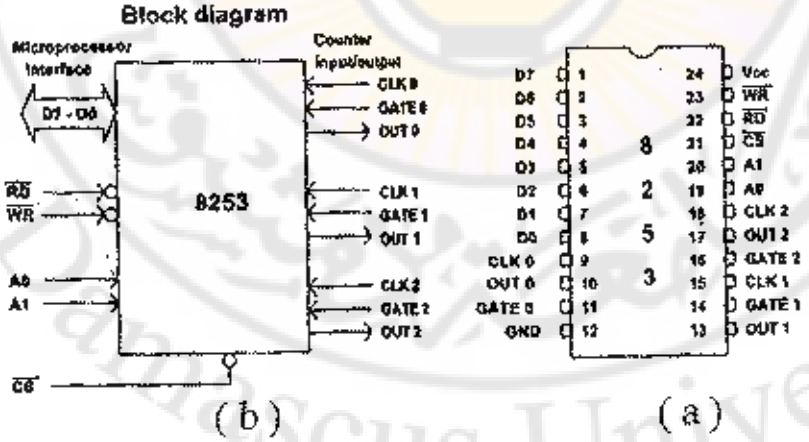
D0-D7 : أرجل ثنائية الاتجاه تتصل مع ممرى معطيات النظامDo-D7 حيث تسمح للمعالج بالقراءة أو الكتابة في كل سجلات الشريحة 8253 .

RD/WR : متصل مع إشارات التحكم IOR, Iow لممرى النظام .

ويبين الشكل (٤-٢٦) المخطط الصندوقي للعداد وأرجل الدارة 8253 .

CS	A1	A0	المنفذ
0	0	0	العداد 0
0	0	1	العداد 1
0	1	0	العداد 2
0	1	1	سجل التحكم
1	X	X	الشريحة غير مختارة

الجدول (٤-٩) -عناوين العدادات الثلاثة



الشكل (٤-٢٦) - المخطط الصندوقي للعداد وأرجل 8253

سجل التحكم

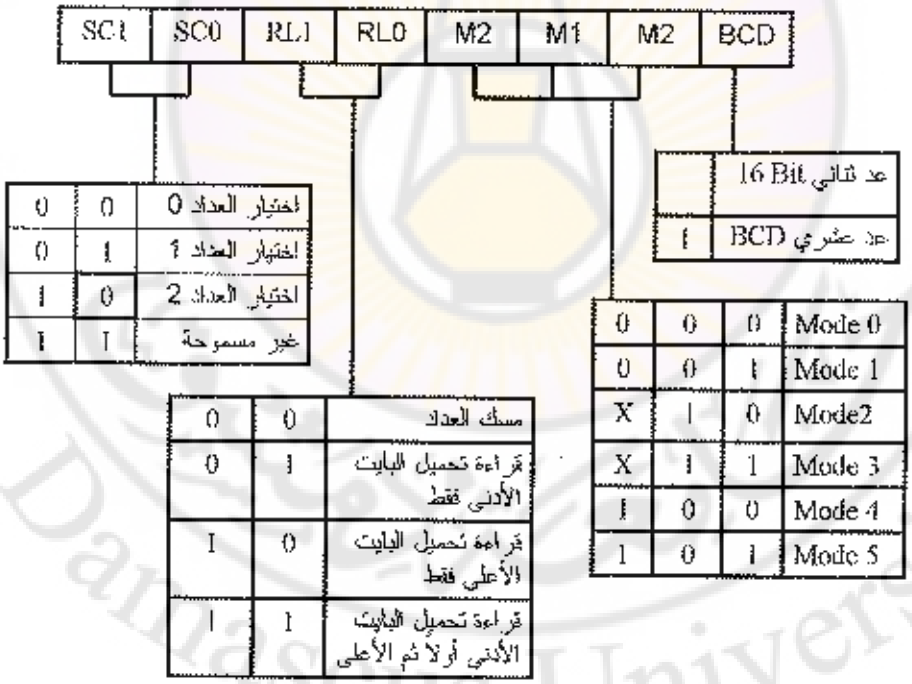
يبين الشكل (٤-٢٧) كلمة التحكم للعداد 8253 , **حيث :**

D0: تمثل نوع العد إما ثنائي من OOOOH←FFFFH أو عشري مرمز ثنائياً من OOOOH إلى 9999H , وبالتالي أكبر عدد في النظام الثنائي هو 2^{16} , وفي النظامBCD هو 10^4, وعند تحميل العداد بالقيمة 0 يتم الحصول على أكبر قيمة ممكنة وهي 66536 عشرياً أي BCD10000 .

D1,D2,D3 : تستخدم لاختيار النمط .

D4,D5 : تستخدم لتحديد طول القاسم الذي يمكن أن يصل إلى FFFFH ويمثل 2 بايت .

D6,D7 : تستخدم للوصول إلى أحد العدادات الثلاثة.



الشكل (٤-٢٧) – كلمة التحكم للعداد 8253

مثال

إذا كان عنوان اختيار الشريحة 8253 هو A2→A7=100101 .أوجد عناوين منافذ الشريحة , وما هي إعدادات الشريحة إذا تمت ببرنامج تحكم كما يلي:

```
MOV AL,00110110
OUT 97H,AL
```

الحل

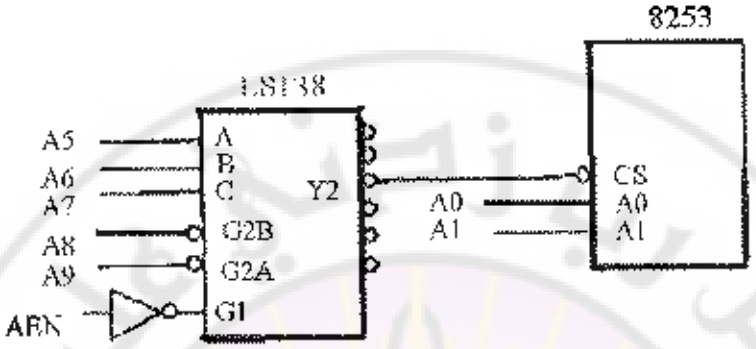
بإسقاط الكلمة على سجل التحكم نجد SC=00 وهذا يعني أن العداد 0 , ويشير RL=1 إلى قراءة البايت السفلي ثم العلوي وباعتبار أن M=001 فالنمط المستخدم هو النمط3 (موجة مربعة) , وأن BCD = 0 أي العد ثنائي. ويبين الجدول (٤-١٠) عناوين منافذ العدادات الثلاثة .

CS A7→A2	A1A0	المنفذ	عنوان المنفذ
100101	00	العداد 0	94
100101	01	العداد 1	95
100101	10	العداد 2	96
100101	11	سجل تحكم	97

الجدول (٤-١٠) – عناوين منافذ العدادات الثلاثة

٤-٧-١- وصل المؤقت 8253 إلى المعالج

يبين الشكل (٤-٢٨) كيفية وصل المؤقت 8253 إلى المعالج .



الشكل (٤-٢٨) - كيفية وصل المؤقت 8253 إلى المعالج

ويبين الجدول (٤-١١) عناوين الشريحة 8253 والعدادات الثلاثة مع سجل التحكم .

الوظيفة	السداسي عشر	العناوين في النظام الثنائي		
		A3A2A1A0	A7A6A5A4	AENA9A8
العداد 0	40	X X 0 0	0 1 0 X	1 0 0
العداد 1	41	X X 0 1	0 1 0 X	1 0 0
العداد 2	42	X X 1 0	0 1 0 X	1 0 0
سجل تحكم	43	X X 1 1	0 1 0 X	1 0 0

الجدول (٤-١١) - عناوين الشريحة 8253 والعدادات الثلاثة مع سجل التحكم

٤-٧-٢- وظيفة العداد1

توصل الساعة CLK إلى التردد 1.193MHz وتكون GATE=1 , ويولد الخرج OUT1 نبضات دورية لإنعاش الذاكرة DRAM ويجب تنفيذ تعليمات الإنعاش مرة واحدة على الأقل كل 15µsec لكل طبقة . وبالتالي كلمة التحكم هي:

D7 D6 ..... D0

01010100 =54 H

العد ثنائي والنمط 2 والعداد 1 .

٤-٧-٣-وظيفة العداد2

يتصلOUT2 مع تجهيزتين مختلفتين هما مكبر الصوت والخط PC5 للشريحة8255, وإن تردد دخل العداد2 يساوي 1.193MHz , وتتصل البوابةGATE مع الخط PB0 من المنفذ B ذي العنوان 61H في الشريحة8255 حيث يستخدم العداد2 لتوليد الصوت . إن تردد الصوت هو896Hz في النمط3 (الموجة المربعة) ويكون المقسم مساوياً:

(1.19318 × 1000000)/896=1331 , D=533 H

وبالتالي كلمة التحكم هي: D7 D6----D0

10110110 =B6

نلاحظ أن العد ثنائي النمط 3 , والعداد 2 .

٤-٧-٤-وظيفة العداد0

إن تردد الساعة CLK 0 هو 1.193MHz و GATE 0=1 والخرج OUT0 موصول إلى الرجل IRQ0 لمدخل شريحة متحكم المقاطعة 8259 ، وتمثل المقاطعة ذات الأولوية الأعلى لإصدار الزمنTOP(Time of day)، ويبرمج العداد في النمط3(موجه مربعة) . ونلاحظ أن العد ثنائي والعداد0 . بالتالي كلمة التحكم هي:

D7 D6----D0

0110110 =36 H

٧-٥-أنماط عمل الشريحة

النمط 0 :المقاطعة عند نهاية العد

الوضع الافتراضي للخرج في النمط 0 هو 0 ويبقى طول فترة العد إذا كان GATE=1 . وعرض النبضة 0 تساوى N×T حيثNهي قيمة العد المحملة إلى العداد ، وT دور ساعة دخل العداد . وعندما يصل العداد إلى نهاية العد تصبح إشارة الخرج 1 .

مثال (١)

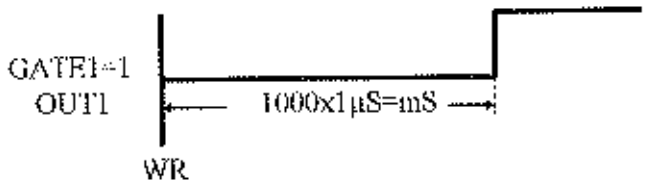
ارسم إشارة خرج العداد OUT1 المبرمج في النمط 0 إذا كان GATE=1, CLK=1MHz وقيمة العد N=1000 .

الحل

إن دور الساعة(T=1/1MHz) وبالتالي عرض النبضة 0 هو:

$$T \times N=1\times1000=1000=1ms$$

ويبين الشكل (٤-٢٩) إشارة خرج العداد OUT1 المبرمج في النمط 0 .



الشكل (٤-٢٩) – إشارة خرج العداد OUT1 المبرمج في النمط 0

إذا تغيرت الإشارة على المدخل GATE=1 من الحالة 1 إلى الحالة 0 أثناء العد فإن العد يتوقف , وعندما تعود الإشارة GATE1 إلى الواحد يتابع العداد عمليه العد ويضاف زمن إلى زمن النبضة 0 .

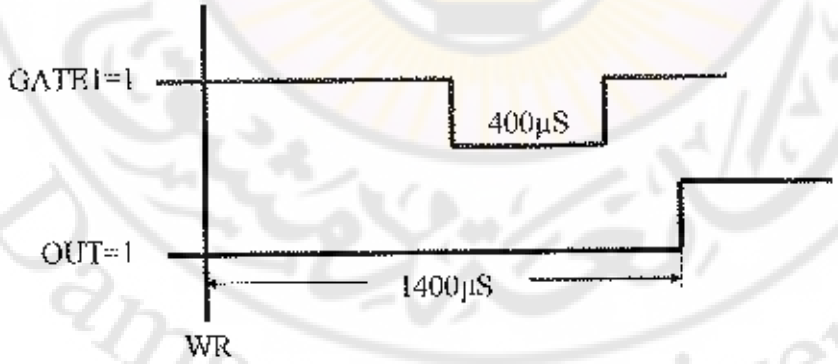
مثال (٢)

بفرض أن الإشارة على المدخل GATE1 في المثال السابق أصبحت 0 لمدة 400ms أثناء العد , فما طول النبضة المنخفضة 0 في الخرج OUT ؟

الحل

طول النبضة هو : 1000+400=1400 ms

ويبين الشكل (٤-٣٠) إشارة خرج العداد .



الشكل (٤-٣٠) – إشارة خرج العداد

النمط 1: نمط القدح عند نبضة وحيدة

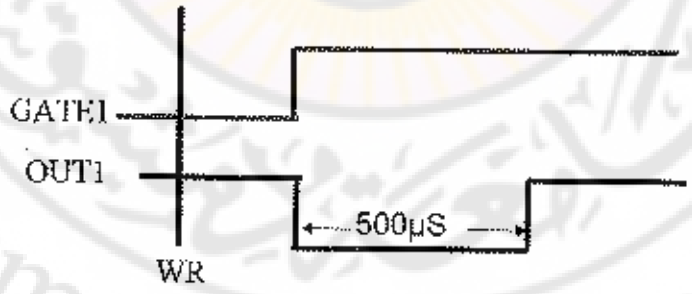
نمط القدح عند نبضة وحيدة بواسطة العتاد,في هذا النمط ينتظر العداد بعد تحميل قيمة العدد ووصول الجبهة الصاعدة من الحالة0 إلى الحالة1 على المدخل GATE ويصبح الخرج عندها منخفضاً لفترة زمنية قدرها N×T , وعند تطبيق نبضة قدح ثانية على المدخل GATE أثناء عملية العد السابقة سيعود العداد لتحميل القيمةN من جديد ويبدأ العد من جديد مقاطعاً العداد السابق.

مثال

- ارسم مخطط 0071 في النمط 1 , إذا كان CLK=1MHz,N=500 .
- بفرض أنه أعيد قدح GATE1 بعد 150 نبضة ساعة , ارسم الخرج OUT1 .

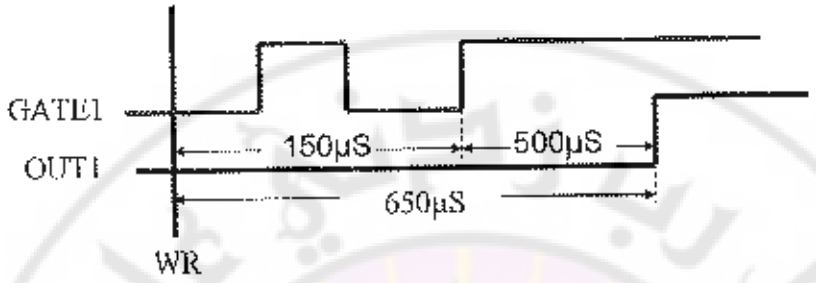
الحل

يصبح الخرج OUT1 منخفضاً عند الجبهة الصاعدة من 0 إلى 1 للبداية GATE1 .ويبين الشكل (٤-٣١) إشارة خرج العداد في الحالة الأولى.



الشكل (٤-٣١) - إشارة خرج العداد في الحالة الأولى

إذا أعيد قدح البوابة GATE1 بعد نبضة ساعة سيعاد تحميل القيمة N=500, ويبدأ العد من جديد ويصبح الخرج 650ms . ويبين الشكل (٤-٣٢) إشارة خرج العداد في الحالة الثانية .



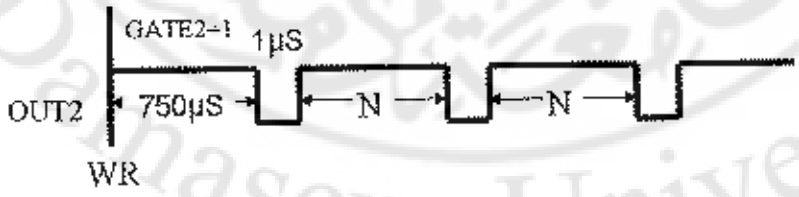
الشكل (٤-٣٢) – إشارة خرج العداد في الحالة الثانية

النمط2 :مولد مقاطعة مؤقتة(مولد النسبة)

عندما يكون GATE=1 وبعد تحميل العداد بالقيمة N يبدأ العداد بالعد ويبقي الخرج OUT خلال العد في الحالة 1 لفترة زمنية T * N , ثم يصبح في الحالة 0 لمدة نبضة ساعة واحدة وتتكرر العملية .

مثال

إذا كانت N=750 و GATE2=1 و Clock2=1MHz . ارسم OUT2 إذا تمت برمجة العداد بالنمط2 . ويبين الشكل (٤-٣٣) مولد مقاطعة مؤقتة (مولد النسبية) .



الشكل (٤-٣٣) – مولد مقاطعة مؤقتة (مولد النسبية)

النمط 3 :نمط موجة مربعة

يعطي هذا النمط موجة مربعة على الخرج إذا كانت Gate = 1 , فإذا كانت N زوجية فإن النبضة 1 والنبضة 0 متساويتان وكل منهما تساوى T(N/2) , حيثN قيمة العد وT دور ساعة دخل العداد . وعند نهاية العد يعود العداد ليحمل القيمة نفسها ثانيةً منتجاً موجة مربعة على خرجه بتردد 1/N من تردد الدخل .أما إذا كانت فردية فان النبضة 1 تكون أطول بمقدار نبضة واحدة .

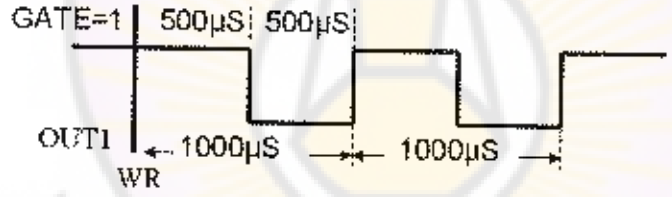
مثال

إذا كانت GATE1=1, CLK1=1MHz,N=1000 , والمطلوب :

- ارسم الخرج في النمط 3.

الحل :

ويبين الشكل (٤-٣٤) موجة مربعة .



الشكل (٤-٣٤) – موجة مربعة

النمط 4: نبضة قدح برمجية

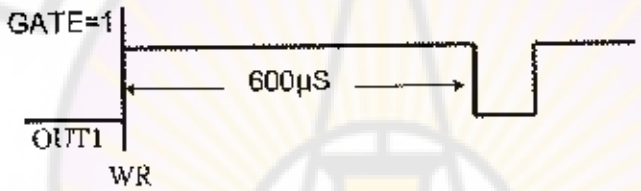
عند تحميل العداد بالقيمة يبدأ العداد بالعد إذا كانتGate = 1 , ويبقى الخرج في الحالة 1 بزمن قدرة N×T , وفي نهاية العد يعطى الخرج نبضة واحدة منخفضة بمقدار نبضة الدخل للعداد ثم يعود من جديد إلى الحالة1 منتظراً قيمة جديدة .

مثال

إذا كانت GATE0=1, CLK1=1MHz, N=600 .ارسم الخرج OUT في النمط 4.

الحل

بما أن زمن دور الساعة CLK0 هو 1µs فبعد تحميل قيمة العداد يبقى الخرج OUT0 في الحالة "1" لفترة 600 µs ، وفي الحالة "0" لفترة 1µs ويعود بعدها للحالة "1" ثانية ويبقى كذلك لحين إعادة برمجة العداد .ويبين الشكل (٤-٣٥) نبضة قدح برمجية .



الشكل (٤-٣٥) – نبضة قدح برمجية

النمط 5: نبضة تمكين بالعتاد

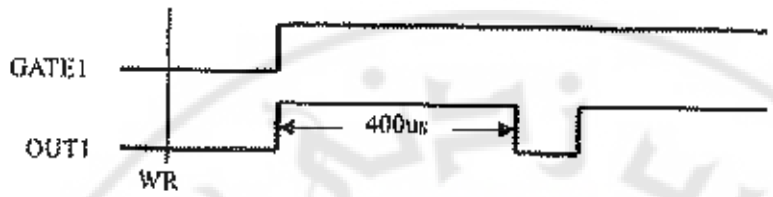
يشبه النمط 4 إلا أن نبضة تأهيل العداد يقدمها المدخل GATE ولا يبدأ العد إلا بعد تغير الجبهة الصاعدة من الحالة 0 إلى الحالة 1 على المدخل GATE , ويختلف عن النمط4 الذي يبدأ مباشرة بعد تحميل القيمة .

مثال

إذ كانت CLK=1MHz,N=400 . ارسم مخطط الخرج OUT في حالة النمط 5.

الحل

يبين الشكل (٤-٣٦) نبضة تأهيل العتاد .

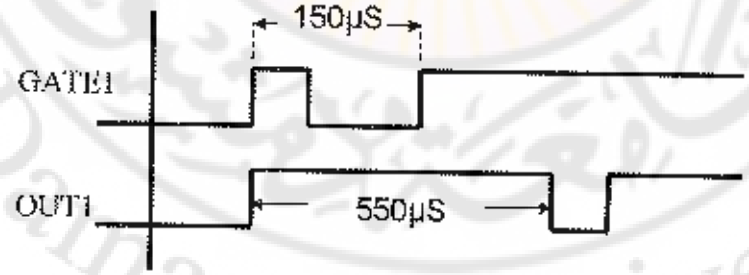


الشكل (٤-٣٦) – نبضة تأهيل العتاد

إذا أعيد قدح المدخل GATE1 بعد 150 نبضة فكيف يكون شكل OUT1 ؟

الحل

إذا أعيد قدح المدخل GATE1 بعد 150 نبضة وأعيد تحميل العداد بالقيمة N=400 فان عرض النبضة يصبح 550ms .ويبين الشكل (٤-٣٧) نبضة العتاد في حالة N=400 وبعد 150 نبضة .



الشكل (٤-٣٧) – نبضة العتاد في حالة N=400 وبعد 150 نبضة

نستنتج

يمكن برمجة أي عداد من العدادات الثلاثة الموجودة ضمن الشريحة 8253 وفق أي نمط من الأنماط الستة . وأن تفعيل الخرج مرتبط بمفهومين الأول بعد برمجة العداد ستظهر النتيجة المرغوبة على الخرج OUT عندما يكون GATE=1. والثاني بعد برمجة العداد ستظهر النتيجة المرغوبة على الخرجOUT فقط عند تطبيق جبهة صاعدة من0 إلى 1على المدخل GATE .

٤-٧-٦- ربط المؤقت/العداد المبرمج 8254 إلى النظام

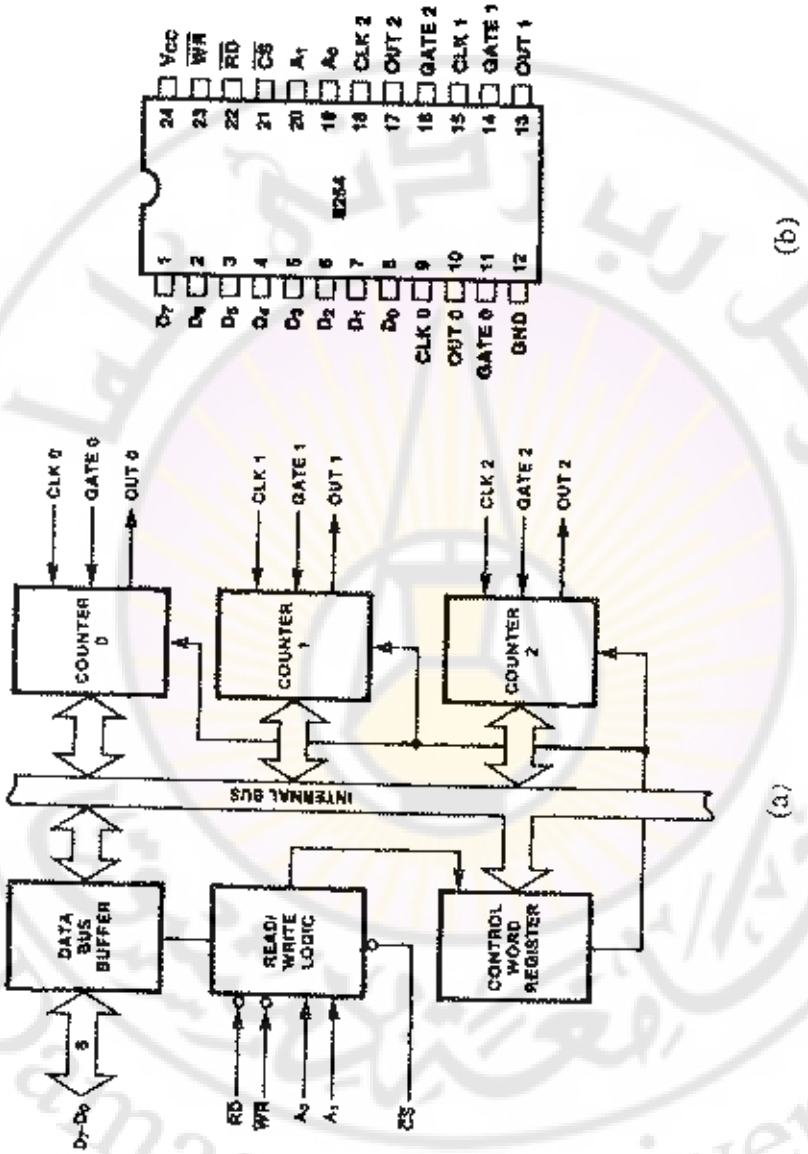
يبين الشكل (٤-٣٨) البنية الداخلية للمؤقت الذي يمكن ربطه إلى نظام معالج وكيفية إضافة متحكم مقاطعة إلى النظام . ويستخدم مفكك الترميز 74LS138 لتوليد إشارة الانتخاب $\overline{CS}$ للدارة 8254 ولدارات أخرى.

ويتضح من الشكل (٤-٣٨) أن الناخب 74LS138 يقوم بانتخاب دارة المؤقت/العداد 8254 عند أي عملية دخل/خرج من العنوان القاعدي FF01H (عندما يكون الخط $\overline{IOM}$ في المنطق المنخفض) .وبما أن خطي العنونة للمعالج A1 و A2 متصلين بخطي العنونةالخاصين بالدارة 8254 فإن سجلات الدارة تأخذ المواقع FF07H, FF05H, FF03H, FF01H وتقابل سجلات العداد 0 والعداد 1 والعداد 2 وسجل التحكم . ونلاحظ أن العناوين هي فردية وقد تم وصل خطوط المعطيات الثمانية العليا من المعالج إلى خطوط معطيات المؤقت/العداد المبرمج . وتتصل كذلك خطوط القراءة والكتابة $\overline{RD}$ و $\overline{WR}$ للدارة بخطوط القراءة والكتابة للنظام الصادرة عن المعالج .

٤-٧-٧- تهيئة المؤقت/العداد المبرمج 8254

تأخذ عادةً قلابات العدادات والسجلات الداخلية قيماً عشوائية عند تطبيق

التغذية عليها لأول مرة . لذا تجب تهيئتها ووضعها في نمط العمل المرغوب فيه للتطبيق المعني . وعند القيام بعملية التهيئة يجب الأخذ بعين الاعتبار تنفيذ الخطوات التالية :



الشكل (٤-٣٨) – البنية الداخلية للمؤقت/العداد 8254

- تحديد العنوان القاعدي للتجهيزة أو الدارة انطلاقاً من طريقة وصل خطوط العنونة من المعالج إلى مفكك الترميز وخرج مفكك الترميز إلى التجهيزة أو الدارة .

- استخدام نشرة المعلومات الخاصة للدارة المعينة لتحديد العناوين الداخلية لكل من سجلات التحكم أو المنافذ أو المؤقتات أو سجلات الحالة ... الخ في الدارة 8254 , حيث يقابل العنوان A1A0=00 العداد Counter 0 ويقابل العنوان A1A0=01 العداد Counter 1 ويقابل العنوان A1A0=10 العداد Counter 2 ويقابل العنوان A1A0=11 سجل كلمة التحكم .

- إضافة العنوان الداخلي إلى العنوان القاعدي لتحديد عنوان كل سجل من سجلات التجهيزة بالنسبة إلى النظام .

- العودة إلى نشرة المعلومات الخاصة للتجهيزة أو الدارة لتحديد شكل كلمات التحكم الواجب إرسالها إلى التجهيزة لتهيئتها للعمل بالطريقة المطلوبة . ويبين الشكل (٤-٣٩) هيئة كلمات التحكم أو الأوامر الواجب إرسالها إلى سجل التحكم لإعداد كل عداد من العدادات الموجودة ضمن الدارة 8254 في النمط المطلوب .

- تشكيل كلمات التحكم الواجب إرسالها وفق الهيئة الواردة في النشرة وتبعاً لنمط التشغيل المطلوب .ويمكن كتابة معنى كل خانة من كلمة التحكم لتسهيل التدقيق لاحقاً .

- وأخيراً , إرسال كلمة التحكم إلى سجل التحكم وإرسال القيمة الابتدائية إلى العداد المعني ويجب إرسال كلمة تحكم من أجل كل عداد من العدادات الموجودة في الدارة 8254 . وبما أنه لا يوجد في الدارة 8254 إلا سجل

تحكم وحيد لذلك ترسل كلمة التحكم الخاصة بكل عداد من العدادات إلى العنوان نفسه, ولكن نستخدم أعلى خانتين من كلمة التحكم SC1, SC0 لتحديد العداد الذي نرغب في إعداده بكلمة التحكم اللازمة . وتمكننا الخانة

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
SC1	SC0	RW1	RW0	M2	M1	M0	BCD

SC – SELECT COUNTER:

SC1	SC0	
0	0	SELECT COUNTER 0
0	1	SELECT COUNTER 1
1	0	SELECT COUNTER 2
1	1	READ-BACK COMMAND (SEE READ OPERATIONS)

RW – READ/WRITE:

RW1	RW0	
0	0	COUNTER LATCH COMMAND (SEE READ OPERATIONS)
0	1	READ/WRITE LEAST SIGNIFICANT BYTE ONLY.
1	0	READ/WRITE MOST SIGNIFICANT BYTE ONLY.
1	1	READ/WRITE LEAST SIGNIFICANT BYTE FIRST, THEN MOST SIGNIFICANT BYTE.

M – MODE:

M2	M1	M0	
0	0	0	MODE 0 – INTERRUPT ON TERMINAL COUNT
0	0	1	MODE 1 – HARDWARE ONE-SHOT
X	1	0	MODE 2 – PULSE GENERATOR
X	1	1	MODE 3 – SQUARE WAVE GENERATOR
1	0	0	MODE 4 – SOFTWARE TRIGGERED STROBE
1	0	1	MODE 5 – HARDWARE TRIGGERED STROBE

BCD:

0	BINARY COUNTER 16-BITS
1	BINARY CODED DECIMAL (BCD) COUNTER (4 DECADES)

الشكل (٤-٣٩) – هيئة كلمات التحكم أو الأوامر اللازمة لبرمجة العدادات

الدنيا المسماة BCD من برمجة العداد للعد تنازلياً من القيمة المشحونة فيه إما ثنائياً على 16 خانة ثنائية أو بالترميز العشري المرمز ثنائياً على أربع خانات عشرية .عند وضع 0 في الخانة من كلمة التحكم يعامل العداد المعني القيمة التي تشحن فيه كعدد ثنائي . أما إذا وضعت القيمة 1 في الخانة D0 فيعامل العداد هذه القيمة على أنها عدد عشري مرمز ثنائياً (يقع بين 0000 و 9999) . وتحدد القيم المكتوبة في الخانات M2,M1,M0 من كلمة التحكم نمط عمل العداد أي أثر المدخل Gate على العد والإشارة الناتجة على مخرج العداد OUT .

- تحدد الخانتان RW0 و RW1 الطريقة التي نرغب في استخدامها لقراءة قيمة العدادات أو لشحن قيمة ما في هذه العدادات . فعند كتابة القيمة 01 فيهما ضمن كلمة التحكم فهذا يعني أننا سنقوم بشحن العداد المعني بالكلمة ذات 8Bit الدنيا فقط بإرسالها إلى عنوان العداد المعني . أما إذا كتبت القيمة 10 في خانتي القراءة و الكتابة RW1 RW0 فهذا يعني أننا سنشحن الكلمة ذات 8Bit العليا فقط من قيمة العداد بإرسالها إلى عنوان العداد المعني . وأما إذا كتبت القيمة 11 في خانتي القراءة والكتابة فهذا للدلالة على أننا سنشحن العداد المعني بقيمة ذات 16Bit على مرحلتين بإرسال 8Bit الدنيا من قيمة العد أولاً إلى عنوان العداد ثم بإرسال 8Bit العليا إلى العنوان نفسه .

يمكن قراءة العد من أي من العدادات في أي لحظة بإرسال كلمة تحكم إلى سجل التحكم وتكتب في خانتي القراءة والكتابة من كلمة التحكم القيمة RW1RW0=00 فتحفظ قيمة العد في تلك اللحظة في سجل ماسك داخلي . بعدها يجب إرسال كلمة تحكم ثانية تحدد فيها قيمة الخانتين RW0 WR1

والطريقة التي نرغب وفقها قراءة قيمة العداد المختزنة في السجل الماسك LATCH .

٤-٧-٨- أنماط عمل المؤقت/العداد 8254 وتطبيقاته

يمكن برمجة العداد 8254 للعمل في أحد أنماط العمل الستة المتاحة التي سنوردها باختصار وللتعرف على أشكال إشارات الخرج والدخل للعدادات في كل نمط من هذه الأنماط يمكن الرجوع إلى النشرات الخاصة للعدادات .

● **النمط 0 : المقاطعة عند العد النهائي**

Interrupt on Terminal Count

في هذا النمط ينتخب نمط العمل بوضع القيمة 000 في الخانات المقابلة لـ M2 M1 M0 من كلمة التحكم ثم يشحن العداد الموافق بالقيمة المراد عدها . يقوم العداد بعد ذلك بعد النبضات الواردة إلى مدخل الساعة CLK الخاص به تنازلياً مادامت إشارة تأهيل العد Gate على الواحد (يتوقف عن العد عندما تكون هذه الإشارة صفراً) ويتحول خرج العداد OUT من الصفر إلى الواحد فور انتقال قيمة العد من 000H إلى FFFFH إلا إذا شحن العداد بقيمة جديدة . ويمكن الاستفادة من خرج العداد OUT لمقاطعة المعالج إذا وصل هذا الخرج إلى مدخل مقاطعة يقدح على المستوى العالي أو الجبهة الصاعدة عند انتقال قيمة العداد إلى الصفر (العد النهائي) .

يُستخدم هذا النمط لعد عدد معين من الأحداث ومن ثم اتخاذ إجراء محدد عند الوصول إلى هذا العدد بواسطة إجرائية المقاطعة بدلاً من وصل النبضات مباشرة إلى مدخل المقاطعة وإسناد مهمة العد إلى إجرائية تخديم المقاطعة .

● **النمط 1** : توليد نبضة وحيدة قابلة لإعادة القدح

Retrigger able One – Shot

للعمل في هذا النمط تكتب القيمة 001 في الخانات المقابلة لـ M2M1M0 من كلمة التحكم ثم يشحن العداد بالقيمة المراد عدها التي تقابل عدد نبضات الساعة التي سيبقى عليها خرج العداد في المستوى العالي . عند كتابة كلمة التحكم في سجل التحكم يصبح خرج العداد الموافق OUT واحداً . في هذا النمط يتصرف المدخل Gate وكأنه مدخل قدح إذ لا يبدأ العداد بالعد حتى ينتقل المدخل Gate من الصفر إلى الواحد وعندها تنتقل قيمة العد من سجل العداد إلى العداد نفسه ويبدأ العد بدءاً من نبضة الساعة التالية على مدخل الساعة CLK ويعود الخرج OUT إلى الصفر . ثم تقوم كل نبضة ساعة تالية بإنقاص قيمة العد المشحونة بمقدار واحد حتى يصل العد إلى القيمة 0000H فينتقل خرج العداد إلى الواحد مرة ثانية . ومن ثم عند قدح العداد بجعل المدخل Gate في المستوى العالي ينتقل خرج العداد إلى المستوى المنطقي المنخفض ويبقى كذلك مدة تساوي العدد المشحون في العداد N مضروباً بدور الساعة , أي أن عرض نبضة الخرج على المستوى المنخفض يساوي إلى N دوراً من أدوار الساعة . إذا وردت نبضة موجبة إلى المدخل Gate قبل انتهاء العد تعود قيمة العد الأساسي لتشحن في العداد ويعود العد التنازلي من هذه القيمة ويبقى الخرج في هذه الأثناء على المستوى المنطقي المنخفض حتى انتهاء العد (الوصول إلى القيمة 0000H) أو حتى ورود نبضة إعادة القدح ثانية . أما في حال شحن سجل العداد بقيمة جديدة أثناء العد (أي عندما يكون الخرج OUT على الصفر) فإن القيمة الجديدة لن تنتقل إلى العداد ولن يبدأ العد التنازلي منها حتى ورود نبضة قدح جديدة إلى مدخل القدح Gate .

النمط 2 : مولد إشارات مقاطعة متزامن

Timed Interrupt Generator

يستطيع العداد 8254 أن يقوم بتوليد نبضات ساعة زمن حقيقي بمعدل أخفض بكثير من تردد ساعة عمل المعالج وأعلى بكثير 1Hz ،وبالتالي يمكن قياس أزمنة أقصر بكثير من الثانية (أي بتمييزية أعلى) وبدقة عالية ،وتستخدم معظم نظم الحواسيب ساعة زمن حقيقي بتردد 1KHz أي أن الزمن الفاصل بين إشارات المقاطعة الناجمة هو 1mS. وللعمل في هذا النمط تكتب القيمة 010 في الخانات M2 M1 M0 من كلمة التحكم ثم يشحن العداد المراد تشغيله في هذا النمط بالقيمة المطلوبة . وإذا كانت إشارة التأهيل Gate في المستوى العالي يبدأ العداد بالعد تنازلياً بدءاً من نبضة الساعة التالية لشحن العداد . وعندما تصل قيمة العداد إلى القيمة واحد يهبط خرج العداد OUT إلى الصفر مدة تعادل نبضة ساعة واحدة إذ تتسبب الجبهة الهابطة لنبضة الساعة التالية بانتقال قيمة العداد إلى الصفر وإعادة شحنه بنفس قيمة العد الابتدائية . ويعود العداد للعد تنازلياً وتتكرر هذه الدورة . فإذا شحن العداد بقيمة N ينتقل خرج العداد OUT إلى الصفر مدة دور واحد كل N نبضة ساعة لذا يكون تردد إشارة الخرج مساوياً لتردد ساعة الدخل مقسوماً على N . وفي حال انخفاض إشارة التأهيل Gate إلى الصفر أثناء العد يتوقف العد وعند عودة إشارة GATE إلى الواحد يعود العداد إلى شحن القيمة الموجودة في سجل العداد من جديد عند نبضة الساعة التالية ويعود إلى العد تنازلياً من تلك القيمة . أما إذا

كتبت قيمة عد جديدة في سجل العداد فلن تنتقل القيمة الجديدة إلى العداد حتى تصل قيمة العد إلى الواحد .

● النمط 3: الموجة المربعة SQUARE WAVE

إذا برمج أحد العدادات للعمل في النمط 3 وشحنت في سجل العداد قيمة زوجية يعطي العداد على خرجه إشارة مربعة ترددها يساوي تردد ساعة الدخل مقسوماً على القيمة المشحونة في العداد . أما إذا شحنت فيه قيمة فردية فلن تكون إشارة الخرج متناظرة . أي قد تكون المدة التي تبقى النبضة فيها في المستوى العالي أكبر من المدة المستوى التي يبقى فيها في المستوي المنخفض بدور ساعة دخل أو أكثر . بعد شحن العداد بالقيمة المطلوبة تنتقل القيمة المشحونة في سجل العداد إلى العداد نفسه ثم يبدأ العد التنازلي بمقدار عدتين وعند وصول قيمة العداد إلى القيمة 2 ينتقل خرج العداد من الواحد إلى الصفر ويعاد شحن قيمة العد إلى العداد آلياً . ويبقى خرج العداد في المستوي الصفر حتى وصول العد ثانية إلى القيمة 2 فيعود الخرج إلى الواحد ويعاد شحن العداد بقيمته الأولية وهكذا . في حال انخفاض المدخل Gate في أية لحظة يتوقف العد وتعود قيمة العد المختزنة في سجل العداد للشحن في العداد فور عودة الإشارة Gate إلى الواحد .

● النمط 4 : القدح البرمجي Software -Triggered Strobe

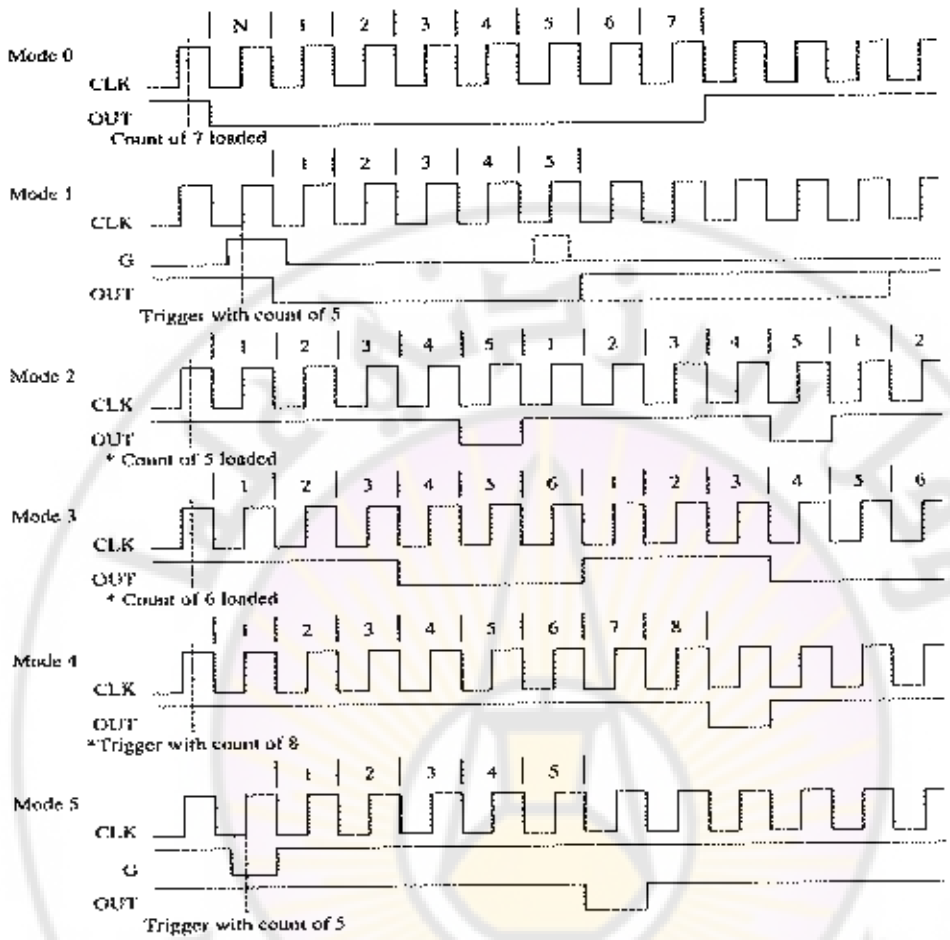
في هذا النمط يقوم العداد بتوليد نبضة قدح وحيدة تنتقل من الواحد إلى الصفر بعد N+1 نبضة ساعة من شحن العداد بالقيمة N , وتستمر مدة دور واحد من نبضات الدخل . وقد سمي هذا النمط بالقدح البرمجي لأن النبضة تتولد نتيجة كتابة قيمة العد في العداد بتعليمة برمجية . وبعد وصول العد إلى الصفر

ينتقل العداد إلى FFFFH ثم يتابع العد تنازلياً . ويمكن استغلال هذا النمط لكتابة معطيات تفرعية على منفذ ما ثم إرسال نبضة قدح بعد تأخير ما لإعلام التجهيزة المستقبلة بجاهزية المعطيات .

● **النمط 5 : القدح المادي Hardware - Triggered Strobe**

يستخدم هذا النمط عند الحاجة إلى توليد نبضة قدح تنتقل من الواحد إلى الصفر بعد تأخير معين من انتقال إشارة الدخل Gate للعداد من الصفر إلى الواحد ويفيد هذا النمط بتأخير النبضة الصاعدة الواردة إلى المدخل DATE بقدر معين .ويشحن سجل العداد بقيمة العد المطلوبة التي تنتقل إلى العداد فور انتقال إشارة دخل العداد Gate إلى الواحد . ويبدأ العداد بالعد تنازلياً بعد انتقال قيمة العد إلى العداد بنبضة ساعة دخل واحدة . وعندما يصل العداد إلى الصفر ينتقل خرج العداد إلى الصفر مدة تساوي نبضة ساعة دخل وحيدة . أي أن الخرج ينتقل إلى الصفر بعد N+1 نبضة من انتقال مدخل القدح Gate إلى الواحد .

وفي حال ورود نبضة قدح ثانية إلى المدخل Gate أثناء العد يعود العداد إلى شحن قيمة العد الأولية ويبدأ العد التنازلي من جديد , وفي حال استمرار ورود نبضات القدح قبل وصول العداد إلى القيمة صفر يبقى الخرج OUT في المستوى العالي . أما إذا كتبت قيمة عد جديدة في سجل العداد أثناء العد فلن تنتقل القيمة الجديدة للعداد حتى ورود إشارة قدح إلى المدخل Gate . ويمكن العودة إلى تفاصيل أكثر وأشكال الإشارات الموافقة في نشرة المعلومات الخاصة للمؤقت/العداد 8254. ويبين الشكل (٤-٤٠) إشارات الخرج في الأنماط المختلفة .



الشكل (٤٠) – إشارات الخرج في الأنماط المختلفة

الفصل الخامس

تقنيات الدخل/الخرج ومتحكم المقاطعة

وقل رب زدني علما
جامعة دمشق
Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

تقنيات الدخل/الخرج ومتحكم المقاطعة

٥-١- مقدمة

إن معظم الوظائف الحسابية الرئيسية للحواسيب تحتاج إلى مكونين هما وحدة المعالجة المركزية والذاكرة ,إذ تجلب وحدة المعالجة المركزية التعليمات والمعطيات من الذاكرة وتعود لتخزن النتائج فيها ,ولكن الحاسوب يحتاج إلى عناصر أخرى يمكن تسميتها بنظام الدخل /الخرج , والغرض الأساسي منها نقل المعطيات بين الذاكرة أو وحدة المعالجة المركزية من جهة وبين العالم الخارجي (الذي يتضمن الوحدات المحيطية كالطابعات مثلاً ووحدات التحكم الخاصة بهذه التجهيزات) من جهة أخرى. ويمكن تسمية عمليات الإدخال والإخراج التي تقوم بها وحدة المعالجة المركزية بعمليات الدخل/الخرج, وتستعمل ثلاث تقنيات دخل/خرج أساسية وهي الدخل/الخرج المبرمج والدخل/الخرج المقاد بالمقاطعات والنفاذ المباشر إلى الذاكرة DMA .

٥-٢- تقنيات الدخل/الخرج المبرمج

Programmed I/O

وهي طريقة متاحة في معظم الحواسيب , تحتاج كما ذكرنا سابقاً إلى تنفيذ كافة عمليات الدخل/الخرج تحت السيطرة المباشرة لوحدة المعالجة المركزية , أي إن كل عملية نقل معطيات من تجهيزة الدخل/الخرج تحتاج إلى تنفيذ تعليمة من قبل المعالج , ولا تملك تجهيزة الدخل/الخرج إمكانية النفاذ المباشر إلى الذاكرة الرئيسية , وتحتاج عملية نقل المعطيات من تجهيزة الدخل/الخرج إلى الذاكرة الرئيسية إلى تنفيذ تعليمتين من قبل وحدة المعالجة المركزية هما :

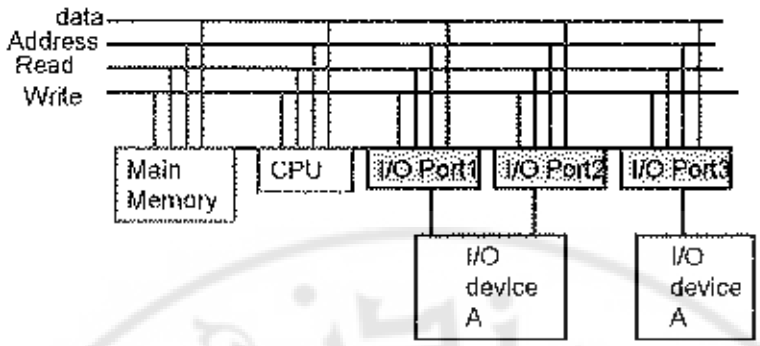
تعليمة إدخال لنقل الكلمة من تجهيزة الدخل/الخرج إلى وحدة المعالجة المركزية وتعليمة تخزين لنقل الكلمة من وحدة المعالجة المركزية إلى الذاكرة الأساسية .

٣-٢-١- عنونة الدخل/الخرج

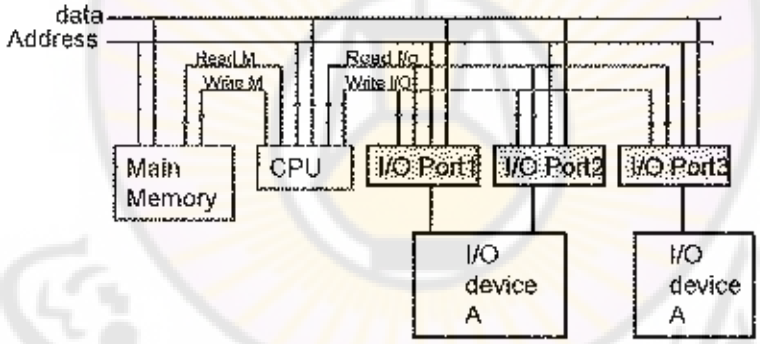
تتخاطب كل من أجهزة الدخل/الخرج والذاكرة الرئيسية ووحدة المعالجة المركزية بواسطة مسرى وحيد مشترك تستخدم فيه خطوط العنونة نفسها التي تنتخب مواقع الذاكرة الرئيسية لاختيار أجهزة الدخل/الخرج , وتسمى كل عقدة وصل بين المسرى الأساسي وتجهيزة الدخل/الخرج بمنفذ الدخل/الخرج I/O PORT ويسند إليها عنوان فريد . قد يتضمن منفذ الدخل/الخرج سجل تخزين مؤقت للمعطيات , وهذا ما يجعله يبدو مشابهاً للذاكرة الرئيسية من وجهة نظر وحدة المعالجة المركزية . ويخصص في بعض الحواسيب جزء من مساحة العنونة الخاصة بالذاكرة الرئيسية لمنفذ الدخل/الخرج وتسمى هذه العملية بالدخل/الخرج المحجوز من الذاكرة Memory – Mapped I/O , وفي هذه الحالة تصبح تعليمات جلب المعطيات أو تخزينها من أو في الموقع X عمليات إدخال وإخراج من وإلى الموقع X , والذي يمثل عنواناً لمنفذ الدخل/الخرج وتستخدم تعليمات الجلب Fetch والتخزين Store من أو في الذاكرة الاعتيادية لنقل كلمة معطيات من وإلى تجهيزةالدخل/الخرج دون الحاجة لتعليمات خاصة بالدخل/الخرج , ويبين الشكل(٥-١) البنية اللازمة لهذا النمط من الدخل/الخرج.

وتستخدم خطوط التحكم في القراءة READ والكتابة WRITE التي تقوم بتفعيلها وحدة المعالجة المركزية عند تفكيك ترميز التعليمات التي تتعامل مع الذاكرة بإطلاق إما دور نفاذ إلى الذاكرة أو عملية نقل من منفذ دخل/خرج .

وهناك بنية أخرى شائعة الاستخدام تكون فيها مساحة عنونة الذاكرة منفصلة عن مساحات عنونة الدخل/الخرج كما هو مبين في الشكل (٥-٢) .



الشكل (٥-١) – الدخل/الخرج المبرمج على مساحة عنونة مشتركة بين الذاكرة و الدخل/الخرج



الشكل (٥-٢) – الدخل/الخرج المبرمج على مساحة عنونة منفصلة عن مساحة عنونة الذاكرة

حيث تقوم تعليمات التعامل مع الذاكرة بتشغيل خطوط التحكم في القراءة والكتابة الخاصة بالذاكرة READM و WRITEM دون أن تؤثر في أجهزة

الدخل/الخرج . ونحتاج في هذه البنية إلى تعليمات دخل/خرج خاصة لتقوم بتشغيل خطوط التحكم في القراءة والكتابة الخاصة بالدخل/الخرج (READ I/O و WRITE I/O) , والتي تقوم بنقل كلمة معطيات بين منفذ الدخل/الخرج المعنون ووحدة المعالجة المركزية في هذه العملية. ويمكن لتجهيزة الدخل/الخرج وموقع ذاكرة رئيسي أن يكون لهما العنوان نفسه .

٥-٢-٢- تعليمات الدخل/الخرج الأساسية

يمكن تحقيق الدخل/الخرج المبرمج بتعليمتين برمجيتين فقط ,تنقل مثلاً التعليمة IN X كلمة من منفذ الدخل/الخرج X إلى المراكم Accumulator في المعالج في حين تنقل تعليمة الخرج OUT X كلمة من المراكم إلى منفذ الدخل/الخرج X . وعند تنفيذ المعالج لتعليمات الدخل/الخرج IN/OUT يجب أن يكون منفذ الدخل/الخرج المعنون جاهزاً للاستجابة للتعليمة المنفذة .

وعند عدم استخدام المصافحة Handshaking يجب أن يقوم جهاز الدخل/الخرج بنقل المعطيات من/إلى المسرى خلال مدة محددة , وذلك لضمان عدم ضياع المعطيات , لكي يمتد زمن تعليمات الدخل/الخرج كثيراً , ويفضل أن تتعرف وحدة المعالجة المركزية على حالة تجهيزة الدخل/الخرج لكي تجري عملية النقل عندما تكون تجهيزة الدخل/الخرج في حالة الجاهزية , وفي هذا النمط من عمليات الدخل/الخرج قبل إطلاق عملية نقل المعطيات يمكن غالباً تمثيل حالة التجهيزة بخانة ثنائية وحيدة تتصل بأحد خطوط المعطيات.

٥-٢-٣- دارات I/O المبرمجة وعملياتها المحكومة بالمصافحة

تحتوي معظم دارات الدخل/الخرج كالدارة 8255A منفذين أو ثلاثة يمكن برمجتها لتعمل بأحد الأنماط المتاحة التي يسمح كل منها باستخدام المنفذ ليقوم

بعمليات دخل/خرج تفرعية وفق إحدى الطرق التالية :

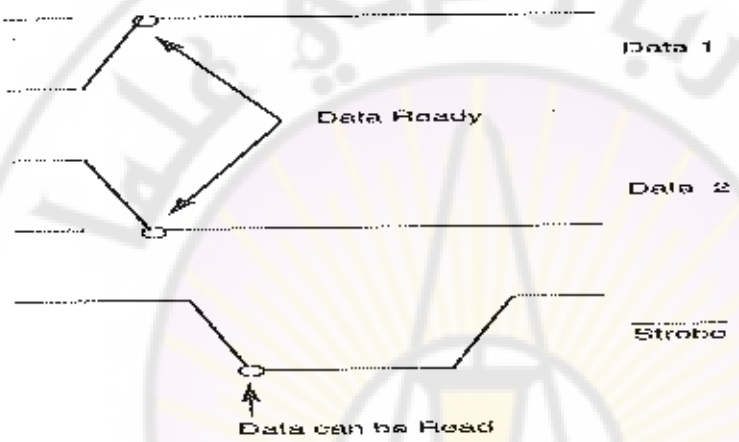
١. عمليات الدخل/الخرج البسيطة

عندما نحتاج إلى قراءة حالة دخل/خرج رقمي بسيط (مفتاح أو قاطع حراري Thermostat مثلاً) من معالج صغري نصل هذا الدخل إلى أحد خطوط منافذ الدخل/الخرج ونقرأ المنفذ وتكون المعطيات موجودة أو جاهزة للقراءة في أي وقت.وكذلك الأمر عند الحاجة إلى إخراج معطيات رقمية لوحدة إظهار بسيطة كثنائي مصدر للضوء(Light Emitting Diode (LED فيوصل دخل سجل العزل(المخزن) المتصل بالثنائي إلى أحد خطوط منفذ خرج ونضع عليه برمجياً المستوى المنطقي المناسب لإضاءة الثنائي الضوئي ويكون الثنائي موجوداً دوماً وجاهزاً لاستقبال الإشارة

٢. عمليات الدخل/الخرج بالقدح

تكون المعطيات متوفرة على جهاز الدخل أو الخرج خلال مدة معينة محدودة, ويجب قراءتها خلال هذه المدة . وكمثال على هذه العمليات نذكر مثلاً عملية القراءة من لوحة مفاتيح لحظية Keyboard لأحد الحروف المرمزة وفق ترميز ASCII .عند الضغط على أحد المفاتيح تضع دارات لوحة المفاتيح ترميز ASCII للمفتاح المضغوط على ثمانية خطوط على التفرع ثم ترسل هذه الدارات إشارة قدح على خط أخر للدلالة على أن المعطيات المتوفرة على الخطوط الثمانية جاهزة . ويمكن وصل خط القدح إلى خط منفذ دخل واستجواب Polling باستمرار لتحري معطيات جديدة متوفرة للإدخال .ويمكن كذلك وصل خط القدح إلى خطوط طلب المقاطعة للمعالج بحيث يقوم برنامج خدمة المقاطعة بقراءة المعطيات عند حدوث طلب المقاطعة, ويمكن قراءة المعطيات عندما تُعلمنا إشارة القدح بأن المعطيات متوفرة وصالحة . ويبين الشكل(٥-٣) الدخل/الخرج المحكوم بالقدح . وتُعتبر هذه الطريقة صالحة لنقل المعطيات

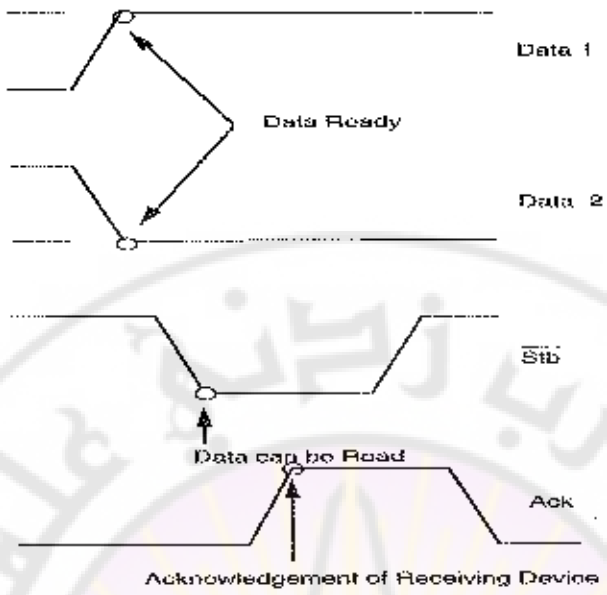
بمعدل بطيء , ولكنها لا تصلح لنقل المعطيات بمعدل سريع بسبب عدم وجود إشارة تعلم التجهيزة التي تقوم بإرسال المعطيات متى يمكنها إرسال الكلمة التالية من المعطيات , وبالتالي قد تقوم التجهيزة المرسلة بإرسال كلمات المعطيات بمعدل أسرع من قدرة التجهيزة المستقبلة على القراءة , ونحتاج للتخلص من هذه المشكلة إلى تبادل المعطيات وفق طريقة المصافحة للنقل Hand Shake .



الشكل(٣) – الدخل/الخرج المحكوم بالقدح

٣. عمليات الدخل/الخرج بالمصافحة الوحيدة

في هذا النمط من العمليات تضع التجهيزة المحيطية المعطيات التفرعية على مخارجها , وترسل إشارة قدح للمعالج الذي يكشف هذه الإشارة (إما بالاستجواب Polling أو المقاطعة) , ويقرأ المعطيات , ثم يقوم المعالج بإرسال إشارة إشعار إلى التجهيزة المحيطية لإعلامها بإمكانية إرسال الكلمة التالية من المعطيات , وتسمى هذه العملية بالمصافحة , ولا يمكن للمرسل إرسال المعطيات قبل أن تكون التجهيزة المستقبلة جاهزة لاستقبال كلمة المعطيات التالية بإشارة ACK , كما هو مبين في الشكل (٥-٤) .

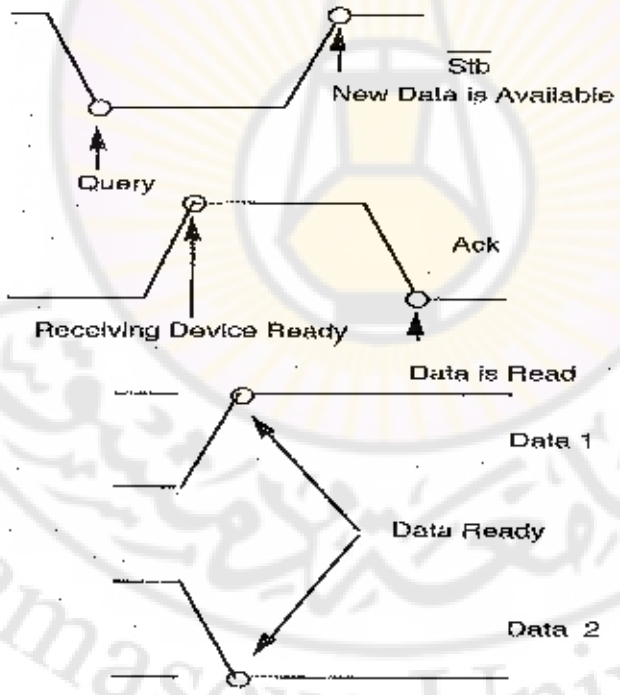


الشكل (٥-٤) – الدخل/الخرج بالمصافحة الوحيدة

٤. عمليات الدخل/الخرج بالمصافحات المزدوجة

تستخدم المصافحة المزدوجة عند الحاجة إلى توافق أكبر بين المرسل والمستقبل , وفي هذا النمط من المصافحة تستعلم التجهيزة المرسلة عن جاهزية المستقبل بوضع خط القدح على المستوى المنطقي المنخفض , فإذا كان المستقبل جاهزاً يقوم بإعلام المرسل عن جاهزيته بوضع خط إشعار على المستوى المنطقي العالي , وعندها يضع المرسل المعطيات الجديدة على خطوط المعطيات ,ويجعل المستوى المنطقي على خط القدح STB في المستوى العالي, ليعلم المستقبل بأن المعطيات الحديثة متوفرة , ويقوم المستقبل بقراءة المعطيات, ثم يضع منطقاً منخفضاً على خط الإشعارASK لإعلام المرسل بأن المعطيات قد تمت قراءتها وأن المستقبل ينتظر معطيات جديدة , وعند عملية الإخراج من المعالج إلى التجهيزة المحيطية وفق هذا النمط تبقى الإشارات السابقة نفسها

صالحة للتعبير عن تتابع العمل , ويقوم المعالج بوضع إشارات القدح والمعطيات على الخطوط .ويمكن كشف إشارة القدح أو الإشعار إما بالاستجواب البرمجي , أو بالمقاطعة , وكذلك الأمر عند توليد إشارات القدح والإشعار , ولكن يفضل عادة استخدام المقاطعة , لأنها تجعلنا نستفيد من وقت المعالج استفادة أكثر فعالية . لهذا السبب صممت دارات المنافذ التفرعية , كالمنافذ 8255A , بحيث يمكن برمجتها لتقوم آلياً بإدارة عمليات المصافحة دون المعالجة فمثلاً , يمكن برمجة المنفذ لاستقبال إشارة قدح من تجهيزة محيطية , وإرسال إشارة مقاطعة إلى المعالج ومن ثم إرسال إشارة إشعار إلى التجهيزة المحيطية في الوقت المناسب .ويبين الشكل (٥-٥) عمليات الدخل/الخرج بالمصافحات المزدوجة .

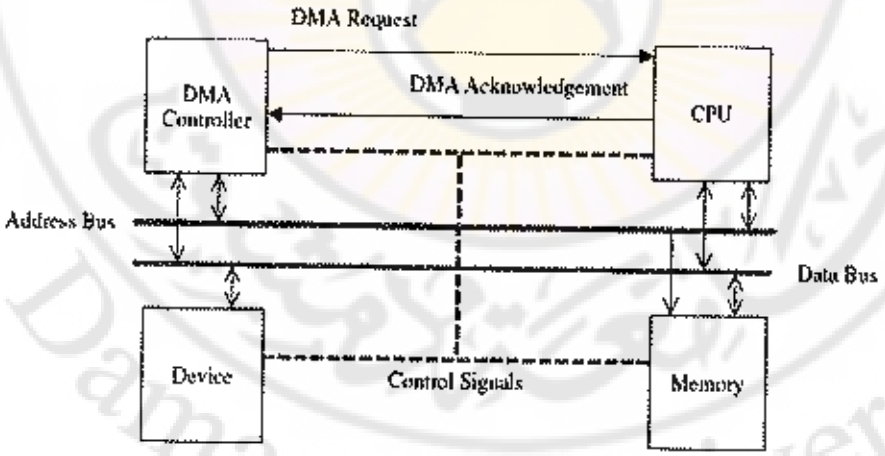


الشكل (٥-٥) – عمليات الدخل/الخرج بالمصافحات المزدوجة

٥-٣- النفاذ المباشر إلى الذاكرة DMA

Direct Memory Access

تُعد تقنية النفاذ المباشر إلى الذاكرة أكثر فعالية لنقل كمية كبيرة من المعطيات في زمن قصير جداً , باعتبار أن نقل المعطيات بين المعالج والوحدات المحيطية بطئ جداً , لأن المعطيات يتم جلبها أولاً إلى المعالج ومن ثم ترسل إلى الهدف, ويضاف زمن الجلب وتفكيك شفيرة التعليمات , مما يستدعي استخدام المتحكم DMA8237 للنفاذ المباشر للذاكرة. وبالتالي يكون هناك اتصال مباشر بين الذاكرة والوحدات المحيطية بدون المرور بالمعالج , وبذلك يتم نقل المعطيات بأسرع ما يمكن , فمثلاً نقل بايت من الذاكرة إلى الوحدات المحيطية باستخدام المعالج 8086 يحتاج إلى 39 نبضة ساعة أما باستخدام المتحكم 8237 يحتاج إلى أربع نبضات. وهكذا فإن الـ DMA تؤهل الطرفيات من الوصول المباشر للذاكرة دون المرور بالمعالج (CPU) مما يؤدي إلى تحسين الأداء . ويبين الشكل (٥-٦) التشارك بين المعالج والتجهيزات الطرفية ومتحكم الـ DMA .



الشكل (٥-٦) – التشارك بين المعالج والتجهيزات الطرفية ومتحكم الـ DMA

إن متحكم الـ DMA يقود طرفيه أو أكثر، وبالتالي يتعامل كل من المعالج (CPU) والطرفية مع الذاكرة في وقت مختلف عن الآخر، فالطرفية ترسل إشارة طلب للمعالج باستخدام الخطوط والمعالج يرسل إشارة الجواب على الطلب و تتحكم الطرفية باستخدام الذاكرة .

ويطلب متحكم الـ DMA من المعالج طلباً يتضمن مساحة المصدر، ومساحة الوجهة ، وطول المعطيات ، فيما إذا كانت ستتم مقاطعة عند إنهاء عمله . ويملك هذا المتحكم سجل عنوان ، وسجل عداد ، وسجل تحكم . ويحتوي سجل العنوان على عنوان الموقع من الذاكرة الذي سيتم عبره تناقل المعطيات ، ويتم زيادة محتواه باستمرار لنقل الكلمات إليه . ويحتوي سجل العداد عدد الكلمات المنقولة ، وتتناقص باستمرار عملية النقل .أما سجل التحكم فيحتوي على نمط النقل ، وهناك نمطان للنقل هما:

١- نمط الرشقة

٢- نمط الدورة الوحيدة single-cycle .

وفي نمط الرشقة يحافظ متحكم الـ DMA على الخطوط حتى تنتهي عملية النقل ،بينما في النمط الثاني يتنازل الـ DMA عن سيطرته على خطوط التحكم من أجل كل كلمة منقولة. ويتطلب هذا النمط وقت أقل من استهلاك المعالج (CPU) ، لكنه يتطلب في كل مرة إشارة طلب ورد الطلب .

أما خطوات الـ DMA هي كما يلي :

١- يبدأ المتحكم بالنقل.

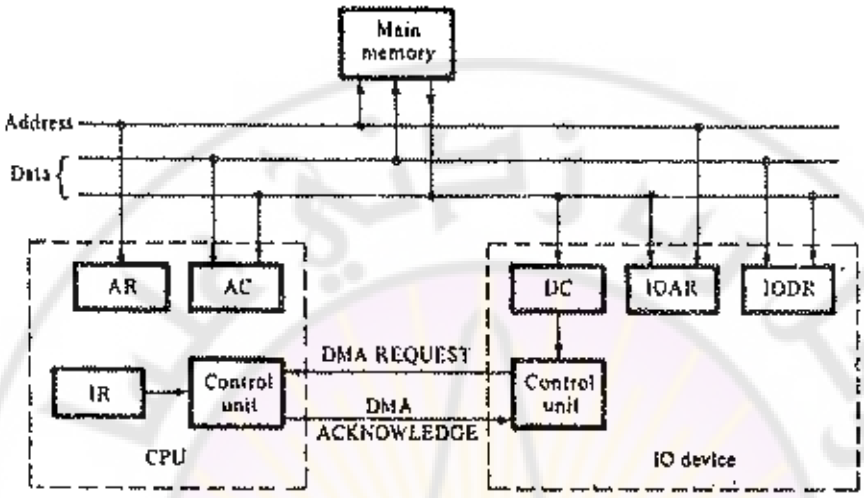
٢- زيادة عنوان الذاكرة ونقص محتوى سجل عداد الكلمات المنقولة .

٣- عند نهاية عداد الكلمات فإن المتحكم يعلم المعالج بذلك .

٤- تعود الخطوط للمعالج.

٥-٣-١- المكونات الأساسية لوحدة الـ DMA

يبين الشكل (٥-٧) المكونات الأساسية لوحدة الـ DMA .

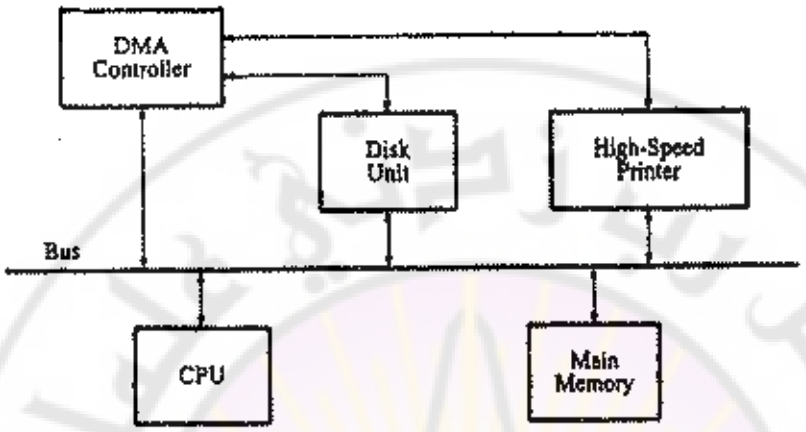


الشكل (٥-٧) – المكونات الأساسية لوحدة الـ DMA

يبين الشكل (٥-٨) مثالاً على متحكم I/O , ويُستخدم مع تجهيزتي دخل/خرج هما سواقة القرص , وطابعة عالية السرعة. ويُقال في هذه الحالة عن هذا المتحكم إنه يؤمّن قناتي DMA اثنتين , وتتم مضاعفة السجلات اللازمة لحفظ عنوان الذاكرة وعدد الكلمات بحيث يمكن استخدام مجموعة واحدة من السجلات مع كل تجهيزة تؤمن وصل لكل قناة بين متحكم الـ DMAوواحدة من تجهيزتي الدخل/الخرج I/O . وللبدء بنقل المعطيات بين القرص والذاكرة الرئيسة يكتب البرنامج المعلومات التالية في سجلات قناة النفاذ المباشر للذاكرة DMA المخصصة للقرص , وهي :

- عنوان الذاكرة Memory Address .
- عدد الكلماتWord Count .

- عنوان المعطيات على القرص.
- الوظيفة المطلوب تنفيذها(قراءة Read أو كتابة Write).



الشكل (٥-٨) – متحكم I/O يُستخدم مع تجهيزتي دخل/ خرج

يستخدم متحكم الـ DMA لتحقيق الوظيفة المحددة، ويستخدم وصله مع وحدة القرص لمزامنة Synchronize عمله مع عمل القرص. وعند اكتمال النقل بطريقة الـ DMA تسجل في سجل الحالة Status Register لمتحكم الـ DMA . وسوف يحتوي سجل الحالة أيضاً على معلومات تشير فيما إذا حدث النقل بشكل صحيح أو تمت مواجهة بعض الأخطاء. بينما تأخذ عملية النقل بطريقة الـ DMA مكانها فإن البرنامج الذي طلب النقل لا يستطيع الاستمرار. ولكن يمكن أن تستخدم وحدة المعالجة المركزية CPU لتنفيذ برنامج آخر. ويمكن لوحدة المعالجة المركزية CPU بعد إتمام عملية النقل بالـ DMA أن تعود ثانيةً إلى البرنامج الذي طلب النقل. فإن توقيف تنفيذ برنامج للبدء ببرنامج آخر هي مسؤولية نظام التشغيل. ونظام التشغيل أيضاً هو الذي يبدأ عملية الـ DMA عندما يطلب منه برنامج فعل ذلك. ويُعلم متحكم الـ

DMA وحدة المعالجة المركزية بإتمام النقل بوساطة إشارة تحكمية على المسرى Bus وتسمى إشارة طلب المقاطعة Interrupt Request Signal . ويفعل Activate المتحكم هذه الإشارة بالوقت نفسه الذي يضع Set فيه بت الجاهزية Ready في سجل الحالة. عندما يحتاج المتحكمDMA لاستخدام المساري لنقل المعطيات يرسل إشارة HOLD إلى المعالج ويرد المعالج على تلك الإشارة بإشارةHLDA يرسلها إلى المتحكم DMA ليعلمه بإمكانية استخدام المساري , وعندما ينتهي المتحكم من عمله يجعل إشارة HOLD في الحالة 0 , ويستعيد المعالج السيطرة على المساري. فعندما يستخدم المتحكمDMA لنقل كتلة معطيات من الذاكرة إلى تجهيزة وحدة الدخل/الخرج مثل القرص يجب معرفة عنوان بداية الكتلة وعدد البايتات المنقولة وبعدئذ يقوم بالخطوات التالية:

١"- تطلب التجهيزة المحيطية من المتحكم DMA خدمة بواسطة إشارة مرتفعة على الخط DREQ .

٢"- تطلب وحدة المتحكمDMA من المعالج استخدام المساري بإرسال إشارة HOLD request HRQ في المستوى 1 إلى أرجل المعالج HOLD.

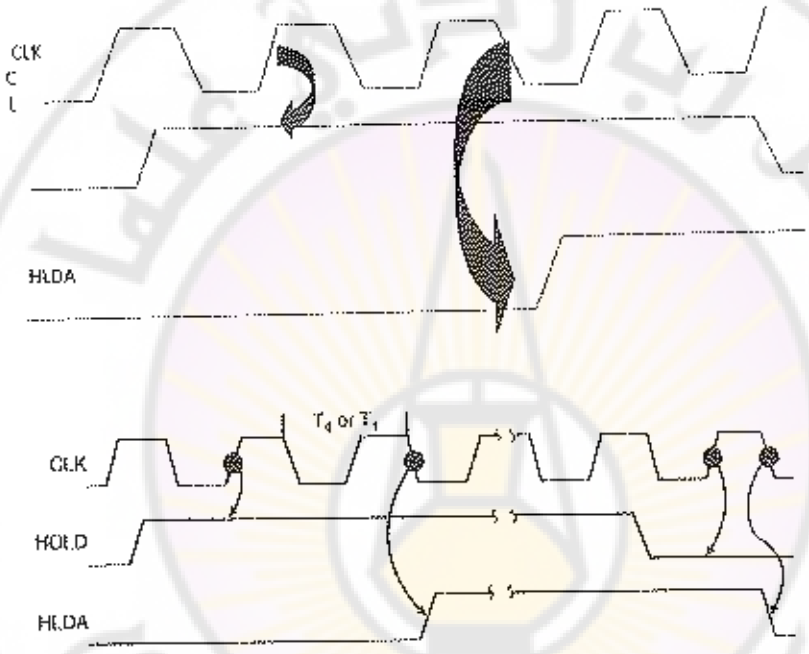
٣"- ينهي المعالج دورة المسرى الحالية ويُجيب على طلب المتحكم DMA بإرسال إشارة HLDA في المستوى 1 ويجب أن تبقى إشارة HOLD في الحالة 1 طوال فترة النقل.

٤"- يفعل المتحكم DMA الإشارة DMA Acknowledge DACK ويخبر التجهيزة المحيطية بأنها ستبدأ بنقل المعطيات.

٥"- يبدأ المتحكم بنقل المعطيات من الذاكرة إلى التجهيزة المحيطية بوضع عنوان البايت الأول من الكتلة الذاكرية على مسرى العناوين

ويفعّل إشارة MEMR وبذلك يقرأ من الذاكرة إلى مسرى المعطيات ومن ثم يفعّل الإشارة IOW للكتابة في التجهيزة المحيطية.ويبين الشكل(٥-٩) المخطط الزمني للإشارات HLDA, HOLD.

٦- بعد إنهاء المتحكم عمله يلغي تفعيل HRQ ويخبر المعالج بإعادة سيطرته على المساري.

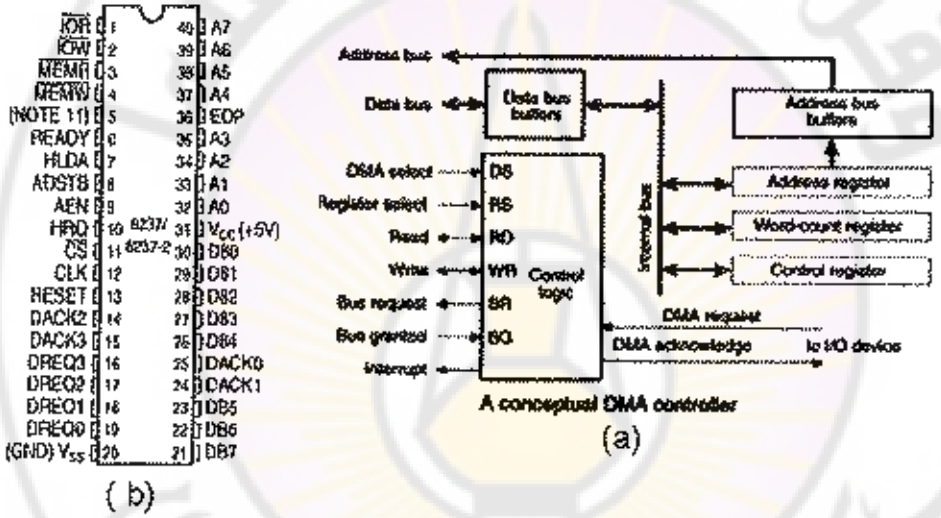


الشكل(٥-٩) – المخطط الزمني للإشارات HLDA, HOLD

٥-٣-٢- برمجة الشريحة DMA 8237

تتكون الشريحة 8237 من 4 قنوات لنقل المعطيات تعمل كل واحدة على حدة ، ولكل قناة إشارتان DRQ DMA Request والثانية DACK DMA Acknowledge والشريحة 8237 إشارتان هماHILD, HOLD يتصلان مع الإشارتينHOLD,HILD للمعالج8086 وهذا يعني أنه يمكن للقنوات الأربع

المتصلة مع أربع تجهيزات مختلفة طلب استخدام مساري النظام . ويجب تهيئة كل قناة من قنوات المتحكم8237 بعناوين منفصلة لكتلة المعطيات قبل إمكانية استخدامها . وتتضمن التهيئة عنوان أول بايت من كتلة المعطيات الواجب نقلها ويسمى العنوان القاعدي وعدد البايتات المنقولة وكلمة العد. وللشريحة أربعة أرجل للعناوين A0-A3 بالإضافة إلى رجل انتخاب الشريحة CS وباعتبار أن كل قناة تحتاج إلى عنوانين منفصلين الأول لعنونة أول بايت والثاني لعدد البايتات ،لذلك تحجز 8 منافذ لهذه القنوات. ويبين الشكل (٥-١٠) البنية الهيكلية لمتحكم DMA والإشارات الضرورية لعمله .



الشكل (٥-١٠) – البنية الهيكلية لمتحكم DMA والإشارات الضرورية لعمله

ويبين الجدول (٥-١) العناوين الداخلية لسجلات المتحكم8237 لكل قناة . أما الجدول (٥-٢) فيبين عناوين المتحكم 8237 الداخلية لكتابة عناوين الأوامر (الحالة) .بينما يبين الجدول (٥-٣) عناوين المنافذ لعنوان القاعدة وكلمة العد لكل قناة في المتحكم 8237 بفرض A7A6A5A4=1001 التي تفعّل CS بينما A3A2A1A0 موصولة إلى مداخل التحكم للشريحة .

CH	CS IOR IOW	A3A2A1A0	كتابة/قراءة	السجل
0	010 001 010 001	0000 0000 0001 0001	كتابة قراءة كتابة قراءة	العنوان الحالي والقاعدي العنوان الحالي قيمة كلمة العد الحالي والقاعدي قيمة العد الحالي
1	010 001 010 001	0010 0010 0011 0011	كتابة قراءة كتابة قراءة	العنوان الحالي والقاعدي العنوان الحالي قيمة كلمة العد الحالي والقاعدي قيمةالعد الحالي
3	010 001 010 001	0110 0110 0111 0111	كتابة قراءة كتابة قراءة	العنوان الحالي والقاعدي العنوان الحالي قيمة كلمة العد الحالي والقاعدي قيمةالعد الحالي

الجدول (٥-١) – يبين العناوين الداخلية لسجلات المتحكم8237 لكل قناة

A7A6A5A4	A3A2A1A0	HEX	كتابة/قراءة	الوظيفة
1001	0000	90	كتابة/قراءة	سجل العنوان الذاكري للقناة 0
1001	0001	91	كتابة/قراءة	سجل العد للقناة 0
1001	0010	92	كتابة/قراءة	سجل العنوان الذاكري للقناة 1
1001	0011	93	كتابة/قراءة	سجل العد للقناة 1
1001	0100	94	كتابة/قراءة	سجل العنوان الذاكري للقناة 2
1001	0101	95	كتابة/قراءة	سجل العد للقناة 2
1001	0110	96	كتابة/قراءة	سجل العنوان الذاكري للقناة 3
1001	0111	97	كتابة/قراءة	سجل العد للقناة 3

الجدول (٥-٢) يبين عناوين المتحكم 8237 الداخلية لكتابة عناوين الأوامر

العمل	A3	A2	A1	A0	IOR	IOW
قراءة سجل الحالة	1	0	0	0	O	1
كتابة سجل الحالة	1	0	0	0	1	0
غير مسموحة	1	0	0	1	0	1
كتابة سجل الطلب	1	0	0	1	1	0
غير مسموحة	1	0	1	0	0	1
كتابة بت سجل الحجب الوحيد	1	0	1	0	1	0
غير مسموحة	1	0	1	1	0	1
كتابة سجل النمط	1	0	1	1	1	0
غير مسموحة	1	1	0	0	0	1
محي قلاب مؤشر البايت	1	1	0	0	1	0
قراءة السجل المؤقت	1	1	0	1	0	1
محي السيد	1	1	0	1	1	0
غير مسموحة	1	1	1	0	0	1
محي سجل الحجب	1	1	1	0	1	0
غير مسموحة	1	1	1	1	0	1
كتابة جميع بتات سجل الحجب	1	1	1	1	1	0

الجدول (٥-٣) – يبين عناوين المنافذ لعنوان القاعدة وكلمة العد لكل قناة

تحتاج برمجة كل قناة للشريحة إلى مجموعتين من المعلومات لنقل المعطيات, الأولى هي عنوان أول بايت من المعطيات المنقولة , والثانية كمية المعطيات المنقولة بالبايت من أجل المجموعة الأولى , ويجب برمجة سجل العنوان الذاكري للقناة , والمؤلف من 16bit , ومسرى المعطيات بطول 8bit, لذلك يتم إرسال البايت الأول ثم الثاني على نفس عنوان المنفذ ويبرمج سجل العداد المؤلف من 16bit ومسرى المعطيات للشريحة بطول 8bit فيتم كتابة بايتين متتاليين إلى ذلك السجل.

مثال

بفرض أنه تم استخدام القناة 2 من الشريحة DMA 8237 لنقل كتلة من المعطيات من الذاكرة بدءاً من العنوان 53400H وكانت عناوين المنافذ A7A6A5A4=1001 التي تفعّل CS بينما A3A2A1A0 موصولة إلى مداخل التحكم للشريحة .

الحل:

إن عناوين منافذ القناة الثانية هي 94H لسجل العنوان و 95H لسجل العد وبذلك تكون عملية التهيئة وفق ما يلي:

```
MOV AX,3400H      عنوان البدء
OUT 94H,AL        إرسال البايت السفلي
MOV AL,AH
OUT 94H,AL        إرسال البايت العلوي
MOV AX,2048       حجم الكتل
OUT 95H,AL        إرسال بايت العد السفلي
MOV AL,AH
OUT 95H,AL        إرسال بايت العد العلوي
```

ولعرض قيم السجلات في أي وقت يمكن قراءتها بالطريقة نفسها (البايت السفلي أولاً ثم البايت العلوي) لكن بما أن مسرى العنونة للنظام مكون من 20bit ، وعنوان بداية الذاكرة هو 53400H ، **فلماذا يستخدم البرنامج عناوين بطول 16bit** ؟هذه هي حدود الشريحة8237 فسجلاتها بطول 16bit فقط ولها 16 رجلاً للعناوين وهي المسؤولة عن تمرير العناوين ،لذلك نستخدم 4bit كسجل خارجي لمسك 4bit القسم العلوي من العنوان في الذاكرة 1MB.

٥-٣-٣- سجلات التحكم الداخلية للشريحة8237

هناك مجموعة من سجلات التحكم أو الأوامر المستخدمة من قبل القنوات على الرغم من امتلاك الشريحة لأربع قنوات ، ويجب برمجة كل قناة بشكل منفصل لعنوان القاعدة والعد .

<u>مثال</u>

أوجد عناوين سجلات التحكم في الشريحةDMA8237 بفرض أن A7A6A5A4=1001 التي تفعل CS بينما A3A2A1A0 موصولة إلى مداخل التحكم للشريحة .

<u>الحل</u>

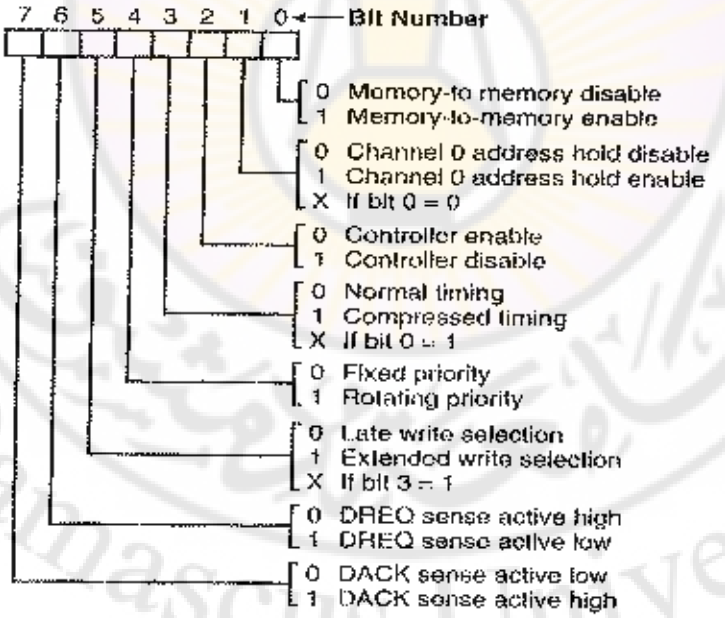
يبين الجدول (٥-٤) عناوين سجلات التحكم في الشريحةDMA8237 .

٣-٣-١- سجل الأمر

يتألف سجل الأمر من 8bit ويُستخدم للتحكم بعمل الشريحة 8237 ، ويبرمج بواسطة المعالج ، ويصفر عن طريق الإشارةReset من المعالج أو التعليمة الرئيسية للشريحة8237 DMA . ويبين الشكل (٥-١١) بنية سجل الأمر والبتات المكونة له .

A7A6A5A4	A3A2A1A0	HEX	كتابة/قراءة	السجل
1001	1000	98	كتابة /قراءة	سجل الحالة/الأمر
1001	1001	99	كتابة	سجل الطلب
1001	1010	9A	كتابة	بت سجل الحجب الوحيد
1001	1011	9B	كتابة	سجل النمط
1001	1100	9C	كتابة	محي مؤشر البايت
1001	1101	9D	كتابة/قراءة	سجل التصفير
1001	1110	9E	كتابة	محي سجل الحجب
1001	1111	9F	كتابة	بتات سجل الحجب

الجدول (٥-٤) – يبين عناوين سجلات التحكم في الشريحةDMA8237



الشكل (٥-١١) – بنية سجل الأمر والبتات المكونة له

يقدم D0 خياراً للقناة 0 أو القناة 1 لنقل كتلة معطيات من الذاكرة إلى الذاكرة حيث تقرأ القناة0 البايت وتضعه في سجل مؤقت ضمن الشريحة8237 , ثم تكتب القناة1 البايت إلى الوجهة. ويستخدم D1 فقط عند اختيار النقل من الذاكرة إلى الذاكرة وفقا للبت0D عندما يكون مساوياً 1. ويستخدم D2 لتأهيل العمليةDMA أو حجبها , أما D3 فتستخدم لاختيار زمن الدور الذاكري بحيث إذا كان D3=0 يكون دورة الذاكرة تساوي أربع نبضات ساعة , أما إذا كانD3=1 يكون دورة الذاكرة تساوي نبضتي ساعة . ولنقل كلمة كاملة نحتاج لنقل البايت العلوي والبايت السفلي لذلك نحتاج إلى أربع نبضات لدورة المسرى للبايت ونبضة لمسك العنوان , أي دورة المسرى تحتاج إلى خمس نبضات ساعة أو إلى ثلاث نبضات في الحالة الثانية عندما يكون D3=1 . ويستخدم D4 لاختيار القنوات الأربع وفق نمط الأولوية الثابتة أي DREQ0 ذات أولوية عليا. ويسمح D5 بتوسيع زمن إشارة الكتابة من أجل التجهيزات البطيئة وتمثل D5=1 خيار الكتابة الموسع و D5=0 خيار الكتابة العادي.ويستخدم D6 لاختيار برمجي لمستوى تفعيل طلب العملية DMA(DREQ) , إذا كان D6=1 فانDREQ فعالة عند المستوي 1 والعكس صحيح. أما D7 اختيار برمجي لمستوى التعرف على طلب العمليةDMA(DACK) , إذا كان D7=1 فان DACK فعالة عند المستوي 1 والعكس صحيح. ويكتب بايت الأمر إلى سجل الأمر من خلال العنوان X8H حيث X هي التركيبة المعطاة لتفعيل الشريحة بواسطة CS.

مثال

برمج سجل الأمر للشريحة 8237 من أجل نقل ليس من الذاكرة إلى الذاكرة والدور الطبيعي والأولوية الثابتة وكتابة متأخرة والإشارتين DREQ,DACK

فعالتين عند 1 إذا كان A7A6A5A4=1001 التي تفعل CS بينما A3A2A1A0 موصولة إلى مداخل التحكم للشريحة .

الحل

بايت الأمر هو 10000000=80H

قيمة سجل الأمر MOV AL,80H

OUT 98H,AL

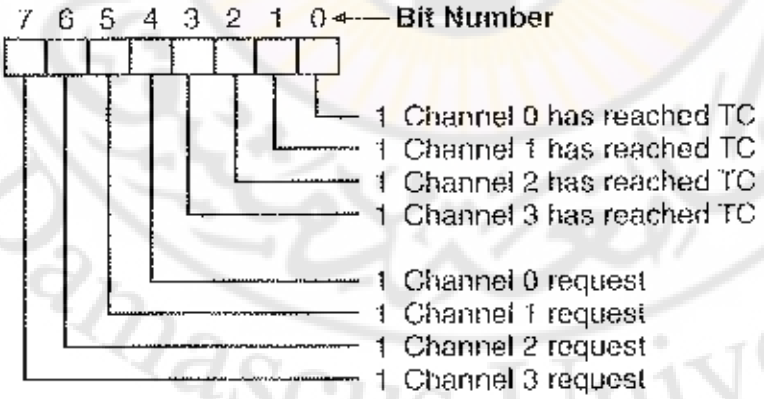
ولحجب المتحكم 8237 يكون لدينا قيمة سجل الأمر هو 04H=00000100

وبالتالي البرنامج اللازم هو :

```
MOV  AL , 40H
OUT  98H , AL
```

٥-٣-٣-٢- سجل الحالة

يمثل سجل الحالة 8bit , ويمكن للمعالج قراءته من خلال عنوان المنفذ لسجل نفسه الأمر X81 , ويحتوي هذا السجل على معلومات حول حالة عمل القنوات الأربع , و تستخدم البتات الأربعة الدنيا لتشير إلى نهاية الوصول إلى نهاية العد TC (TC Terminal count) للقنوات الأربع ، وتوضح البتات



الشكل (٥-١٢) - بنية سجل الحالة .

الأربع العليا من سجل الحالة طلبات العملية DMA المعلقة, ويستخدم المعالج هذه المعلومات لمعرفة القناة المقدمة لطلبDMA . ويبين الشكل (٥-١٢) بنية سجل الحالة .

٥-٣-٣-٣- سجل النمط

يكتب بايت سجل النمط إلى العنوان XBH حيث X هي تركيبة خطوط العنونة التي تفعل الشريحة عبر الرجل CS, ويتكون هذا السجل من 8bit , ويبين الشكل (٥-١٣) بنية سجل النمط الداخلية .

7 6 5 4 3 2 1 0←Bit Number

الشكل (٥-١٣) - بنية سجل النمط الداخلية .

حيث يستخدم البتان السفليان لاختيار القناة D1,D0 والبتات المتبقية لاختيار أنماط العمل المختلفة للقناة المختارة. وتحدد D2,D3 نمط نقل المعطيات , عندما D3D2=00 يعتبر نقل حقفي يشبه عملية القراءة والكتابة لكن بدون عملية توليد إشارات التحكم MEMR,IOR حيث :

نقل كتابة D3D2=01

نقل قراءة D3D2=10

غير مسموح D3D2=11

حجب التهيئة الآلية D4=0

تأهيل التهيئة الآلية D4=1

زيادة العنوان D5=0

إنقاص العنوان D5=1

D7D6=00 : نمط السؤال ويتم نقل المعطيات إلى حين إلغاء تفعيل الإشارة DREQأو انتهاء العد .

D7D6=01 : نمط فردي (وحيد)وذلك لنقل بايت معطيات وحيد ، ثم يسمح للمعالج بالتحكم بالمسرى .

D7D6=10 : نمط الكتلة وفيه يتم نقل المعطيات إلى حين انتهاء العد .

D7D6=11 : النمط التتابعي وذلك عند استخدام عدة شرائح DMA .

٥-٣-٣-٤- سجل الحجب الإفرادي

يمكن الكتابة في هذا السجل من قبل المعالج فقط من خلال العنوان XAH حيث X تركيبة خطوط العنونة التي تفعل الشريحة عبر الرجل CS وهو بطول 8bit , ويستخدم منها البتات الثلاثة الأولى .ويبين الشكل (٥-١٤) سجل الطلب والحجب الإفرادي .

<u>حيث :</u>

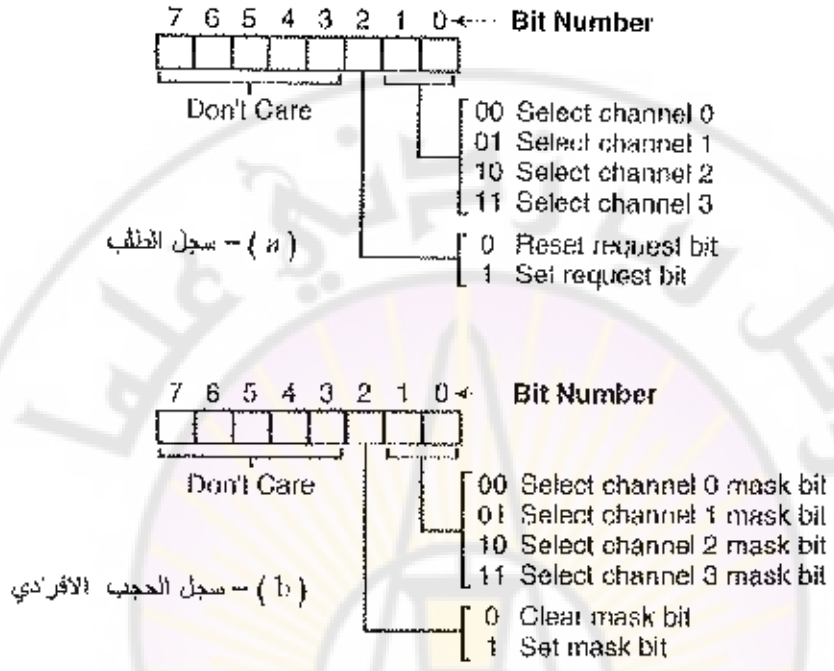
D1D0=00 : لاختيار بت حجب القناة 0

D1D0=01 : لحجب بت القناة 1

D1D0=10 : لحجب بت القناة2

D1D0=11 : لحجب بت القناة 3

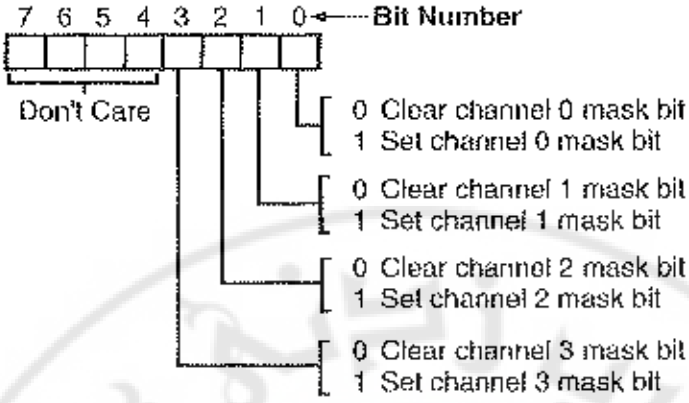
D2 يستخدم لحجب أو تأهيل القناة المخصصة بـ D1 D0 .



الشكل (٥–١٤) – سجل الطلب والحجب الافرادي

٥–٣–٣–٥– سجل الحجب الكلي

يمكنه حجب أو تأهيل أكثر من قناة واحدة بآن واحد . مثلاً إذا كانت قيمة السجل 00000010 فان ذلك يحجب الخرج للقناة 1 . إن عنوان منفذ هذا السجل هو XFH حيث X تركيبة خطوط العنونة التي تفعل الشريحة عبر الرجل CS وهو بطول 8bit. ويبين الشكل (٥–١٥) بنية سجل الحجب الكلي .



الشكل (٥-١٥) - بنية سجل الحجب الكلي

مثال

برمج سجل النمط للشريحة8237 لاختيار القناة 2 لنقل المعطيات من الذاكرة إلىI/O بطريقة التهيئة الآلية وزيادة العنوان ونقل البايت الفردي بحيث A7A6A5A4=1001.

الحل

إن قيمة سجل النمط هي 01011010=5AH وعنوان منفذ السجل هو 9BH وبالتالي :

قيمة سجل النمط MOV AL,5A

OUT 9BH,AL

إن برمجة الشريحة8237 لتأهيل القناة 2 هو كما يلي :

قيمة سجل الحجب الافرادي لتمكين القناة 2 هو 00000010=02H وعنوان المنفذ هو 9AH , وبالتالي البرنامج اللازم هو :

MOV AL,02H

OUT 9AH,AL

٥-٣-٣-٦- سجل المحي(التصفير)

يكتب في هذا السجل من خلال عنوان المنفذ XDH حيث X تركيبة خطوط العنونة التي تفعل الشريحة عبر الرجل CS وهو بطول 8bit . إن قيمة البايت المرسلة إلى هذا السجل غير مهمة لأنه يحذف سجلات الحالة والأمر والطلب ويجبر المتحكم على العمل في دورة عائمة .

٥-٣-٣-٧- سجل منع المحي

يمكن الكتابة في هذا لسجل من قبل المعالج على عنوان المنفذXEH حيث X تركيبة خطوط العنونة التي تفعل الشريحة عبر الرجل CS وهو بطول 8bit . إن قيمة البايت المرسلة إلى هذا السجل غير مهمة باعتبار أن عملها محي بتات الحجب للقنوات الأربع وتأهيل المتحكم DMA لاستقبال طلبات DREQ.

٥-٣-٣-٨- السجل المؤقت

يمكن الحصول على آخر بايت تم نقله عبر الـ DMA في عملية النقل بين ذاكرة وأخرى وذلك بقراءة محتويات هذا السجل الذي يقع عند عنوان المنفذ 0DH.

٥-٣-٣-٩- سجلات العنونة والعد

تملك كل قناة من قنوات الـ DMA أربعة سجلات , ويبلغ طول الواحد منها 2BYTE=16bit بحيث يخصص سجلان للعنونة , وسجلان للعداد, وجميعها توظف للتأشير على موقع الذاكرة الذي سيجري عنده النقل والاحتفاظ بعدد مرات النقل المطلوبة . ويتألف سجلا العنونة لأية قناة من سجل عنوان القاعدة وسجل العنوان الحالي , ويحتفظ سجل عنوان القاعدة بعنوان البداية الذي سيجري عنده نقل المعطيات ويجري تحميله بالكتابة إلى منفذ I/O عند عنوان محدد , أما سجل العنونة الثاني (سجل العنوان الحالي) فهو يحمل دائما العنوان

الذي سيجري استخدامه في دورة الـ DMA التالية. عندما يجري تحميل سجل عنوان القاعدة بالمعطيات , وسيتم بشكل آلي تحميل نفس المعطيات إلى سجل كلمة العنوان الحالي. ويبين الجدول(٥-٥) توزع هذه السجلات على العناوين .

عنوان المنفذHEX	نوع العملية	الوظيفة
0000H	قراءة كتابة	القناة 0 :العنوان الحالي القناة0:العنوان القاعدي والحالي
0001H	قراءة كتابة	القناة 0:كلمة العداد الحالية القناة0:كلمة القاعدة والكلمة الحالية للعداد
0002H	قراءة كتابة	القناة 1 :العنوان الحالي القناة1:العنوان القاعدي والحالي
0003H	قراءة كتابة	القناة 1 :كلمة العداد الحالية القناة1:كلمة القاعدة والكلمة الحالية للعداد
0004H	قراءة كتابة	القناة ٢ :العنوان الحالي القناة٢:العنوان القاعدي والحالي
0005H	قراءة كتابة	القناة ٢ :كلمة العداد الحالية القناة2:كلمة القاعدة والكلمة الحالية للعداد
0006H	قراءة كتابة	القناة ٣ :العنوان الحالي القناة٣:العنوان القاعدي والحالي
0007H	قراءة كتابة	القناة ٣ :كلمة العداد الحالية القناة٣:كلمة القاعدة والكلمة الحالية للعداد

الجدول (٥-٥)- توزع هذه السجلات على العناوين

أما سجلا العداد لأية قناة فهما سجل كلمة القاعدة ووظيفتهما التحكم بعدد البايتات التي يراد نقلها .ويحتفظ سجل كلمة القاعدة بعدد البايتات التي يراد نقلها

ويجري تحميله بالكتابة إلى منفذI/O عند عنوان محدد، أما سجل العداد الثاني (سجل كلمة العداد الحالية) فهو يحمل عدد البايتات المتبقي الذي ينبغي نقله قبل انتهاء عملية DMA أو إعادة تهيئتها .

عندما يجري تحميل سجل كلمة القاعدة للعداد بالمعطيات سيتم بشكل آلي تحميل نفس المعطيات إلى سجل كلمة العداد الحالية.وجميع هذه السجلات يمكن تحميلها أو قراءتها عند مجموعة العناوين من 0000H-0007H .

٥-٣-٣-١٠- سجلات الصفحة لوحدة DMA

تملك وحدة متحكم الـ 16bit DMA للعنونة فقط بينما يتمتع المعالج بـ 20bit للعنونة (ذاكرة قدرها 1MB) ,لذلك لا تستطيع وحدة متحكم الـ DMA8237 استخدام كامل حيز عنونة النظام ، ولحل هذه المشكلة زودت لوحة النظام بسجلات تدعى سجلات الصفحة حيث يوجد سجل صفحة لكل قناة من القنوات الأربع . ويمكن قراءة أو تحميل محتوى أي سجل صفحة باستخدام عناوين منافذ I/O.

وعندما تجري دورة الـ DMA توخذ محتويات سجل الصفحة الموافق وتوضع على خطوط العنونة في مسرى النظام لتشكل البتات الأربعة العليا من عنوان بايت الذاكرة الذي يراد النفاذ إليه، وبهذا يتولد عنوان طوله 20bit في كل حالة نقل عبر أي قناة من قنوات الـ DMA ما يسمح لعمليات الـ DMA أن تحدث في كل كتلة يبلغ حجمها 64KB من حجم الذاكرة الكليIMB للنظام. ويكون للشريحة8237 القدرة على نقل المعطيات التالية:

١-النقل من التجهيزة المحيطية إلى الذاكرة(قراءة من القرص) .

٢-النقل من الذاكرة إلى التجهيزة المحيطية (كتابة ملف إلى القرص) .

٣-النقل من الذاكرة إلى الذاكرة (نسخ ذاكرة ROM إلى جزء من RAM).

ويبين الجدول (٥-٦) مقارنة بين طرق نقل المعطيات الثلاث(الاستجواب، والمقاطعة والنفاذ المباشر إلى الذاكرة) .

Comparison between the three types of I/O		
Type	Advantages	Disadvantages
Polling	- Fastest response to device request - Simplest hardware and software	- Wasted processor resources (always waiting)
Interrupts	- More efficient use of processor time (Processor executes program- checks for interrupts only at the end of every instructions)	- Delay in response time (interrupt latency) - Overhead due to interrupt processing - e.g. saving return address & registers - Increased cost and complexity of hardware and software
DMA	- Fastest data transfer rates (approaching those determined by memory access time) - Address generation by fast DMAC hardware- not by processor software	- Need a DMAC device - Highest cost and complexity in hardware and software

الجدول (٥-٦) – مقارنة بين طرق نقل المعطيات الثلاث

٥-٤- المقاطعات Interrupts

٥-٤-١- المقاطعات في المعالج8086

تعرف المقاطعة بأنها حادثة خارجية تعلم المعالج بحاجة الجهاز الطالب للمقاطعة إلى تنفيذ خدمة محددة له , وتبلغ عدد المقاطعات في المعالج 8086 بـ 256 مقاطعة وهي:

. . . . . .

INT00, INT01, INT02 ,------, INTFF

وعندما ينفذ المعالج المقاطعة يحتفظ بشكل آلي بسجل الأعلام FR ومؤشر التعليمة IP وسجل قطعة الشيفرة CS في المكدس ومن ثم ينتقل إلى موقع

الذاكرة المعين . ويحدد الموقع الذي سينتقل إليه مؤشر التعليمية بضرب رقم المقاطعة بالقيمة 4 , فمثلاً المقاطعة INT03 تقوم بالانتقال إلى العنوان 00CH حيث 12=3×4 ويبين الجدول (٥-٧) قائمة جزئية من شعاع المقاطعة .

رقم المقاطعة	العنوان الفيزيائي	العنوان المنطقي
INT00	00000	0000:0000
INT01	00004	0000:0004
INT02	00008	0000:0008
INT03	0000C	0000:000C
INT04	000010	0000:0010
INT05	000014	0000:0014
INTFF	003FC	0000:03FC

الجدول (٥-٧) - قائمة جزئية من شعاع المقاطعة

وتُعد المقاطعة مفيدة وضرورية لأي تصميم يربط إلى نظام يرتكز على المعالج ،والميزة الأساسية للمقاطعة في قدرتها على جلب انتباه المعالج لأداء خدمة ما، دون أن يصرف المعالج وقته بالنظر المستمر والسؤال المتكرر للدارات المربوطة معه , ولذلك فان المقاطعة تسمح للمعالج أن يفرّغ وقته لانجاز ما يريد إلى أن يأتيه طلب من دارة مربوطة معه .وتستخدم الدارات التي تربط إلى الحاسوب وظيفة المقاطعة في التطبيقات التي تحتاج إلى معالجة تتزامن مع حوادث خارجية أو أخطاء أو حالات تتطلب انتباه المعالج.

٥-٤-٢- إجرائية خدمة المقاطعة ISR

عند حدوث مقاطعة يقوم المعالج بالانتقال إلى إجرائية خدمة المقاطعة وينفذها من الجدول(٥-٦) وكل موقع يحجز له 4byte من الذاكرة من جدول شعاع

المقاطعة . بحيث يحجز2byte لتخزين قيمة مؤشر التعليمية IP و2byte لتخزين سجل القطعة CS . وتحدد 4byte عنوان الإجرائية المتعلقة بتلك المقاطعة CS:IP ويخصص جزء من فضاء الذاكرة لجدول شعاع المقاطعة وينبغي عدم استخدام التطبيقات لهذا الجزء من الذاكرة والذي يمثل 1kbyte = 256×4 حيث 256 عدد المقاطعات الكلية و 4byte لكل مقاطعة .

٥-٤-٣- الاختلاف بين المقاطعة وتعليمات الاستدعاء CALL

وعندما ينفذ المعالج تعليمة المقاطعة INT يحتفظ بعنوان التعليمة التالية من البرنامج CS:IP ويقفز بعدها إلى الموقع الجديد الذي يمثل عنوان إجرائية المقاطعة . وتستطيع التعليمة CALL FOR القفز إلى أي موقع في الذاكرة ضمن المجال1MB للمعالج 8086 بينما يمكن لتعليمة INTnn القفز إلى المواقع المحجوزة لشعاع خدمة المقاطعة والبالغة 1KB .ويتحكم المبرمج بتنفيذ التعليمةCALL FOR ضمن سياق تعليمات البرنامج بينما يتحكم العتاد المرتبط مع المعالج بتنفيذ برنامج المقاطعة في أي وقت خلال تنفيذ البرنامج .

يمكن حجب المقاطعة INTnn الناتجة عن الكيان الصلب ولا يمكن حجب التعليمة CALL FOR , وتدفع التعليمةCALL FOR العنوان CS:IP فقط إلى المكدس بينما تدفع المقاطعة INTnn سجل الأعلام أيضا بالإضافة إلى عنوان التعليمة التالية CS:IP .

تنتهي الإجرائية المستدعاة بواسطة التعليمة CALL FOR بتعليمة الرجوع RETF بينما تنتهي إجرائية خدمة المقاطعة INTnn بالتعليمة IRET (Interrupt Return). وتعيد التعليمة RETF العنوان CS:IP فقط من المكدس في حين تعيد التعليمة IRET العنوان CS:IP بالإضافة إلى سجل الأعلام FR من المكدس .

مثال

أوجد العنوان الفيزيائي والمنطقي لشعاع المقاطعة INT8H و INT12H .

الحل

العنوان الفيزيائي للمقاطعة 12H هو 00048H_0004BH .لأن 4*12=48H تخصص المواقع من 48H و49H و4AH و4BH , من أجل CS:IP الخاصة بإجرائية هذه المقاطعة 12H والعنوان المنطقي هو 0000:0048H_0000:004BH . بالطريقة نفسها يكون العنوان الفيزيائي للمقاطعة 8H هو 00020H_00023H لأن 4*8=32=20H تخصص المواقع في الذاكرة 20H,21H,22H,23H من أجل CS:IP الخاصة بإجرائية خدمة المقاطعة 8H والعنوان المنطقي هو 0000:0020_0000:0023H .

٥-٥- متحكم المقاطعة القابل للبرمجة 8259

تستخدم المعالجات 8086 الأرجل INTR و INTA للتعامل مع المقاطعات ويمكن استخدامها لتوسيع عدد المقاطعات . وتستخدم الأرجل CAS2,CAS1,CAS0 لتوسيع عدد مقاطعات العتاد Hardware للمعالج باستخدام أكثر من شريحة 8259 SP/EN (Slave programming / Enable) تستخدم في النمط المعزول كإشارة خرج للشريحة 8259 لتفعيل المرسل أما في النمط غير المعزول فتمثل إشارة دخل للشريحة 8259 . ويبين الشكل (٥-١٦) بنية الشريحة 8259 .

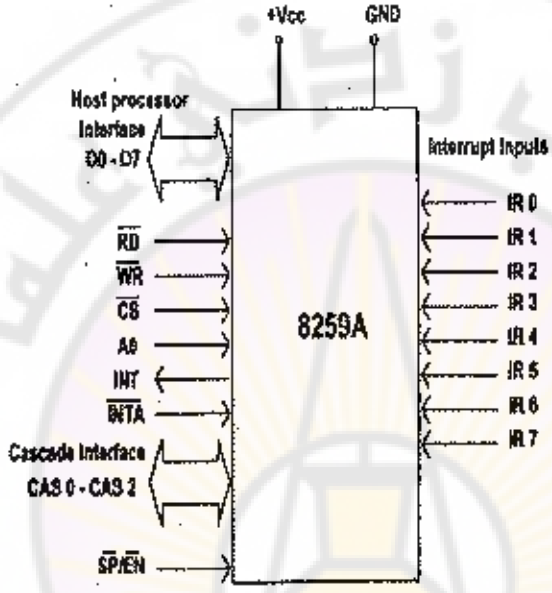
حيث :

INT: إشارة خرج تتصل مع الرجل INTR للمعالج .

INTA: إشارة دخل تتصل مع الرجل INTA في المعالجات .

IR0-IR7: إشارات دخل فعالة عند الحالة (1) .

وتستخدم كطلبات مقاطعة من العتاد عندما تصبح في الحالة 1 . و إحدى هـذه الإشارات يقفز المعالج 8086 إلى موقع شعاع المقاطعة ويوجد لكل رجل عنوان فيزيائي في الذاكرة ،ويؤخذ من جدول شعاع المقاطعـة حيـث للمعـالج 8086 إمكانية تخديم 256 مقاطعة برمجية أو عتادية .

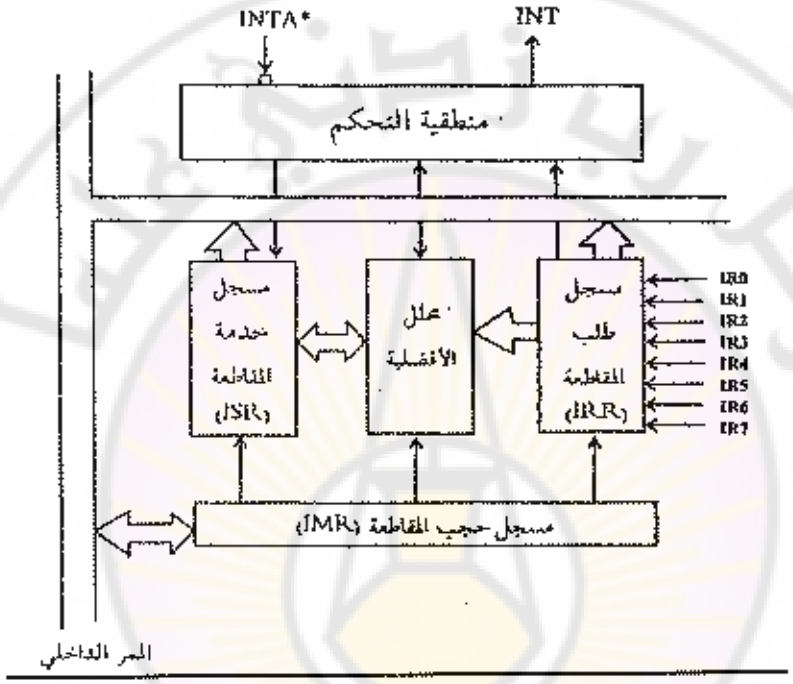


الشكل (٥-١٦) بنية الشريحة 8259

تؤمن الدارة 8259 توسيع مداخل المقاطعة القابلة للحجب لاسـتقبال ثمانيـة مستويات من المقاطعة , وتخضع جميعها لنظام أفضليات . وتتـألف الـشريحة 8259 من سجل خاص يتألف من ثمانية ماسكات Latches ويسمى بسجل طلب المقاطعةIRR الذي يمكن برمجته ليتحسس طلـب المقاطعـة إمـا بالمـستوي المنطقي لإشارة طلب المقاطعة أو بقدوم حافتها.أما عملية حجب أي مقاطعة من المقاطعات الثمانية فهي تتم ببرمجة سجل حجب المقاطعة IMR للسماح أو عدم السماح باستقبال أي طلب مقاطعة . بعد توضع طلبات المقاطعـة فـي الـسجل

IRR تدخل إلى دارة منطقية لمعرفة مستوى المقاطعة الـذي يكـون صـاحب الأفضلية العليا وتوضع النتيجة في سجل دخول المقاطعة ISR . ويمكن برمجة الشريحة 8259 لدعم أنماط أفضليات مختلفة من خلال كلمات التهيئة للشريحة.

ويبين الشكل (٥-١٧) المخطط الصندوقي للشريحة 8259 .



الشكل (٥-١٧) – المخطط الصندوقي للشريحة 8259

مثال

أوجد العناوين من أجل الكلمات Icw1-Icw4 إذا تم تفعيل الشريحة بواسـطة A7-A1 0010011 .

الحل

يستخدم العنوان 26H منفذاً للكلمـة Icw1 والعنـوان 27H منفـذاً لبـاقي الكلمات Icw2-Icw3-Icw4 .

٥-٥-١- تعاقب الحوادث عند نشوء المقاطعة

عند نشوء المقاطعة , واستقباله من قبل النظام , تقع مجموعة الحوادث المتسلسلة التالية :

١"- تُفعّل دارة الملائمة المربوطة مع الحاسوب خط طلب المقاطعة الموجود في مسرى النظام .

٢"- تستلم الشريحة 8259 طلب المقاطعة , ثم تفحص أفضلية الطلب بالنسبة للطلبات الأخرى.

٣"-عندما يكون طلب المقاطعة وحيداً أو أعلى أفضلية ترسل الشريحة طلب المقاطعة إلى المعالج .

٤"- يرسل المعالج استجابته إلى الشريحة 8259 الإشارة INTA .

٥-٥-٢- تهيئة نظام الحاسوب للمقاطعات

يقوم نظام الحاسوب بتهيئة المقاطعات كما يلي :

١"- تهيئة القسم الأدنى من الذاكرة RAM بعناوين برامج روتينات خدمة المقاطعة 1KB كجدول شعاع المقاطعة , ويحجز كل مقاطعة لها 4Byte ، (IP 2Byte,CS 2Byte).

٢"- تهيئة الشريحة 8259 بإرسال كلمات أوامر التهيئة ICWS وكلمات التحكم بالتشغيل OCWS (أي إلغاء حجب مستويات المقاطعة) .

٣"- إلغاء حجب المقاطعة بالنسبة للمعالج .

٤"- توليد طلب المقاطعة من قبل دارة مربوطة مع الحاسوب .

٥"- استلام المقاطعة من قبل الشريحة 8259 ووضع 1 منطقي في السجل IRR.

٦"- تطلب الشريحة من المعالج أن يجعل خط طلب المقاطعةINTR فعالاً .

٧"- يرسل المعالج نبضةINTA لتحديد أفضلية الطلب بالنسبة لغيره , وتوضع 1 في البت المقابل لمستوي المقاطعة الأعلى أفضلية في سجل دخول الخدمة ISR, ويصفر الخانة المقابلة لمستوي المقاطعة في السجل IRR .

٨"- يرسل المعالج نبضة ثانية INTA إلى الشريحة8259 ،وتستجيب الشريحة بإرسال قيمة المؤشر إلى المعالج ويستخدم كدليل إلى مكان تخزين عنوان برنامج خدمة مستوي المقاطعة المطلوبة .

٩"- يدفع المعالج سجل الرايات إلى المكدس , ثم يصفر راية المقاطعة , لحجب المقاطعة عنه , ويدفع عنوان التعليمة التالية CS:IP إلى المكدس أيضاً , ثم يستخدم قيمة المؤشر السابقة للحصول على عنوان برنامج خدمة المقاطعة , لينتقل إلى التنفيذ .

١٠"- يرسل برنامج خدمة المقاطعة أمر نهاية المقاطعة لينتقل إلى الشريحة8259 للسماح بمزيد من المقاطعات.

١١"- يتابع المعالج تنفيذ روتين المقاطعة.

١٢"- قبل انتهاء روتين المقاطعة نسترجع جميع قيم السجلات التي جرى دفعها إلى المكدس .

١٣"-ينفذ برنامج خدمة المقاطعة التعليمة الأخيرة , وهي IRET , ويستأنف المعالج عمله عند التعليمة التي حدثت عندها المقاطعة .

٥-٥-٣-تهيئة المقاطعة

تشمل عملية التهيئة خطوتين : الأولى موجهة إلى ذاكرة المعالج التي تحتوي جدول شعاع المقاطعة , والثانية إلى الشريحة 8259.

٥-٥-٣-١- تهيئة جدول أشعة المقاطعة

عند حدوث المقاطعة يقوم المعالج بالوصول إلى جدول شعاع المقاطعة ليحمل زوج السجلات CS:IP بعنوان برنامج الخدمة الموافق للمقاطعة الحادثة. ويولد المعالج نبضتين INTA خلال دورة حدوث المقاطعة ويستخدم المعالج قيمة المؤشر لتطوير عنوان بطول 10bit لعنونة جدول أشعة المقاطعة في 1KB الدنيا من الذاكرة RAM حيث يملك العنوان أو المؤشر الجديد الصيغة التالية : A9A8A7A6A5L3L2L100 . تستطيع هذه البتات العشرة عنونة جميع بايتات الـ 1KByte المذكورة . ويضع المعالج في البتين الأقل وزناً من هذه الصيغة 0 . والسبب أن كل شعاع أو عنوان مقاطعة يتألف من 4Byte وبالتالي سيخزن كل شعاع ابتداءً من عنوان قيمة البتات الأقل وزناً مساوية لـ 0 أي :

XXC11, XX8H, XX4H, XX0H

ويضاف الحقل L3L2L1 من قبل دارات الشريحة 8259 , وهو يمثل قيمة مرمزة لمستوى المقاطعة التي يجب تخديمها ، وتنقل هذه القيمة إلى المعالج خلال النبضة الثانية للإشارة INTA على البتات الثلاثة الدنيا من مسرى المعطيات.أما البتات A9A8A7A6A5 فهي تأتي من الشريحة8259 وتوضع على بقية بتات مسرى المعطيات خلال النبضة الثانيةINTA ، ويبرمج الحقل الأخير A5-A9 خلال عملية تهيئة الشريحة 8259 في كلمة أمر التهيئة ICW2 وتحدد البتات A5- A9 موقع منطقة طولها 32Byte من ضمن 1KB الدنيا والتي تحتوي على أشعة مستويات المقاطعة الثمانية التي تدعمها الشريحة8259. ويهيئ النظام BIOS هذه البتات بالقيمة 00001 , ولهذا فان جدول شعاع المقاطعة يقع ابتداءً من العنوان السداسي عشر 00020H ضمن

الذاكرة RAM الدنيا (أي يقع العنوان IR0 عند العنوان 00020H) والعنوان IR4عند العنوان 00030H , الخ .

٥-٥-٣-٢- تهيئة الشريحة8259

يمكن عنونة الشريحة والاتصال بها من خلال عنوانين من عناوين منافذ I/O ports وهما 0020H, 0021H، والسبب هو أن عدد السجلات اللازمة للتهيئة أكبر من عدد منافذ I/O المخصصة للشريحة8259 , وتتغلب الشريحة على هذه المشكلة بمعرفتها لأول عنوان منفذI/O يجري استخدامه في نمط التهيئة , ثم تتعقب بشكل آلي إعادة تشغيل العناوين نفسها في نمط أوامر التشغيل بعد انتهاء نمط التهيئة ،وتبدأ عملية التهيئة بكتابة بايت إلى المنفذ الواقع عند العنوان0020H (هذا البايت يسمى كلمة التهيئة الأولىICW1)ويتبع بعد ذلك كلمات التهيئة ICW2,ICW3,ICW4 حيث تكتب إلى المنفذ الواقع عند العنوان 0021H. ثم ننتقل إلى نمط التحكم بالتشغيل بعد كتابة آخر كلمةICW4 إلى الشريحة8259 ونكتب كلمة التحكم بالتشغيل الأولى OCW1 إلى المنفذ الواقع عند العنوان 0021H أما بقية كلمات التحكم بالتشغيل OCW2,OCW3 فتكتب عند العنوان 0020H ، وتتميز الكلمة OCW2 بوجود الصفر في البتين 3 و4 في حين تتميز الكلمة OCW3 بوجود الواحد في البت 3 والصفر في البت 4 .

<u>مثال</u>

يوضح هذا المثال برنامج لروتين نموذجي كيفية تهيئة وحدة التحكم بالمقاطعة8259 في نظام الحاسوب .

```
MOV AL,13H      : ICW1
OUT 20H,AL
```

ICW2 : MOV AL,8H يهيئ النظام BIOS الكلمة ICW2 لتحمل القيمة08H

OUT 21H ,AL

ICW3 : غير موجودة لوجود شريحة واحدة

ICW4 : MOV AL,09H

OUT 21H,AL

بعد تنفيذ الروتين تصبح الوحدة 8259 جاهزة لاستقبال طلبات المقاطعة على مداخلها الثمانية.

٥-٥-٤- المنافذ وكلمات التحكم للشريحة 8259

إن برمجة كلمات التحكم والتشغيل للشريحة 8259 موضحة في الجدول (٥-٨) .

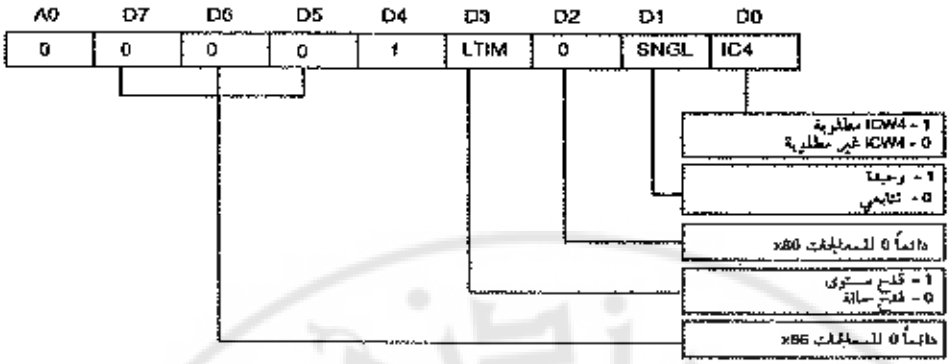
يوجد للشريحة أربع كلمات تحكم (تدعى أوامر التهيئة) Icw1-Icw4 . وتستخدم Icw3 في النمط الرئيسي فقط .

الكلمات (التهيئة)	A0	$\overline{CS}$
ICW1	0	0
ICW2,ICW3,ICW4	1	0
الشريحة غير معنونة (غير مفعلة)	x	1

الجدول (٥-٨) – كلمات التحكم والتشغيل للشريحة 8259

الكلمة الأولى Icw1

يبين الشكل (٥-١٨) مخطط كلمة التهيئة الأولى .



الشكل (٥-١٨)- مخطط كلمة التهيئة الأولى

حيث :

D0 : يحمل هذا البت القيمة 1 عندما يراد إدخال ICW4 ضمن كلمات التهيئة .

D1 : تشير هذه البت عندما تكون 0 الى وجود أكثر من شريحة 8259 ضمن النظام.

D2 : تساوي القيمة 0 في المعالجات x86 .

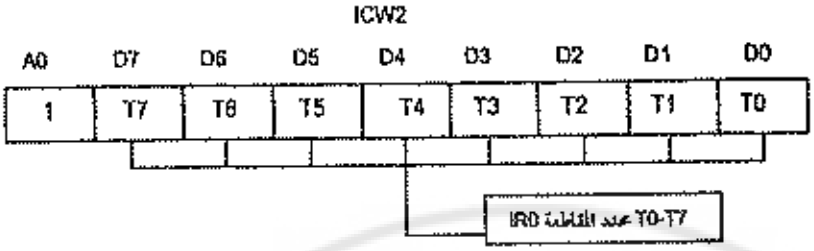
D3 : تحدد هذه البت كيفية توليد المقاطعة،هل طلب المقاطعة سيتولد بقدوم جبهة أم بفعل مستوي حيث القيمة 1 تحدد العمل بنمط قدح المستوي والقيمة 0 تحدد العمل بنمط الجبهة.

D4 : يجب أن تحمل بالقيمة 1 .

D5,D6,D7 : تحمل بالقيمة 0 في المعالجات x86.

الكلمة الثانية Icw2

مهمتها تحديد رقم المقاطعات من IR0 حتىIR7 , حيث تحدد الأرقام الثلاثة الأولى من 000 حتى 111 وتحدد البتات الباقية من D7-D3 رقم المقاطعة INT وهو بطول 8bit من 00 -FF . ويبين الشكل (٥-١٩) مخطط كلمة التهيئة الثانية .



الشكل (٥-١٩) - مخطط كلمة التهيئة الثانية

الكلمة الثالثة Icw3

تستخدم في النمط التتابعي Cascade فقط , أي عند استخدام أكثر من شريحة 8259 (يمكن وصل 8 شرائح 8259 مع شريحة 8259) , وبذلك يتم توسيع مقاطعات العتاد إلى 64 مقاطعة , وتكتب مرتين مرة للسيد تعلمه برقم IR المربوط معه التابع 8259 والثانية للتابع تخبره برقم IR الموصولة معه . ويبين الشكل (٥-٢٠) مخطط كلمة التهيئة الثالثة للتابع والسيد.

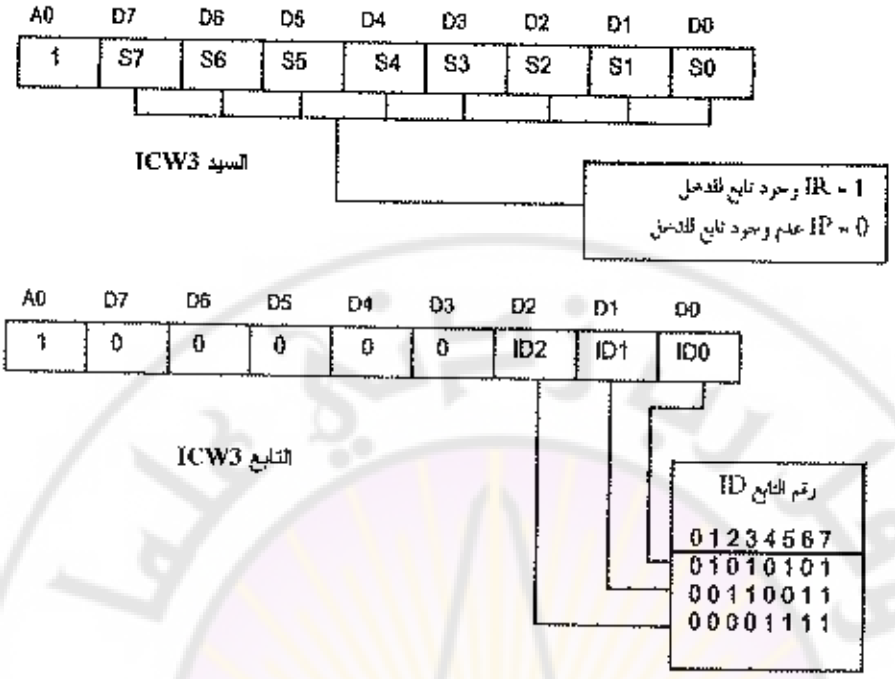
الكلمة الرابعة Icw4

يبين الشكل (٥-٢١) مخطط كلمة التهيئة الرابعة .

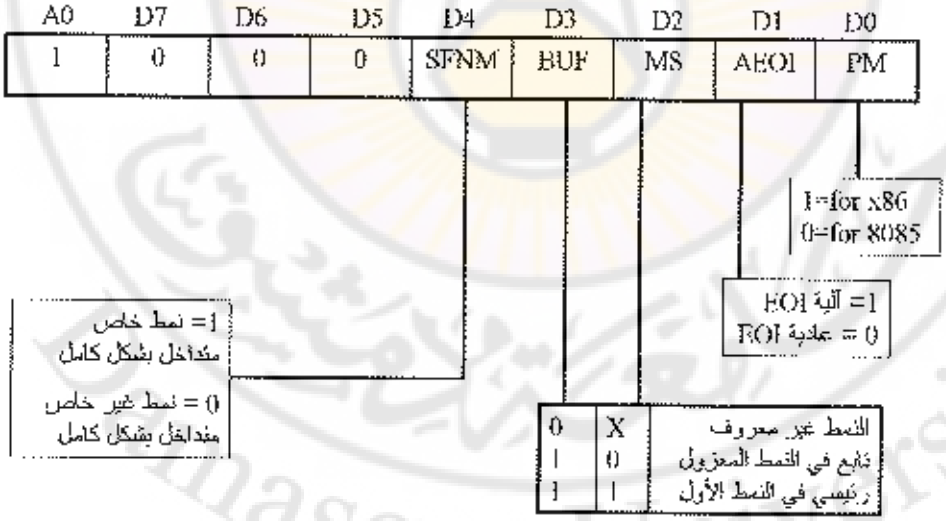
حيث :

D0 : تحدد إذا كانت الشريحة 8259 تعمل ضمن نمط المعالجx86 وتشير عندها إلى القيمة1 .

D1 : تساوي 1 عند تصفير طلب المقاطعة بشكل آلي في سجل دخول الخدمة ISR وذلك فور استجابة المعالج لطلب المقاطعة حيث يجري التصفير عندما يرسل المعالج النبضة الثانية للإشارة INTA،أما عندما تحسل القيمة 0 فيجب تصفير الخانة الثنائية الموافقة لطلب المقاطعة في السجل ISR بشكل



الشكل (٥-٢٠) – مخطط كلمة التهيئة الثالثة للتابع والرئيسي



الشكل (٥-٢١) – مخطط كلمة التهيئة الرابعة

صريح وذلك بإرسال الأمر EOI الذي يتكون بوجود القيمة 1 في البت 5 من الكلمة OCW2 . وفي العادة يقوم روتين المقاطعة بانجاز وظيفته ثم يرسل الأمر EOI للسماح لبقية المقاطعات الأخرى بالحدوث.

D3, D2 : تستخدمان في الأنظمة ذات المساري ثنائية الاتجاه .

D4 : لاختيار النمط , وعندما تحمل بالقيمة1 تعني أن الشريحة8259 ضمن نظام يحتوي أكثر من شريحة تحكم بالمقاطعة وأنه يجب استخدام نمط المقاطعات المتداخل ذا الأفضليات بشكل تام لبناء أفضليات بين الشرائح 8259 والنمط المتداخل بشكل كامل يستخدم في النمط الرئيسي .

D5, D6, D7 : غير مستخدمة وتحمل أصفار000 .

مثال

أوجد كلمات التحكم للشريحة 8259 إذا كان لدينا المعالج 8086 وشريحة 8259 واحدة, وقدح المقاطعة عبر المستوى, وتعيين الرقم 50H للمقاطعة IRO حيث تعمل الشريحة 8259 تابعاً في النمط المعزول ونهاية طبيعية للمقاطعة, **ما هي عناوين جدول شعاع المقاطعة المرتبطة بالمدخل IR0, IR1, IR2 ؟**

الحل

الكلمة Icw1

D0=1 وجود Icw4	D3=1 القدح عند المستوي
D1=1 شريحة واحدة	D4=1 دائماً1
D2=0 المعالج8086	D5=D6=D7=0 في المعالج 8086

وبالتالي تكون كلمة التحكم Icw1=00011011=1BH

للحصول على Icw2 : من جدول شعاع المقاطعة المبين في الجدول (٥-٩) .

من أجل IR0 الكلمة Icw2 =01010000=50H , وبما أن الـشريحة 8259 وحيدة لذلك لا نحتاج إلى الكلمة Icw3 .

الكلمة Icw4:

D0=1 المعالج 8086

D1=0 طبيعية

D3=1

D2=0 نمط التتابع المعزول

D4=0 نمط غير متداخل

D5=D6=D7 =0 دائماً تساوي الصفر في Icw4

وبالتالي الكلمة Icw4 =00001001=09H

Icw2 D7→D0	رقم مدخل المقاطعة في الشريحة	INTnn
01010000	IR0	INT50
01010001	IR1	INT51
01010010	IR2	INT52
.	.	.
.	.	.
.	.	.
01010111	IR7	INT57

الجدول (٥-٩) - جدول شعاع المقاطعة

عينت القيمة INT-50H للمقاطعة IR0 فإن المقاطعات IR3,IR2,IR1 تعين من الجدول (٥-١٠) .

IRQ(8259) INT	العنوان الفيزيائي	العنوان المنطقي
IR0 50H	00140H-00143H	0000:0140H-0143H
IR1 51H	00144H-00147H	0000:0144H-0147H
IR2 52H	00148H-0014BH	0000:0148H-014BH

الجدول (٥-١٠) – تعيين المقاطعات IR3,IR2,IR1

٥-٥-٥- الحجب وأولويات المقاطعة IR0 - IR7

لمعرفة أولويات المقاطعة عند تفعيل أكثر من أمر مقاطعة لا بد من معرفة عمل كلمة أمر التشغيل Operation Command .

٥-٥-٥-١- كلمات أمر التشغيل OCW

بعد تهيئة الشريحة 8259 بكلمات التحكم Icw1-Icw4 يصبح المعالج جاهزاً لتلقي المقاطعات العتادية من خلال الأرجل IR7-IR0 . وتوجد ثلاث كلمات تشغيل OCW3,OCW2,OCW1 ، حيث يستطيع المبرمج تغيير أولويات المقاطعة لجميع المقاطعات من IR0 حتى IR7 أو حجب أي منها. ويبين الجدول (٥-١١) عناوين كلمات التشغيل .

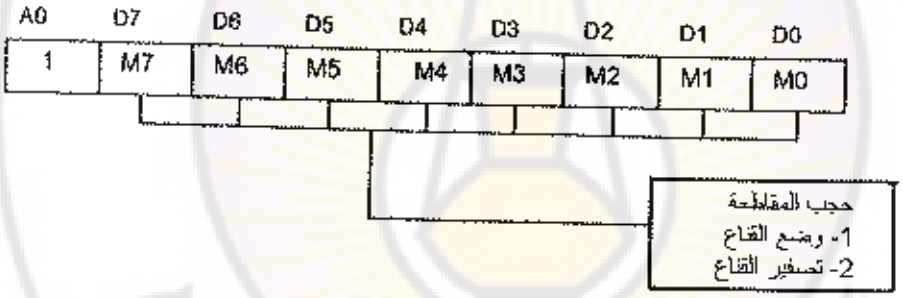
وتحتوي الشريحة 8259 ثلاثة سجلات وهي : سجل إدخال الخدمة ISR ، و سجل طلب المقاطعة IRR ، وسجل حجب المقاطعة IMR .

IRQ(8259) INT	A0	$\overline{CS}$
OCW2-OCW3	0	0
OCW1	1	0
الشريحة غير مفعلة	x	1

الجدول (٥-١١) – عناوين كلمات التشغيل

الكلمة الأولى OCW1

تستخدم لحجب المقاطعات IR0-IR7 حيث أن M=1 تعني حجب المقاطعة و M=0 تأهيل المقاطعة .ويبين الشكل (٥-٢٢) مخطط الكلمة الأولى OCW1.



الشكل (٥-٢٢) – مخطط الكلمة الأولى OCW1

مثال (١)

OCW1=11111000 يمثل الكلمة OCWI لتأهيل المقاطعات IR0,IR1,IR2 وحجب باقي المقاطعات IR3-IR7 وعندها يكون A0=1 و CS=0

مثال(٢)

أكتب شيفرة تأهيل المقاطعات IR0-IR7 باستخدام المنافذ في المثال السابق .

الحل

لتأهيل جميع المقاطعات نصفر بايت الكلمة OCW1 أي
OCW1=00000000=OOH

```
MOV AL,00
OUT 27H, AL
```

الكلمة الثانية OCW2

تستخدم هذه الكلمة لتدوير وتغيير أفضلية طلب المقاطعة ولاختيار نمط إنهاء المقاطعة المستخدم.وتوضح D0D1D2 رقم مستوى المقاطعة التي ستطبق عليها فالقيمة000 تشير إلى مستوى المقاطعة 0 وهكذا.و D3D4 يحملان بالقيمة 0 ولا يوجد استخدام لهما .و تحمل D5D6D7 قيم مرمزة لأحد الأوامر الثمانية التي يمكن إرسالها إلى الشريحة8259 حيث D5 هي بت EOI وتشير إلى أن الأمر هو نهاية المقاطعة, و D6 تشير إلى مستوى المقاطعة المختار في البتات D0D1D2 , والبت D7 يشير إلى وظيفة تدوير أفضلية المستوى وهي قيد التأهيل.

أمثلة على الأوامر التي يمكن تركيبها بواسطة البتات D5D6D7

D7D6D5=001 : أمر إنهاء المقاطعةEOI غير موجه إلى مقاطعة محددة .

D7D6D5=011 : إنهاء المقاطعة موجه إلى مستوى مقاطعة محدد بالبتات D0D1D2 .

D7D6D5=100 : نمط تدوير الأفضلية مؤهل بشكل آلي .

D7D6D5=101 : أمر إنهاء المقاطعة بصفر طلب المقاطعة الأعلى أفضلية في سجل دخول الخدمة ISR ويجعل مستوى المقاطعة الحالي المخدم عند أدنى مستوى أفضلية.

D7D6D5=000 : أمر إلغاء تدوير الافضليات.

D7D6D5=111 : أمر إنهاء المقاطعة موجه إلى مستوى مقاطعة محدد في

البتات D0D1D2 وتدوير الأفضليات عند ذلك

المستوى.

D7D6D5=110: يهيئ مستوى المقاطعة المحدد في البتات D0D1D2 ليكون عند مستوى أفضلية دنيا .

وتحدد أولويات المقاطعة وفق الأنماط التالية :

١- **نمط الأولوية المطلقة** (التداخل الكامل Full Nested Mode)

يعطي هذا النمط الأولوية الأعلى لـ IR0 والأدنى لـ IR7 , ويمكن تغيير الوضع الافتراضي عن طريق برمجة الشريحة لإعطاء أولوية للمقاطعة IR6 ثم IR7 وهكذا على الترتيب بحيث تكون كلمة التشغيل OCW2 هي:

. . .

IR0 IR1 IR2 IR3 IR4 IR5 IR6 IR7

2 3 4 5 6 7 0 1

حيث : 0 هي الأعلى 7 هي الأدنى

٢- **نمط التدوير الآلي** Automatic Rotation Mode

تأخذ المقاطعة بعد تخديمها الأولوية الأدنى وتعطي بذلك الفرصة لجميع طلبات المقاطعة الأخرى وهو ما يمنع تداخل تخديم مقاطعة عند تنفيذ مقاطعة أخرى .

٣- **نمط التدوير الخاص** Special Rotation Mode

يمكن برمجة الشريحة لتقوم بالتدوير وفق تسلسل خاص ويستخدم D0-D2 لتحديد مخطط الأولويات الجديد الخاص للمقاطعات حيث :

D3-D4 : يساوي الـ 0 دائماً .

D5 : يحدد نهاية المقاطعة .

D6-D7 : تستخدمان لبرمجة الشريحة .

الكلمة الثالثة OCW3

تستخدم لقراءة سجلات الشريحة 8259 الداخلية كسجل طلب المقاطعة IRR وسجل خدمة المقاطعة ISR . حيث D0, D1 لتمكين قراءة السجلات وبالتالي معرفة حالة المقاطعات IR7-IR0 هل هي في حالة خدمة أم في حالة انتظار خدمة؟ .ولقراءة IMR تستخدم الكلمة OCW1 وتستخدم البتات المتبقية من الكلمة OCW3 لتغيير نمط الحجب.

مثال (١)

أوجد عناوين منافذ كلمات أمر التشغيل في الشريحة 8259 إذا تم تفعيل الشريحة بواسطة A7-A1=0011011 .

الحل

	A7	A6	A5	A4	A3	A2	A1	A0
OCW2,OCW3 منفذ الكلمتين 26H =	0	0	1	1	0	1	1	0
OCW1 منفذ الكلمة 27H =	0	0	1	1	0	1	1	1

مثال(٢)

أوجد كلمات التحكم للشريحة 8259 إذا كان لدينا المعالج 80386 وأن الشريحة 8259 وحيدة, وتقدح المقاطعة عند الجبهة وتعيين الرقم INT08 للمقاطعة IR0 وتعمل الشريحة وفق نمط التابع المعزول وليست متداخلة ووجود نهاية طبيعية للمقاطعة .

الحل

الكلمة الأولى ICW1

D0=1 : الحاجة إلى الكلمة ICW4

D1=1 : شريحة وحيدة .

D2=0 : مع المعالجات 8086

D3=0 : قدح عند الجبهة

D4=1

D5=D6=D7=0 : لأنظمة المعالجات 8086

وبالتالي تكون الكلمة الأولى ICW1=13H

لتحديد الكلمة الثانية يكون بمساواة الكلمة ICW2 بـرقم المقاطعـة IR0

وبالتالي INT08=11ICW2=00001000=08H

لا وجود للشريحة ICW3

الكلمة ICW4

D0=1

D1=0 : نهاية طبيعية للمقاطعة

D2=0, D3=1 : نمط التابع المعزول

D4=0 : ليست متداخلة

D5=D6=D7=0

وبالتالي فان الكلمة ICW4=00001001=09H

مثال(٣)

اكتب برنامجاً لتهيئة الشريحة 8259 باستخدام المنافذ السابقة .

الحل :

```
MOV AL, 13H        ICW1
OUT 20H, AL
MOV AL, 8H         ICW2
OUT 21H, AL
MOV AL, 9H         ICW4
OUT 21H, AL
```

وبالتالي تصبح الشريحة مهيأة لاستقبال مقاطعة على أي مدخل من مداخلها IR7-IR0 ويوصل رقم المقاطعة إلى المعالج. وتقوم كتلة برنامج الاختبار في BIOS بفحص قيمة السجل IMR للشريحة 8259 وكتابة أصفار وواحدات إليه وإعادة قراءتها، والوصول إلى السجل IMR يكون عبر كلمة التشغيل OCW1 ذات العنوان 21H في الحاسب .

٥-٥-٥-٢- تسلسل العمليات عند حدوث مقاطعة بالعتاد في8259

عندما تصل إشارة دخل واحد منطقي لأي من إشارات المقاطعةIR0 - IR7 فان الإشارة INTA للمعالج موصولة مع الإشارة INTA لمتحكم المسرى 8288 وكذلك الإشارة INTR للشريحة8259 موصولة مع الإشارة INTR للمعالج وبالتالي يكون لدينا العمليات التالية بعد وصول طلب المقاطعة إلى الشريحة 8259 :

١-بعد تلقي الشريحة 8259 إشارة فعالة على المدخلIR تخبر المعالج بوجود طلب المقاطعة بإرسال إشارة واحد منطقي على الرجل INTR .

٢-يضع المعالج الإشارة المناسبة على الخطوط S0, S1, S2 ويعلم الشريحة 8288 بحصول طلب مقاطعة.

٣-ترسل الشريحة8288 إشارة التعرف INTA الأولى إلى الشريحة 8259 .

٤-تستقبل الشريحة 8259 إشارة التعرف INTA وتقوم بإعطاء أولوية عند وجود أكثر من طلب مقاطعة.

٥-ترسل الشريحة 8288 إشارة INTA الثانية إلى الشريحة 8259 .

٦-تستقبل الشريحة 8259 إشارة التعرف الثانية وتستجيب إليها بوضع بايت شعاع المقاطعة الوحيد على ممرى المعطيات لكي يلتقطها المعالج ويمثل قيمة كلمة التحكم الثانية ICW2.

٧-يستقبل المعالج هذا البايت ليتعرف على شعاع المقاطعة الذي يمثل أربع أضعاف قيمة البايت.

٨-يدفع المعالج سجل الإعلام إلى المكدس ويصفر علم المقاطعة وعلم التتبع TF وبالتالي يتم حجب المقاطعات الخارجية الأخرى ويدفع السجلات CS:IP إلى المكدس.

٩-يقرأ المعالج العنوان CS:IP لإجرائية خدمة المقاطعة المطلوبة ويبدأ التنفيذ لتلك الإجرائية .

٥-٥-٥-٣-أولويات المقاطعة

تستقبل المعالجات 8086 جميع المقاطعات القابلة للحجب عبر الرجل INTR وتعتبر إشارة مقاطعة وحيدة ولذلك فإن أولوية المقاطعة للمقاطعات IRQ يعود للشريحة 8259 بفرض تفعيل التعليمة INT (INT21H) مثلاً والمقاطعة INTR في آن واحد فإن تعليمة INT سوف تأخذ الأولوية الأعلى على

المقاطعات المحجوبة وغير المحجوبة . وعند تفعيل المقاطعة INTR والمقاطعة المحجوبة NMI في آن واحد تعطى الأولوية في التنفيذ للمقاطعة غير المحجوبة NMT ذات الأولوية الأعلى. وينبغي ملاحظة أن مقاطعات التابع 8259 الثمان IRQ15- IRQ8 ذات أولوية أعلى من IRQ3 حتى IRQ7 باعتبار أنها موصولة مع IRQ2 للسيد وبالتالي تصبح الأولوية -IRQ3....IRQ7 IRQ15....IR8, IRQ1, IRQ0 .

٥-٥-٥-٤- أنماط القدح في المقاطعة

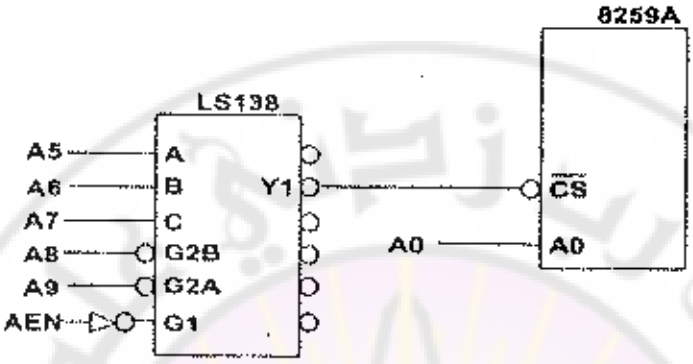
يوجد نمطين من القدح في المقاطعة وهما :

<u>نمط القدح عند المستوي</u> :تتعرف الشريحة 8259 على طلب المقاطعة عندما تكون الرجل IR Q في المستوي العالي ويجب أن يبقى في هذا المستوي إلى حين استقبال إشارة التعرف INTA وعندها يجب إزالة الإشارة 1 وجعلها منخفضة وإلا ستعود المقاطعة للتنفيذ ولتجنب هذه المشكلة يجب جعل الدخل منخفضاً قبل تنفيذ تعليمات نهاية المقاطعة EOI.

<u>نمط القدح عند الحافة</u>: تتعرف الشريحة 8259 على طلب المقاطعة عند استقبالها لإشارة التعرف بالمقاطعة INTA وذلك بعد تطبيق الجبهة الصاعدة من 0 إلى 1 لإشارة الدخل IRQ أما المستوي 1 فلن يؤثر على توليد مقاطعات إضافية ولذلك لا يضطر المصمم لإزالة الحالة 1 منطقي بشكل سريع لتجنب تضاعف المقاطعة كما هو الحال في نمط المستوي ،لأنه في نمط القدح عند الجبهة تعاد إشارة الطلب IRQ إلى الحالة صفر منطقي قبل طلب مقاطعة أخرى. في كلا النمطين يجب أن تبقىIRQ في الحالة 1 حتى وصول الجبهة الهابطة من النبضة INTA لكي يتم التعرف بطلب المقاطعة.

٥-٥-٦- ربط الشريحة 8259 مع المعالج

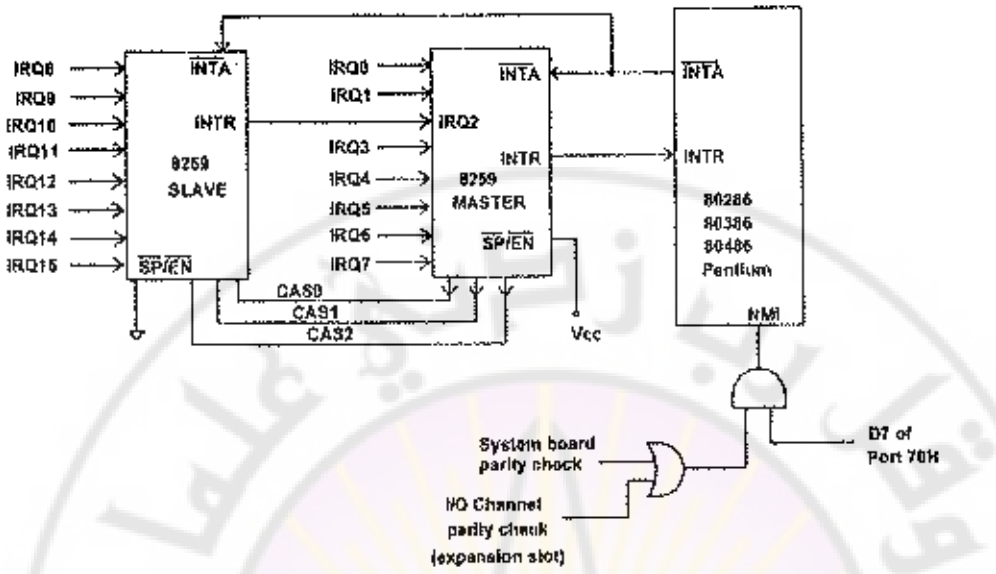
ويبين الشكل (٥-٢٣) كيفية ربط الدارة 8259 مع المعالج .



الشكل (٥-٢٣) - كيفية ربط الدارة 8259 مع المعالج

٥-٦-١- وصل الشرائح 8259 في نمط الرئيس/التابع مع المعالج

يبين الشكل (٥-٢٤) كيفية وصل المعالج مع أكثر من شريحة من شرائح المقاطعة .إن كلمات التحكم ICW1,ICW2,ICW4 هي نفسها بشكل أساسي مع بعض الاختلافات القليلة حيث يصبح D1 في كلمة التحكم ICW1 مساويا لـ 0 لأنها تستخدم النمط التتابعي (استخدام شريحتين) تبقى كلمة التحكم الثانية كما هي دون تغيير , وتستخدم الكلمة ICW4 النمط غير المعزول وبالتالي يكون لدينا D2=D3=0 وكذلك يكون لدينا الكلمة الثالثة ICW3 والتي يجب أن تكتب مرة للسيد ومرة للتابع , ومن أجل السيد نعلم عن طريق الكلمة ICW3 أي رجل من الأرجل IR التي تكون موصولة مع التابع 8259 وباعتبار إن الرجل IR2 موصولة مع الرجل INTR للسيد 8259 فتكون الكلمة الثالثة مساوية ICW3=00000100=04H .



الشكل (٥-٢٤) – كيفية وصل المعالج مع أكثر من شريحة من شرائح المقاطعة

٥-٥-٦-٢- الشريحة ٨٢٥٩ في نمط التابع

توصل الرجل SP/EN إلى الأرضي لتصبح في النمط التابع غير المعزول كما هو مبين في الشكل (٥-٢٤) . وتوصل الأرجل CAS0, CAS1, CAS2 التي تمثل إشارات الدخل للتابع مع نفس الأرجل التي تمثل إشارات الخرج للسيد Master , وتوصل الرجل INTA للتابع مع نفس الرجل للمعالج , وتوصل الرجل INT للتابع مع الرجل IR للسيد . وتبرمج الشريحة 8259 لتعمل بشكل خاص في النمط التابع Slave . ويبين الجدول (٥-١٢) عناوين منافذ التهيئة والتشغيل .

المنفذ	ICWS	OCWS
A0H	ICW1	OCW2,OCW3
A1H	ICW2,ICW3,ICW4	OCW1

الجدول (٥-١٢) – عناوين منافذ التهيئة والتشغيل

وبالتالي يكون برنامج التهيئة للتابع هو:

```
MOV AL, 11H      ICW1
OUT A0H, AL
MOV AL, 70H      ICW2
OUT A1H, AL
MOV AL, 02H      ICW3
OUT A1H, AL
MOV AL, 01H      ICW4
OUT A1H, AL
```

نلاحظ أن الكلمتين الثانية والثالثة تختلفان عن السيد لأن أرجل التابع IR0-IR7 تعين أرقام نمط المقاطعة وتنعكس على الكلمة ICW2 كما يجب على الشريحة 8259 التابع أن تعين رقماً للسيد الموصول معها الرجل INT وهي مهمة الكلمة ICW3 وباعتبار إن الرجل IR2 للسيد موصولة مع الرجل INT للتابع فان D2D1D0=010 للكلمة ICW3 وبالتالي ICW3=00000010=02H .

وقل رب زدني علما
جامعة دمشق
Damascus University

الملحق A

الفصل السادس

المبدلات الرقمية / التمثيلية D/A

&

المبدلات التمثيلية / الرقمية A/D

Digital To Analog Converters

&

Analog To Digital Converters

Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

المبدلات الرقمية/التمثيلية & التمثيلية/الرقمية
Digital To Analog Converters & Analog To Digital Converters

٦ـ١ـ مقدمة

تتغير الحوادث الطبيعية بشكل مستمر بحيث يمكن التعبير عنها بإشارات تمثيلية يتغير مطالها بتغير هذه الحوادث ، ويكون معدل التغير في بعض الأحيان بطيئاً جداً كتغيرات درجة الحرارة ،وأحياناً أخرى سريعاً جداً كالإشارات الصوتية ، وبما أن هناك إمكانية تمثيل قيم الإشارات التمثيلية فإن ترميزها أفضل طريقة للتعبير عنها, إذ أنه ليس من السهل تخزين أو معالجة أو استرجاع المعلومات بدقة ،أو القيام بالعمليات الحسابية أو عمليات المقارنة في حال استخدام الإشارات كقيم تمثيلية.

أما الحواسيب فتستطيع أن تقوم بهذه العمليات بسرعة فائقة وبدقة عالية ولكمية غير محدودة من المعلومات ، وذلك باستخدام تقنيات الدارات الرقمية، ونظراً للحاجة الماسة إلى عناصر ربط "Interfacing" بين الدارات التمثيلية والدارات الرقمية تم تصميم المبدلات التمثيلية/ الرقمية ADC (Analog-to-Digital Converter) التي تسمح للظواهر التمثيلية بالاتصال مع الحواسيب ، والمبدلات الرقمية /التمثيلية DAC (Digital to Analog Converter)) التي تسمح للحواسيب بالاتصال مع الحواس الإنسانية والظواهر الفيزيائية الموجودة في الطبيعية, أي تعتبر المبدلات بنوعيها D/A و A/D صلة الوصل بين القسمين الأساسيين للنظم الإلكترونية وهما النظم التمثيلية والنظم الرقمية . تقوم المبدلات التمثيلية /الرقمية والرقمية/ التمثيلية بالربط بين العالمين التمثيلي والرقمي وبالعكس أيضاً . ومن المعروف أن الأنظمة الرقمية تعمل

على أساس نظام العد الثنائي Binary system أو أي نظام ثنائي آخر مثل BCD (Binary Code Decimal). وعند الرغبة في المعالجة الرقمية يجب وضع أي نمط من المعلومات بشكل رقمي قبل معالجته وعند الحاجة لإظهار النتائج الرقمية بشكل تمثيلي يجب تحويلها إلى الشكل التمثيلي المكافئ لها .

٦-٢- وظيفة المبدلات

مهمة المبدلاتA/D تبديل القيمة التمثيلية لقيمة رقمية مكافئة لها , ويجب أن يكون هناك مرجع تمثيلي تنسب له القيم التمثيلية Vref المطلوب تبديلها ومرجع رقمي مكافئ Dm تنسب له القيمة الرقمية . **بحيث تتحقق العلاقة التالية :**

$$\frac{V_{in}}{V_{ref}} = \frac{D_{in}}{D_m}$$

المبدل A/D يحول الإشارة التمثيلية التي يمكن أن تكون جهد أو تيار إلى مكافئها الرقمي. **ونستطيع بناء المبدل A / D بطريقتين مختلفتين :**

١. **تحويل الإشارة التمثيلية إلى تردد أو مجموعة نبضات** : بحيث يمكن قياس زمنها وبالتالي الحصول على القيمة الرقمية التي تمثل القيمة التمثيلية عند لحظة زمنية محددة .

٢. **مقارنة إشارة الدخل التمثيلية مع مرجع متغير**: وذلك باستخدام مبدل D/A (أي مبدل رقمي/تمثيلي) داخلي حتى نحصل على خرج رقمي ممثل لإشارة الدخل .

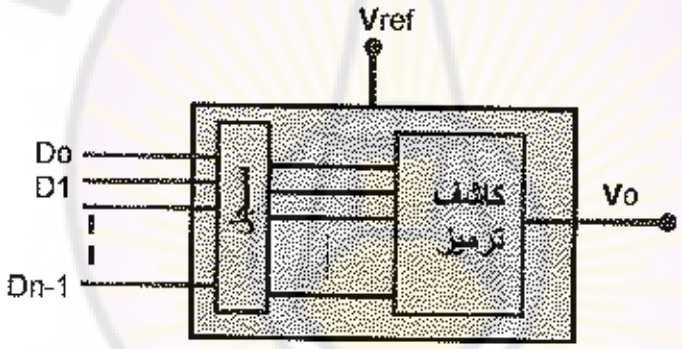
نظراً لاستخدام المبدلات D/A في بنية المبدلات A/D , سندرس أولاً المبدلات الرقمية/التمثيلية .

٦-٣- المبدلات الرقمية/التمثيلية DAC

Digital To Analog Converters

٦-٣-١- مقدمة

وظيفة المبدل تبديل كمية ممثّلة بالقيم الثنائية إلى كمية فيزيائية وغالباً ما تكون جهد كهربائي، ويكون جهد الخرج تابع خطي للدخل الرقمي، ويتكون المبدل من سجل تخزين يمثل دخل المبدل الرقمي وجهد تغذية مرجعي Vrcf ذاي استقرار عالٍ وكاشف الترميز الذي يحتوي على شبكة مقاومات ذات دقة عالية . ويبين الشكل (٦-١) بنية المبدل الرقمي/التمثيلي.



الشكل (٦-١) - بنية المبدل الرقمي/التمثيلي

وتخزن كلمة الدخل الرقمية المراد تبديلها بالسجل (هو عبارة عن مجموعة من القلابات F.F) وكل قلاب من السجل يقود أو يقدح مفتاح تمثيلي الذي بدوره يوصل الجهد المرجعي لنهاية أحدى مقاومات الشبكة . وإذا كان أحد الأرقام الثنائية يساوي " 1 " منطقي فالمقاومة الموصولة تقسّم الجهد المرجعي بحيث يضاف أو ينقص من جهد خرج المبدل حسب وزن الرقم الثنائي . ويوجد

نوعان أساسيان من المبدلات الرقمية/التمثيلية D/A ، وكل نوع يعتمد على طريقة وصل شبكة المقاومات ، وهما :

- **النوع الأول يعتمد على شبكة مقاومات موزونة** ، أي كل مقاومة تعطي قيمة جهد لخرج المبدل حسب وزنها .
- **النوع الثاني يطلق عليه اسم المبدل ذي الشبكة السلمية (R - 2R).**

في كلا النوعين الخرج يمكن أن يكون تياراً أو جهداً كهربائياً .

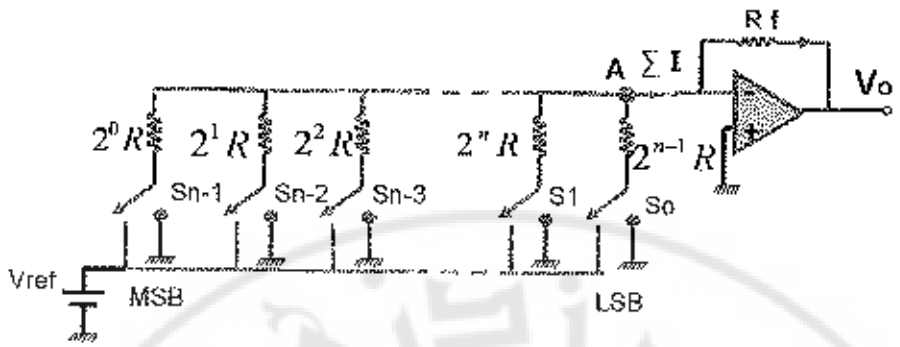
٦-٣-٢- خواص المبدلات الرقمية/التمثيلية DAC

تتحدد الخواص الأساسية للمبدلات الرقمية/التمثيلية بما يلي :

- الربح
- SNDR وهي معدل استطاعة الإشارة إلى استطاعة الضجيج ، والتشويه يقدر بالديسيبل ويحدد بالضجيج الحراري المتولّد عن مكونات مجهولة مثل المقاومات .
- عدد القيم التي يستطيع أن يظهرها المبدل على خرجه. ومقدار تغير قيمة جهد الخرج في حال تغير مدخل المبدل بمقدار "1 LSB " (تغير الخانة ذات الوزن الأدنى).
- علاقة " الخرج/الدخل " والتي تسمح بحساب قيمة الخرج إذا كان الدخل الرقمي معلوم.

٦-٣-٣-المبدلات الرقمية/التمثيلية D / A ذو الشبكة الموزونة

يبين الشكل(٦-٢) مبدل D/A ذو الشبكة الموزونة ، وهو مبدل ذو n خانة، كل مفتاح يقاد بواسطة خرج ثنائي استقرار (قلاب) يحفظ قيمة رقمية " 1" أو " 0 " منطقي ، ويجعل المفتاح يأخذ الجهد المرجعي Vref " 1" منطقي أو الأرض " 0 " منطقي .



الشكل (٢-٦) – مبدل D / A ذو الشبكة الموزونة ذو n

كل رقم ثنائي i (Bit) يتحكم ويقود مفتاح S_i أي يوصل إلى Vref عندما $a_i = 1$ ويوصل المفتاح إلى الأرض عندما $a_i = 0$. إن المقاومات الموصولة بالمفاتيح قيمتها تتناسب مع وزن الرقم الثنائي بحيث يتم تمرير تيار يتناسب مع قيم وزن هذه الأرقام .

بفرض لدينا قيمة رقمية N يستخدم n خانة (Bit) يمكن تمثيله كما يلي :

$$N = a_{n-1}2^{n-1} + a_{n-2}2^{n-2} + \ldots\ldots + a_1 2^1 + a_0 2^0$$

$$N = \sum_{i=0}^{n-1} a_i 2^i$$

قيمة المقاومة الموجودة مقابل البت ذات الوزن الأعلى MSB تساوي R بينما قيمة المقاومة التي تقابل البت ذات الوزن الأدنى LSB هي تساوي $2^{n-1}R$, وفي العقدة A تجمع التيارات .

$$\sum I = \frac{a_{n-1} V_R}{2^0 R} + \frac{a_{n-2} V_R}{2^1 R} + \frac{a_{n-3} V_R}{2^2 R} + \cdots\cdots + \frac{a_0 V_R}{2^{n-1} R}$$

$$\sum I = \frac{V_R}{2^{n-1} R} \sum_{i=0}^{n-1} a_i 2^i$$

يتم الحصول على تيار أعظمي عندما تكون جميع الأرقام الثنائيـــة a = 1 أي واحد منطقي . ويعطى جهد الخرج بالعلاقة التالية :

$$V_o = -R_f \left(\frac{b_1 . V_{ref}}{R} + \frac{b2 . V_{ref}}{2R} + \frac{b3 . V_{ref}}{4R} + \cdots\cdots\cdots + \frac{b_N . V_{ref}}{2^{2N-1} R} \right)$$

$$= -2 V_{ref} \frac{R_f}{R} \left(\frac{b1}{2} + \frac{b2}{4} + \frac{b3}{8} + \cdots\cdots\cdots + \frac{b_N}{2^N} \right)$$

حيث:

N: عدد بتات المبدل

b1:MSB

b_N :LSB

عندما يكون الدخل(00.....00) يكون الخرج

Vo(MIN) = 0

عندما يكون الدخل(01.....00) يكون الخرج

Vo(LSB) = - 2 (Vref)Rf/R $(1/2^N)$

عندما يكون الدخل(00.....1) يكون الخرج

$$Vo(MSB) = - 2 (Vref)Rf/R (1/2)$$

$$Vo(MSB)= Vo(LSB)\times 2^{N-1}$$

مثال :

ارسم مبدل D/A ذا شبكة موزونة بأربع خانات يستخدم مكبر عمليات عاكس , حيث R= 1 K , ثم ضع جدول الحقيقة له .

الحل :

ان المبدل الرقمي/التمثيلي ADC بأربع بتات يستخدم مكبراً على شكل دارة جامع يعطى على خرجه إشارة تمثيلية تكافئ وزن مجموع بتات الدخل غير الصفرية ,ومقاومات دخل هذا المكبر الجامع تؤمن معاملات الوزن المطلوبة , ويوضح الشكل (٦-٣) المبدل D/A ذا الشبكة الموزونة المطلوب.

إن قيمة مقاومة التغذية العكسية (R_f) وقيمة مقاومة دخل البت الأكثر وزناً MSB (R) ومستوى جهد الدخل المطبق من أجل الواحد المنطقي ,تحدد مجتمعة مستوى جهد الخرج الموافق للبت الأكثر وزناً MSB، فإذا كان V_i يمثل جهد الدخل المعبر عن الواحد المنطقي فان المعادلة التالية تعطي مسوية جهد البت الأكثر أهمية:

$$V_{MSB} = - (R_f /R) <V_i$$

والمعادلة التالية تعطي جهد الخرج الكلي للمبدل:

$$V_{FS} = 2\times V_{MSB}$$

كما يعطى جهد البت الأقل أهمية LSB بالمعادلة:

$V_{LSB} = V_{MSB} /2^{n-1}$

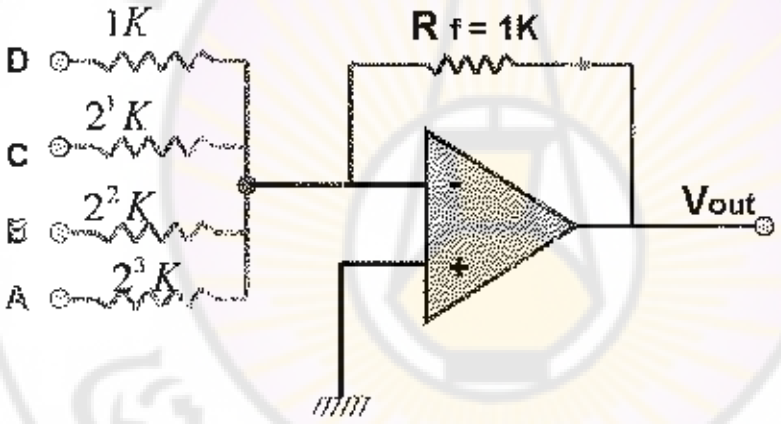
$Vo=-(R_f/R)[D_3+0.5D_2+0.25D_1+0.125D_0]$

$V_{LSB}=-R_f/R[\ 0.125D_0\ ]$

$V_{MSB}=-R_F/R[D_3]$

المداخل الرقمية تساوي 5v من أجل 1 منطقي و 0v من أجل 0 منطقي .

$V_{FS}=2V_{MSB}$



الشكل (٦-٣٠) - المبدل D / A ذي الشبكة الموزونة

ويبين الجدول(٦-١) جدول الحقيقة للمبدل D/A بأربع خانات ذو الشبكة الموزونة .

D	C	B	A	Vout
0	0	0	0	0 v
0	0	0	1	-0.625
0	0	1	0	- 1.250
0	0	1	1	-1.875
0	1	0	0	-2.500
0	1	0	1	-3.125
0	1	1	0	-3.750
0	1	1	1	-4.375

D	C	B	A	Vout
1	0	0	0	-5.000
1	0	0	1	-5.625
1	0	1	0	- 6.250
1	0	1	1	-6.875
1	1	0	0	-7.500
1	1	0	1	-8.125
1	1	1	0	-8.750
1	1	1	1	-9.375

الجدول (٦-١) – جدول الحقيقة للمبدل D / A بأربع خطات ذي الشبكة الموزونة

من الشكل(٦-٣) نحسب قيمة جهد الخرج Vout:

$$V_{out} = -(V_D + 0.5\, V_C + 0.25\, V_B + 0.125\, V_A)$$

ما هي قيمة الخرج من أجل القيمة الرقمية 1000 ؟

$$V_{out} = -(5 + 0 + 0 + 0) = -5 \text{ Volte}$$

ملاحظة : المداخل الرقمية تكون إما 0 فولط أو 5 فولط .

ما هي قيمة الخرج من أجل القيمة الرقمية 1011 ؟

$$V_{out} = -(5 + 0 + 5 \times 0.25 + 5 \times 0.125) = -6.875 \text{ v}$$

إذا كان لدينا N bit فإن القيمة العشرية التي يمكن تمثيلها باستخدام هذه البتات هي 2^N-1 ، وأن القيمة العشرية العظمى تساوي :

$$MAX=(2^N-1)LSB$$

أي عندما يكون الدخل(11.....111) يكون الخرج الأعظمي يساوي :

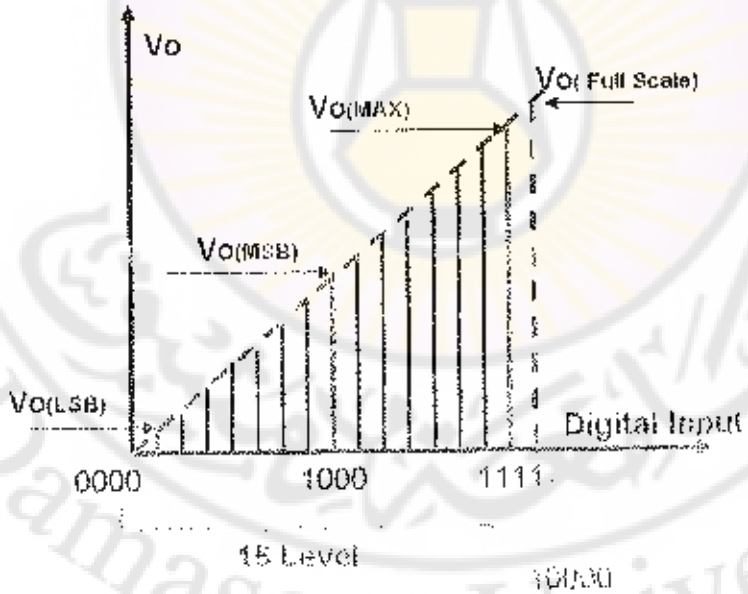
$$Vo(MAX)=(2^N-1)Vo(LSB)$$

القيمة الاسمية (Full Scale) Vعرف بالعلاقة :

$$Vo(FS)=2Vo(MSB) \cdot 2\ Vo(LSB) \times 2^{N-1}= Vo(LSB).\ 2^N$$

أي تكون القيمة الاسمية أكبر من الخرج الأعظمي بمقدار Vo(LSB)

يبين الشكل (٦-٤) خواص النقل لمبدل ذي 4bit مثالي أي يمر بالمبدأ.



الشكل (٦-٤) خواص النقل لمبدل ذي 4bit مثالي

حيث :

$V_{O(LSB)}$: أقل قيمة يمكن أن يخرجها المبدل .

$V_{O(MAX)}$: أعظم قيمة يمكن أن يخرجها المبدل .

$V_{O(MSB)}$: القيمة العشرية للبت ذات الوزن الأعلى , وتساوي $(1/2)\ V_{O(FS)}$

$V_{O(\text{Full Scale})}$: القيمة الاسمية(الجهد المرجعي Vref) .

ملاحظة :

هذا النوع من المبدلات لديه مشكلة وهو المجال الكبير للمقاومات المستخدمة من $2^0 \times R$ حتى $2^{N-1} \times R$,على سبيل المثال إذا كانت R = 10 K سيكون مجال المقاومات من أجل 12 Bits هو { $10 - 2^{11} \times 10K$ } , وهذا يُعد مجالاً كبيراً جداً ويؤدي لضجيج كبير , لذلك نلجأ إلى نوع آخر من المبدلات , وهي المبدلات الرقمية/التمثيلية ذات الشبكة السلمية .

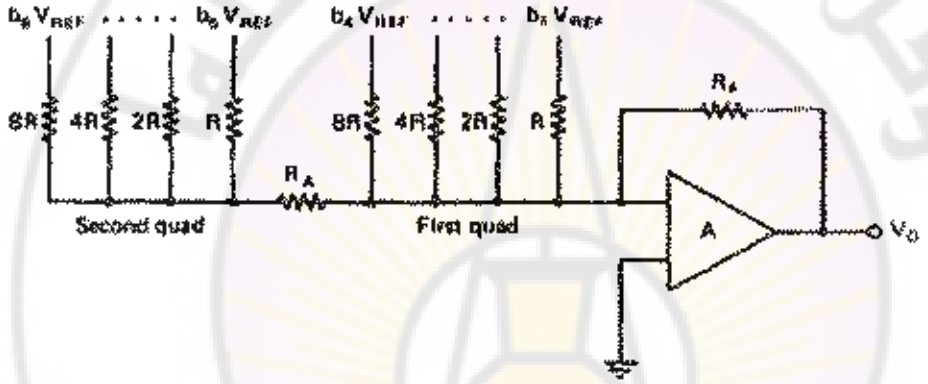
الدخل الرقمي	V_0	الدخل الرقمي	V_0
0000	0	1000	Fs/2
0001	Fs/16	1001	9Fs/16
0010	Fs/8	1010	5Fs/16
0011	3Fs/16	1011	11Fs/16
0100	Fs/4	1100	3Fs/4
0101	5Fs/16	1101	13Fs/16
0110	3Fs/8	1110	7Fs/8
0111	7Fs/16	1111	15Fs/16

الجدول (٦-٢) – جدول الحقيقة لمبدل D/A بأربع بتات ذو الشبكة الموزونة

ويبين الجدول (٦-٢) جدول الحقيقة للمبدل D/A بأربع بتـات ذي الـشبكة الموزونة على اعتبار أن $F_s = V_{ref} = 10v$.

٦-٣-٤- المبدل ذو الرباعيات المتتالية Cascaded Quad DAC

يبين الشكل (٦-٥) مبدل 8bit يستعمل رباعيتين من المقاومات المتتاليـة , توضع المقاومة R_A بين كل رباعيتين كمقسم تيار بحيث توفر نسبة تقسيم للتيار 1:16 .



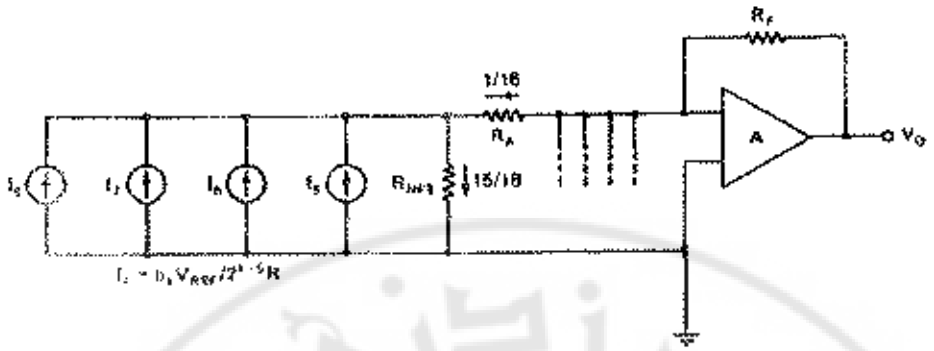
الشكل (٦-٥) -- مبدل D/A ذو 8bit يستعمل رباعيتين من المقاومات المتتالية

لذلك 1/16 فقط من التيار الناتج عن الرباعية الثانية سيمر خـلال المقاومـة R_A ويضاف إلى التيار الداخل في مكبر العمليات. يمكن إعـادة رسـم الـدارة باستخدام نورتون نحصل على الدارة في الشكل (٦-٦) . حيث قيمة المقاومـة R_{NET} =0.53333 R , وهي تركيبة تفرعية من المقاومات R, 2R, 4R, 8R من أجل تقسيم التيار المطلوب :

$I1=I\ R_{NET}/(R_{NET}+R_A)$

$1/16=0.5333\ R/(0.53333\ R+R_A)$

$R_A=8\ R$



الشكل (٦-٦) – تمثيل مقاومة المنبع التفرعية R_{NFT} للمرحلة الرباعية الثانية

لإيضاح ذلك بشكل أكثر نكتب معادلات المبدل من هذا النوع ذي 12bit

بثلاث رباعيات ويبين الشكل (٦-٧) هذا المبدل .

$$I1=V_{REF}\,(b_{12}/8R+b_{11}/4R+b_{10}/2R+b_9/R)$$

$$I1'=V_{REF}/16\,(b_{12}/8R+b_{11}/4R+b_{10}/2R+b_9/R)$$

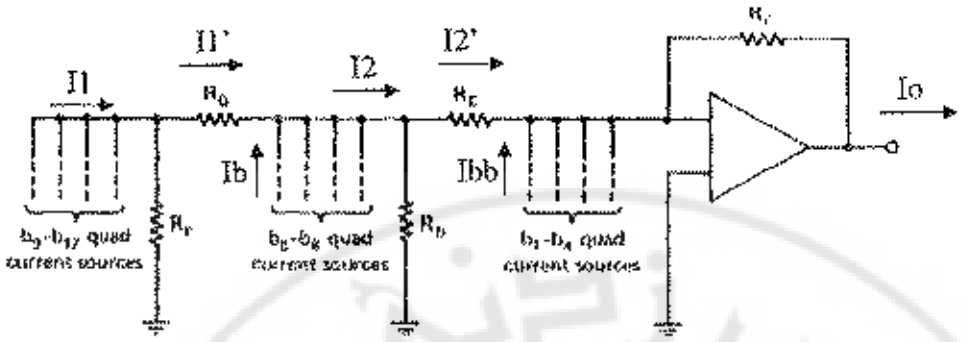
$$Ib=V_{REF}\,(b_8/8R+b_7/4R+b_6/2R+b_5/R)$$

$$I2=I1'+Ib=V_{REF}\,(b_{12}/128R+b_{11}/56R+b_{10}/32R+b_9/16R+$$
$$b_8/8R+b_7/4R+b_6/2R+b_5/R)$$

$$Ibb=V_{REF}\,(b_4/8R+b_3/4R+b_2/2R+b_1/R)$$

التيار الداخل إلى المكبر هو تيار الخرج:

$$Io=Ibb+I2/16=V_{REF}\sum bi/R\,2^{i-1}$$



الشكل (٦-٧) – مبدل D/A ذو 12 Bit بثلاث رباعيات .

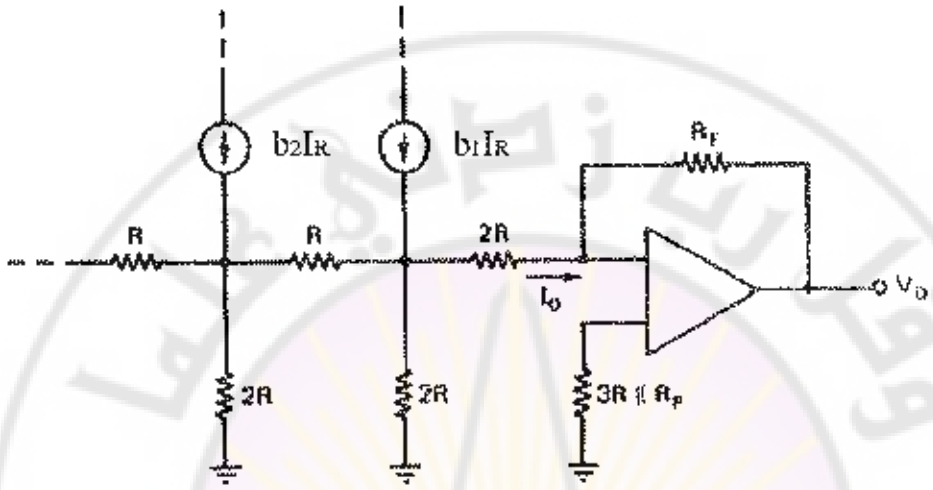
٦-٣-٥- المبدلات الرقمية/التمثيلية D/A ذو الشبكة السلمية R-2R ladder DAC

يتميز هذا النوع من المبدلات أنه يستخدم شبكة سلمية من المقاومات R - 2R وتلغي السيئة الموجودة في المبدلات الرقمية/التمثيلية ذي الشبكة الموزونة . وذلك على حساب إضافة مقاومة من أجل كل رقم ثنائي . ويبين الشكل (٦-٨) مبدل D/A يستخدم شبكة سلمية من المقاومات R- 2R . تكون عند كل عقدة المقاومة المنظورة من يمين 2R مساوية للمقاومة المنظورة من يسار 2R , لذلك ينقسم التيار القادم من منبع التيار ومن العقدة السابقة في كل عقدة إلى جزأين متساويين الأول يمر عبر 2R إلى الأرض والثاني عبر R ثم إلى العقدة التالية ليضاف لتيار ثاني ثم ينقسم مرة أخرى وهكذا، وبالنتيجة فإن كل تيار ينقسم على 2^n وهذا يكافئ المرتبة الثنائية الموافقة له وبذلك يكون تيار الخرج يساوي :

$$Io=I_R(b_1/2 + b_2/4 + b_3/8 + \ldots\ldots + b_N/2^N)$$

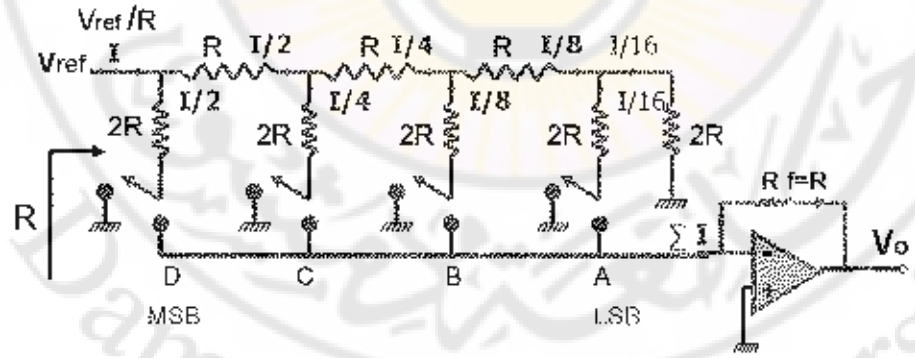
وجهد الخرج Vo عند خرج المكبر يساوي :

$$V_o = - R_f I_o = - R_f \; I_R(b_1/2 + b_2/4 + b_3/8 + \ldots\ldots\ldots + b_N/2^N)$$



الشكل (٦-٨) – مبدل D/A يستخدم شبكة سلمية من المقاومات R- 2R

للتبسيط سندرس مبدل بأربع خانات فقط . ويبين الشكل (٦-٩) مبدل D/A سلمي ذو 4Bit .



الشكل (٦-٩) – مبدل D/A سلمي ذو 4Bit

عندما يطبق على الدخل الرقمي لخانة ما صفر منطقي يوصل المفتاح الالكتروني الخاص بالخانة إلى الأرض , ونلاحظ لا يوجد فارق من وجهة النظر الكهربائية فالتيار دوماً يساوي I = Vref / R ودوماً المقاومة المكافئة تساوي R . القدرة على التمييز Vref/16 لأن :

$$\frac{I}{16} = \frac{V_{ref}}{R}$$

$$I.R = \frac{V_{ref}}{16}$$

يبين الجدول (٦-٣) جدول الحقيقة للمبدل D/A بأربع خانات ذي الشبكة السلمية .

D	C	B	A	Vout
0	0	0	0	0 v
0	0	0	1	-Vref/16
0	0	1	0	-2Vref/16
0	0	1	1	-3Vref/16
0	1	0	0	-4Vref/16
0	1	0	1	-5Vref/16
0	1	1	0	-6Vref/16
0	1	1	1	-7Vref/16

D	C	B	A	Vout
1	0	0	0	-8Vref/16
1	0	0	1	-9Vref/16
1	0	1	0	-10Vref/16
1	0	1	1	-11Vref/16
1	1	0	0	-12Vref/16
1	1	0	1	-13Vref/16
1	1	1	0	-14Vref/16
1	1	1	1	-15Vref/16

الجدول (٦-٣) – جدول الحقيقة للمبدل D/A بأربع خانات ذو الشبكة السلمية

● للمبدلات الرقمية/التمثيلية الميزات الأساسية التالية :

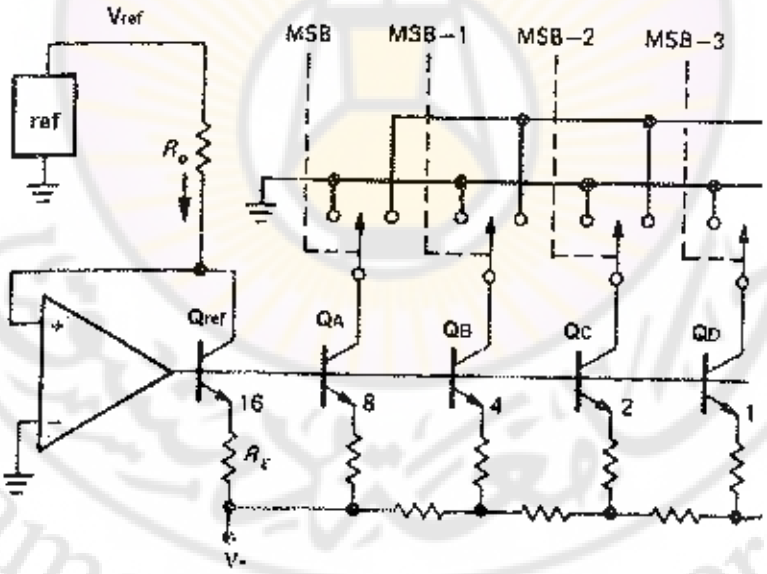
١) تعمل هذا المبدلات بسرعات عالية .

٢) هنالك هبوط صغير في الجهد عبر المفاتيح , مما يؤمن استقرار في عمل المبدل .

٣) تحتاج إلى قيمتين فقط من المقاومات.

٦-٣-٦- منابع التيار الموزونة Scaled current sources

وجدنا في المبدل R-2R في الفقرة السابقة أن مكبر العمليات يبدل التيارات الموزونة ثنائياً إلى جهد خرج. ويعتبر الجهد في الخرج هو الأكثر ملائمة في معظم الحالات، إلا أن مكبر العمليات يشكل عادة الجزء الأكثر بطئاً في دارة المبدل. وفي الحالات التي نحتاج فيها إلى مبدل خرجه تيار، فإننا نحصل على نتائج أفضل.



الشكل (٦-١٠) – استخدام الترانزيستورات كمنابع للتيار في بناء المبدل D/A السلمي

يبين الشكل (٦-١٠) استخدام الترانزيستورات كمنابع للتيار في بناء المبدل D/A السلمي . حيث يمكن توليد التيارات باستخدام نسق من منابع التيار الترانزيستورية مع مقاومات باعث موزونة، رغم أن مصممي الدارات المتكاملة ICs يستخدمون بدلاً عن ذلك سلم R-2R لمقاومات البواعث. وفي معظم المبدلات من هذا النوع تكون منابع التيار في الحالة ON دائماً. وتيار خرجهما يمرر عبر مفتاح إما إلى نقطة الخرج أو إلى الأرضي، وذلك تحت تحكم رموز الدخل الرقمية، ونلاحظ هنا محدودية ممانعة تيار الخرج في المبدلات DAC حيث قد لا تتجاوز 0.5 v رغم أن هناك قيماً قد تصل إلى بضعة فولتات.

٦-٣-٧- مبدلات DAC التي تعمل في المجال الزمني

Time-domain (averaging) DACs

٦-٣-٧-١- مبدلات التردد إلى جهد

Frequency-to-voltage converters

قد يكون الدخل الرقمي في تطبيقات التبديل قطاراً من النبضات أو شكلاً آخر من أشكال الموجات بتردد معين، وفي هذه الحالة يكون التبديل المباشر إلى جهد أكثر ملائمة من اللجوء إلى خيار عدّ النبضات ضمن فاصل زمني معين، ثم تبديل العدد الثنائي الناتج باللجوء إلى إحدى الطريقتين السابقتين. إن التبديل من تردد إلى جهد بصورة مباشرة يعتمد على توليد نبضة قياسية من أجل كل دورة في الدخل ، التي قد تكون نبضة جهد أو تيار. بعد ذلك يقوم مرشح تردد منخفض بتوسيط قيمة قطار النبضات ويعطي جهد خرج متناسب مع تردد نبضات الدخل وبالطبع سينتج بعض التعرج في الخرج ، ويجب أن يكون هذا التعرج بقيمة تقل عن قيمة دقة المبدل D/A (1/2 LSB) ،مما يؤدي إلى بطئ استجابة الخرج . ولضمان تعرج يقل عن 1/2 LSB فإن الثابت الزمني لمرشح ترددات منخفضة RC يجب أن لا تقل عن $T=0.69(n+1)T_0$, حيث

T_0 هو دور خرج المبدل F/V (تردد /جهـد) ذي n-Bit والموافـق لتـردد الدخل الأعظمي وسوف يستقر خرج المرشح RC إلى مادون LSB 1/2 إثر تغيير كامل المجال في الدخل خلال زمن يـساوي 0.69(n+1) تابعـاً زمنياً للمرشح .

وبعبارة أخرى فإن زمن الاستقرار في الخرج إلى LSB 1/2 سيساوي تقريباً $t = 0.5(n+1)^2T_0$. وبالتالي فإن مبدل 10-Bit F/V تردد دخلـه الأعظمـي 100kHz وخرجه منعَم باستخدام مرشح RC سيكون زمن استقرار جهد خرجه مساوياً 0.6ms . وباستخدام مرشحات أكثر تعقيداً يمكننا الحصول على أداء أفضل . وتستخدم هذه الطريقة عندما لا يكون الخرج المطلـوب جهداً .

٦-٣-٧-٢- التبديل D/A بالاعتماد على تعديل PWM

تستخدم تقانة تعديل عرض النبضات Pulse-Width Modulation لتبـديل قطار النبضات الرقمية في الدخل إلى قطار نبضات تردده ثابت ولكـن عـرض نبضاته متناسب مع قيمة العدّ في الدخل، ويمكن تحقيق ذلك بسهولة باللجوء إلى عداد ومقارن مطالات وساعة ذات تردد عال، وأيضاً يمكن اسـتخدام مرشـح تمرير منخفض بسيط لتوليد جهد خرج متناسب مع متوسط الزمن الـذي تكـون فيه النبضات في الحالة HIGH أي أنه متناسب مع الدخل الرقمي. وغالبـاً مـا يتم اللجوء إلى هذا النوع من التبديل D/A عندما يكون نظام الحمل نفسه بطيء الاستجابة. ويقوم معدل عرض النبضة عندها بتوليد ذرات دقيقـة مـن الطاقـة ويحسب نظام الحمل قيمتها المتوسطة.

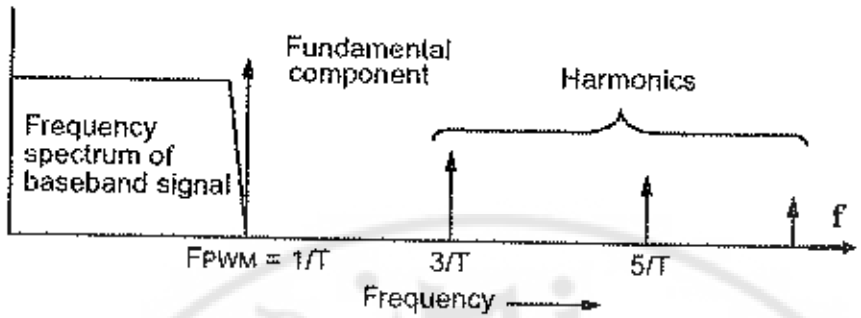
فمثلاً، قد يكون الحمل سعوياً (كما هو الحال في منظم الفصل/وصل switching regulator) أو حرارياً (ثيروموستات مع مسخن) أو ميكانيكياً (محرك سيرفو) أو كهرطيسياً (وحدة تحكم كهرطيسية كبيرة).

إن إشارة الـ PWM تكون عبارة عن نبضات ذات تردد ثابت وعرض متغير، حيث يتغير العرض تبعاً للقيمة اللحظية للإشارة غير المعدلة(إشارة المعلومات). وبكلمات أخرى يكون التردد في تعديل عرض النبضة عدد ثابت بينما يتغير duty cycle (من 0% إلى 100%) تبعاً لمطال الإشارة الأصلية , ويبين الشكل (٦-١١) إشارةPMW نموذجية :

الشكل (٦-١١) – إشارة PMW نموذجية

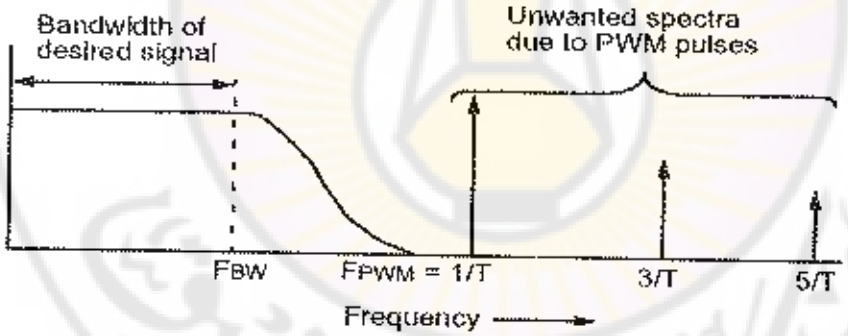
إن تحليل فوريه لإشارة PMW يبين أنه يوجد مركبة أساسية عند التردد $F_0=1/T$ ، كما أنه توجد توافقيات أيضاً عند الترددات $F=K/T$ حيث K عدد صحيح. ويبين الشكل (٦-١٢) توافقيات الإشارة في تحليل فوريه .

إن أمثال هذه التوافقية الأساسية تتناسب مع عرض النبضة الفعال(الجزء الموجب)لذلك نبقي عليها ونحذف باقي التوافقيات . وللقيام بذلك يجب إمرار إشارة PWM بمرشح تمرير منخفض.



الشكل (٦-١٢) - توافقيات الإشارة في تحليل فوريه

إن عرض مجال الإشـــارة المرغوبـــة ســـتكون: $F_{bw}<=(F_{pwm}=1/T)$ ، ونختار عرض الإشارة أصغر في التطبيقات لسهولة تصميم المرشـــح ويكـــون الشكل العملي للمجال المرغوب كما هو مبين في الشكل (٦-١٣) .

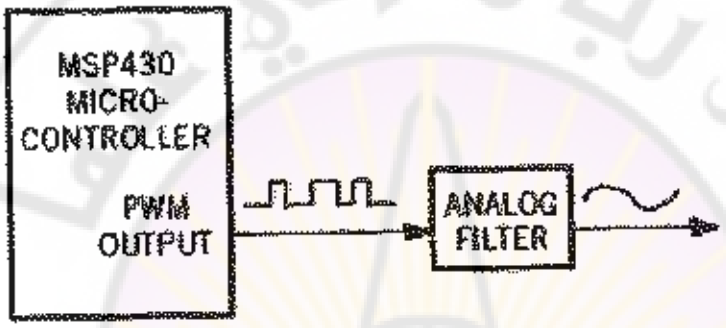


الشكل (٦-١٣) - الشكل العملي للمجال المرغوب لـــ PWM

من الشكل نجد $F_{BW} << F_{pwm}$ وبالتالي $F_{BW}.M = F_{pwm}$

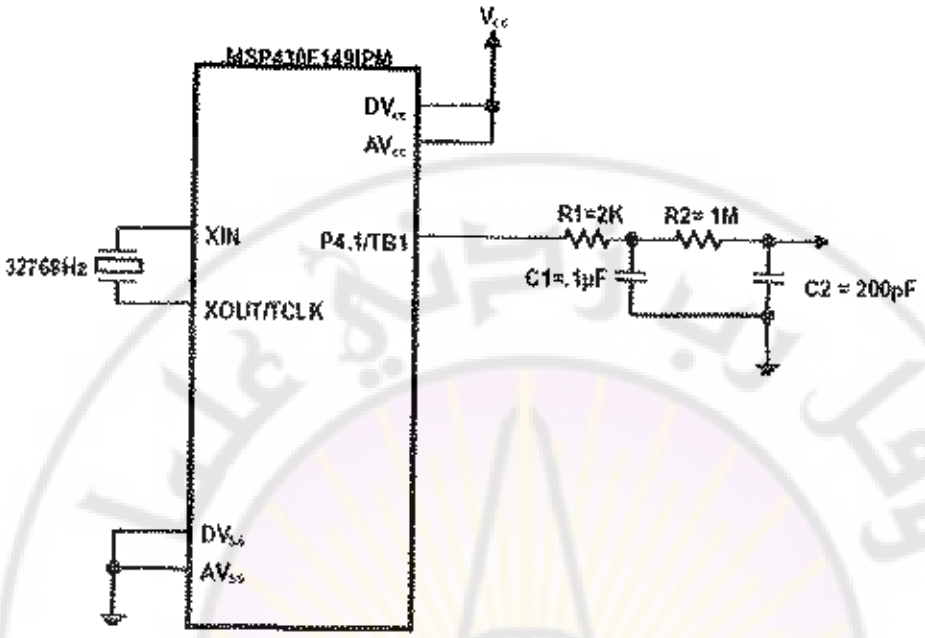
حيث $M >> 1$: وهو عدد ثابت .

عادة توضع مرشحات متعددة المراحل لانتقائية أفضل وقطع أفضل للترددات غير المرغوبة. وفي هذا التطبيق يتم تعديل عرض النبضة وفقاً لتغير الدخل الرقمي.وكما ذكرنا سابقاً فإن خرج المرشح يمثل التوافقية الأساسية والتي تتناسب مع عرض النبضة وبالتالي مع الدخل الرقمي ونكون بذلك قد حققنا مبدل رقمي تمثيلي. ويبين الشكل (٦-١٤) متحكم صغري MSP430 يقوم بتعديل عرض النبضة وبالتالي التبديل من D/A .



الشكل (٦-١٤) – المخطط الصندوقي للتبديل من D/A باستخدام MSP430

أما الشكل (٦-١٥) فيبين الدارة العملية للتبديل من D/A باستخدام المتحكم الصغري MSP430 . يدخل الدخل الرقمي إلى مداخل المتحكم الصغري Microcontroller وتتم برمجته بحيث يعطي في البداية صفر على الخرج وتوضع القيمة الرقمية في عداد , وفي الدورة الأولى يعطي على الخرج واحد ويتم إنقاص العداد في كل دورة بمقدار واحد حتى يصفّر العداد, وعندها يقلب حالة الخرج إلى صفر, ويتكرر هذا العمل بتردد يساوي تردد الاشارة المعدلة وهكذا نحصل على PWM في خرج المتحكم الصغري Microcontroller ، ويدخل بعدها على المرشح المصمم على أساس تردد الإشارة المعدلة ويعطي الربح المطلوب للحصول على مجال جهد مناسب في الخرج.



الشكل (٦-١٥) - الدارة العملية للتبديل من D/A باستخدام المتحكم الصغري

سيئات هذه الطريقة هي البطء , حيث نحتاج إلى عدة نبضات PWM لكل قيمة رقمية حتى يستقر المرشح للحصول على القيمة المطلوبة في الخرج , ولكنها من جهة أخرى سهلة التنفيذ وغير مكلفة نسبياً.

٦-٣-٧-٣-المبدلات DAC الضاربة Multiplying DACs

يمكننا اللجوء إلى معظم التقانات السابقة لتشكيل مبدل رقمي/تمثيلي ضارب Multiplying DAC حيث يساوي الخرج حاصل جداء جهد الدخل (أو تياره) برمز رقمي يطبق على دخله. فمثلاً في المبدل DAC المعتمد على منبع التيار الموزون يمكننا تثقيل جميع منابع التيار الداخلية باستخدام تيار برمجة في

الدخل. ويمكن تشكيل المبدلات DAC الضاربة باستخدام المبدلات التي لا تحوي منابع مرجعية داخلية وذلك باستخدام الدخل المرجعي كدخل للإشارة التمثيلية. ولكن هذا لا يعني أن جميع المبدلات DAC تعمل بصورة مثالية بهذه الطريقة، لذلك فإنه من الأفضل مراجعة النشرات الفنية الخاصة بالمبدل الذي نفكر باستخدامه للتأكد من ملاءمته.

إن المبدلات DAC الضاربة (ومكافئاتها من المبدلات A/D) تسمح باحتمالات إجراء القياسات والتبديلات النسبية Ratiometric. فإذا قمنا بتغذية حساس من نوع ما (مثل الثيرموستات، وهو حساس يعتمد المقاومة المتغيرة) من جهد مرجعي يستخدم أيضاً لتزويد القيم المرجعية للمبدل D/A أو A/D فإن التغيرات في الجهد المرجعي لن تؤثر على عملية القياس. وأبسط شكل معروف لعملية القياس النسبية هو دارة الجسر الكلاسيكية المعروفة حيث تتم معايرة نسبتين لتصبحا متساويتين عبر تصفير إشارة التفاضل المأخوذة بين خرجي مجزئي الجهد. وهناك عناصر كالمؤقت 555 تحقق استقراراً جيداً في تردد الخرج بوجود تباينات كبيرة في جهد التغذية باعتماد مبدأ القياس النسبي حيث تتم مقارنة جهد المكثف المولد بواسطة الشبكة RC من التغذية مع جزء ثابت من جهد التغذية 1/3Vcc ، الأمر الذي يعطي تردد خرج يعتمد على الثابت الزمني للشبكة RC فقط .

٦-٣-٨- خصائص المبدلات الرقمية/التمثيلية

٦-٣-٨-١- المجال Range

من أجل الأعداد غير المؤشرة: المجال هو من V(MIN) إلى V(MAX) ,

حيث :

$$Vo(MIN) = 0$$

$$Vo(MAX) = (2^N-1)Vo(LSB)$$

من أجل أعداد مؤشرة: باستخدام البت رقم N كبت الإشارة (1 يعني عدد سالب و0 يعني عدد موجب) وباستخدام ترميز المتمم إلى 2 للأعداد السالبة . يمكن أن نحصل على الجهود المطلوبة من المبدل السابق بقلب بت الإشارة وإضافة جهد انحياز سالب إلى خرج المبدل مقداره:

$$Vb = - V(MSB) = - (V_{ref}) R_f / R$$

ويكون عندها المجال محدوداً بـ:

$$Vo(MIN) = - (V_{ref}) R_f / R$$

$$Vo(MAX) = (2^N-1) Vo(LSB) - Vo(LSB) = (2^N-2) Vo(LSB)$$

● **مثال على استخدام هذه الطريقة**

لنفرض لدينا مبدل ذو 8 Bit فيكون :

$$Vo(max) = K\ 255$$

$$Vo(MSB) = K\ 128$$

ليكن لدينا قيمة الدخل تساوي :

$$Input = 0000\ 0010\ (+2)$$

نعكس بت الإشارة فيكون لدينا :

$$1000\ 0010$$

ندخل العدد الثنائي بعد عكس البت الأخير إلى المبدل(0010 1000) ويكـون خرج المبدل يساوي :

Vo=K 130

وبعد الإزاحة يكون الخرج النهائي يساوي:

Vo=K (130-128)= K(+ 2)

إذا كان الدخل يساوي : Input=1111 1110 (-2)

نعكس بت الإشارة : 0111 1110

ندخل العدد الثنائي بعد عكس البت الأخير إلى المبـدل(01111110) ويكـون خرج المبدل يساوي :

Vo=K 126

وبعد الإزاحة يكون الخرج النهائي يساوي:

Vo=K (126-128)= K(- 2)

٦-٣-٨-٢- التمييز Resolution

تعريفه : هو عدد الخانات في الدخل الرقمي.

إذا أردنا تصميم مبدل ما , يجب أن نعرف القيمة الصغرى التي يمكن ظهورهـا على الخرج بالإضافة لبدايـة ونهايـة المجـال (Vo(MIN , Vo(MAX) ,

فنستطيع عندها تحديد عدد البتات المطلوبة حسب القانون التالي بالإضافة إلـــى التقريب لأقرب عدد صحيح :

$$k := \frac{\log\left(\frac{Vmax - Vmin}{Vq} + 1\right)}{\log(2)}$$

حيث :

K : هو عدد البتات Resolution

Vq : هو القيمة الدنيا للخرج.

٦-٣-٨-٣- الدقة accuracy

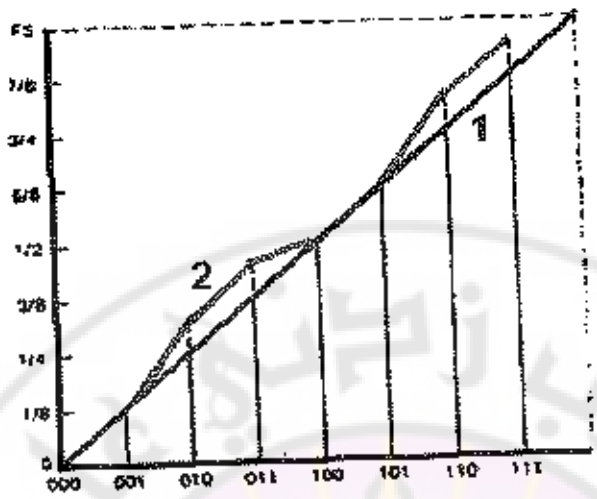
هي الفرق بين القيمة الحقيقية على الخرج والقيمة المتوقعة المحـــسوبة،وعادة تكون نسبة مئوية من القيمة الاسمية Full scale للخرج .

إذا كان لدينا مبدل له دقة 0.2 ±% عندها يكون الخطأ الأعظمي المرتكـــب بفرض V_{fs} =10v يساوي :

$$E_r = 10 \times 0.002 = 0.02 \text{ v}$$

٦-٣-٨-٤- الخطية Linearity

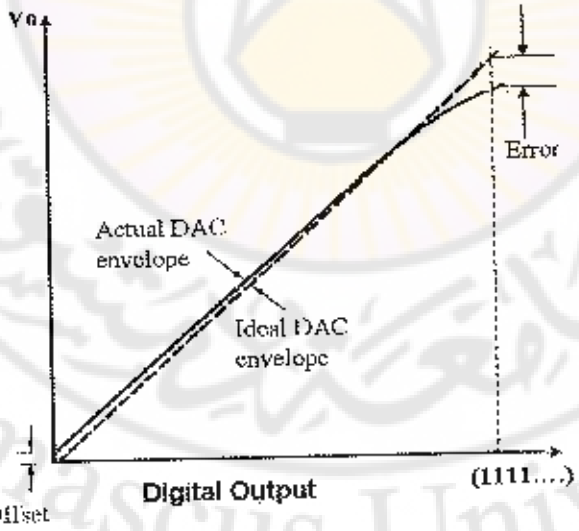
هو مقياس مدى ابتعاد منحني الخرج عن المنحني الخطي المثالي ويفضل أن لا يكون أكثر من 1/2 LSB ± .ويبين الشكل (٦-١٦) خطأ الخطية .



الشكل (٦-١٦) – خطأ الخطية

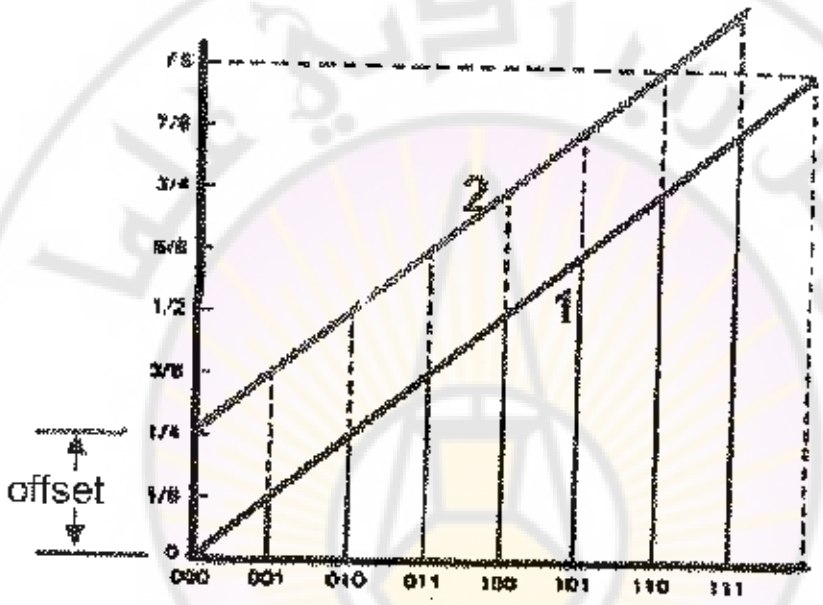
٦-٣-٨-٥- الانزياح Offset

هو قيمة الخرج عندما يكون الدخل يساوي الصفر. ويجب أن يكون معدوماً في المبدل الجيد. ويبين الشكل (٦-١٧) منحني الخرج والمنحني الخطي المثالي للمبدل .



الشكل (٦-١٧) – منحني الخرج والمنحني الخطي المثالي للمبدل

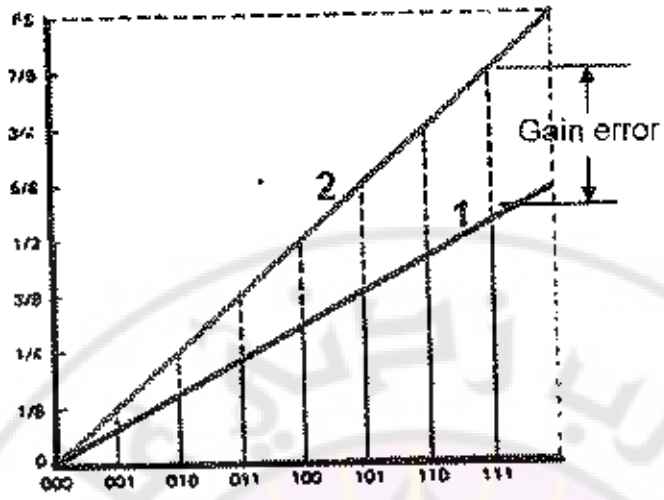
من المفروض أن أي دخل يساوي الصفر يعطي صفراً في خرجه كما هو مبين في المنحني(١) من الشكل(٦-١٨). ولكن من الناحية العملية نجد أنه من أجل قيمة دخل تساوي الصفر هناك جهد خرج لا يساوي الصفر كما هو مبين في المنحني (٢) من الشكل(٦-١٨) ونجد أن الخرج هنا يقابل القيمة 1/4 .



الشكل (٦-١٨) – خطأ الانزياح

٦-٣-٨-٦- الربح

وهو معامل القياس حيث نرى فيه تغيراً تدريجياً في قيم الخرج باتجاه الابتعاد عن القيم الصحيحة حتى نحصل على ما يسمى بخطأ الربح كما هو مبين في الشكل(٦-١٩) .



الشكل (٦-١٩) – خطأ الربح

٦-٣-٨-٧- الخواص الحرارية

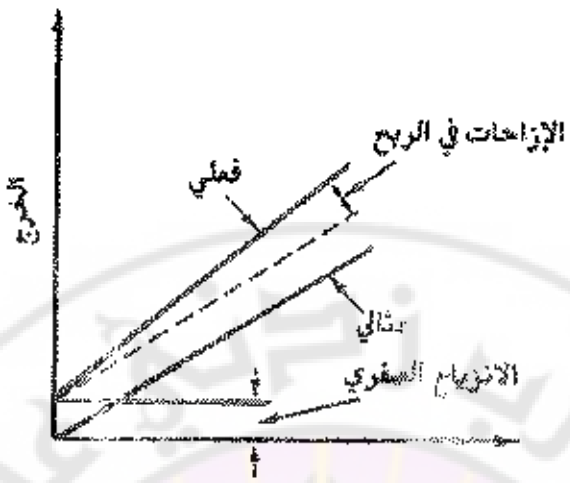
يمكن توصيف الأداء الحراري للمبدل الرقمي/التمثيلي بالمقادير التالية: الانزياح ، و الربح ، ومعاملات اللاخطية التفاضلية الحرارية .

أ- الانزياح أو المعامل الصفري لدرجة الحرارة : وهو يمثل الانزياح الصفري الناتج عن درجة الحرارة .

ب- الربح : وهو يعبر عن الانزياح مع درجة الحرارة ،الذي يؤدي إلى تغيير مؤثر مميز المبدل.

ت- اللاخطية التفاضلية الحرارية : وتبين التغير النسبي في أثقال البتات مع درجة الحرارة مقسومة على $0\,C^{\circ}$.

يبين الشكل(٦-٢٠) المنحني المثالي بالمقارنة مع المنحني الفعلي الذي يحوي خطأ عند الدخل الصفري وخطأ في الربح.



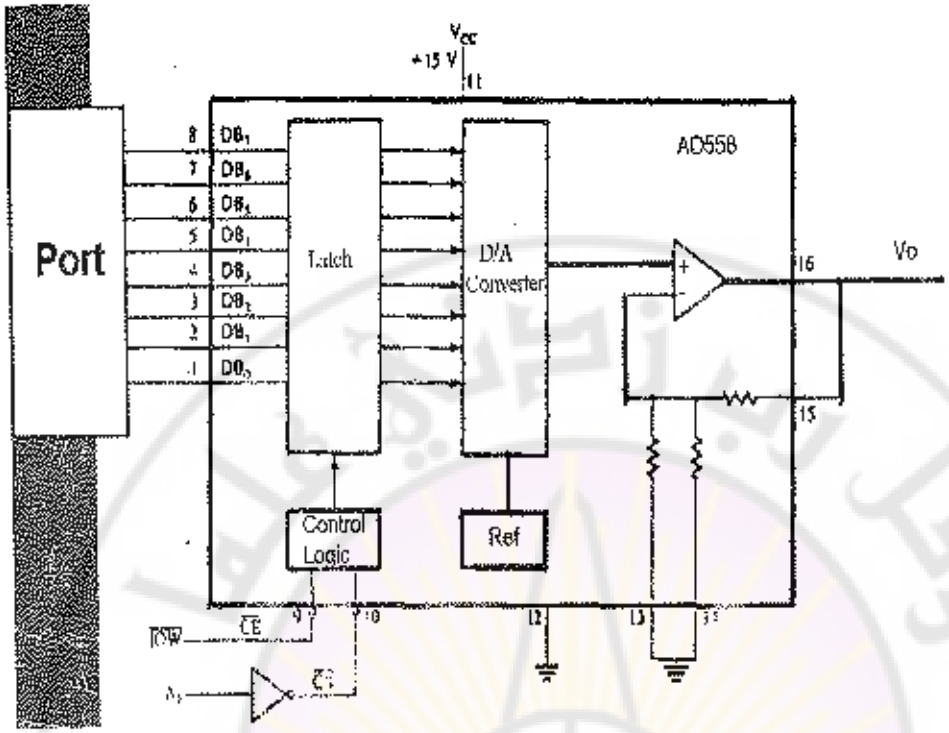
الشكل (٦-٢٠) – الانزياح في الربح والانزياح الصفري

٦-٣-٩- تطبيقات المبدلات DAC

نظراً للتطبيقات المتعددة التي تستخدم المبدلات الرقمية/التمثيلية والتي تأخذ دخلاً رقمياً من معالج صغري ، وتتميز عن غيرها من المبدلات بوجود ماسك Latch في دخلها للاستغناء عن الماسك الخارجي ، وكما يوجد مدخلي تأهيل Chip Enable(CE) ،Chip Select(CS) وذلك للتوافق مع اشارة المعالج الخارجية I/O write ويبين الشكل (٦-٢١) مثالاً على بنية المبدل AD558 .

أحد الاستخدامات الممكنة للمبدل هو توليد الإشارة ، حيث تخزن قيم رقميه تمثيلية للإشارة ، مثلاً اشارة جيبية أو يمكن توليد القيم الرقميه باستخدام معادلة مثلاً يتم حسابها وإخراجها على أحد بوابات الخرج التي تكون موصولة إلى المبدل ، ويتم الاخراج بسرعة باستخدام التعليمة التالية :

OUTB DX

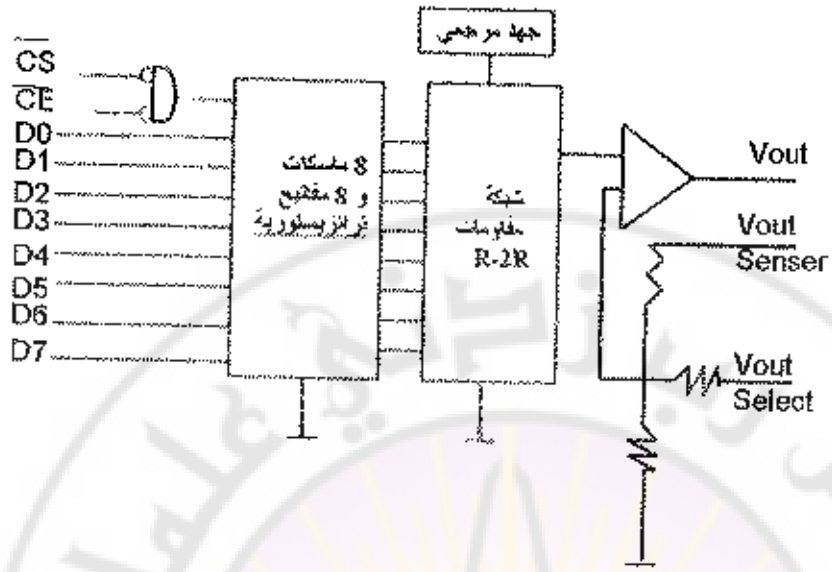


الشكل (٦-٢١) .. البنية الداخلية للمبدل AD558

٦-٩-٣ ربط المبدلات DAC مع الحاسوب PC

بغية فهم كيفية استخدام المبدل DAC مع الحاسوب الشخصي PC , لنأخذ على سبيل المثال المبدل AD558 المبين في الشكل (٦-٢٢) .

يحصل الماسك (8Bit) على البايت من ممر المعطيات عندما يكون CS,CE فعالين. هذا البايت يخزن في المشك حتى تحصل عملية اختيار أخرى. ويقوم كل ماسك بالتحكم بمفتاح ترانزستوري يؤثر على شبكة مقاومات R-2R مؤلفة من 16 مقاومة يستخدم مكبر العمليات الموجود في الخرج من أجل التحكم بمجال جهد الخرج.



الشكل (٦-٢٢) - الدارة الداخلية للمبدل DAC AD558

إن وجود رجلي تأريض لهذه الدارة هو أمر طبيعي في كل الدارات التي تتعامل مع إشارات تمثيلية وإشارات رقمية. بغية حذف الضجيج في الأنظمة التي تحوي على مكونات رقمية و تمثيلية (نحافظ على التأريض الرقمي والتأريض التمثيلي منفصلين في كل مكان من النظام وبعد ذلك نقوم بربط كل تقابل التأريضين هذه معاً في نقطة واحدة) .

المثال التالي يبين النص البرمجي المستخدم لإخراج جهد على أحد البوابات الثلاثة الموجودة في الدارة 8255 يتراوح بين5- و5+ حسب ما يدخله المستخدم باستخدام لغة البرمجة **Turbo C** .

```
#include<stdio.h>
#include<stdlib.h>
#include<dos.h> /* outportb, inportb defined here */
```

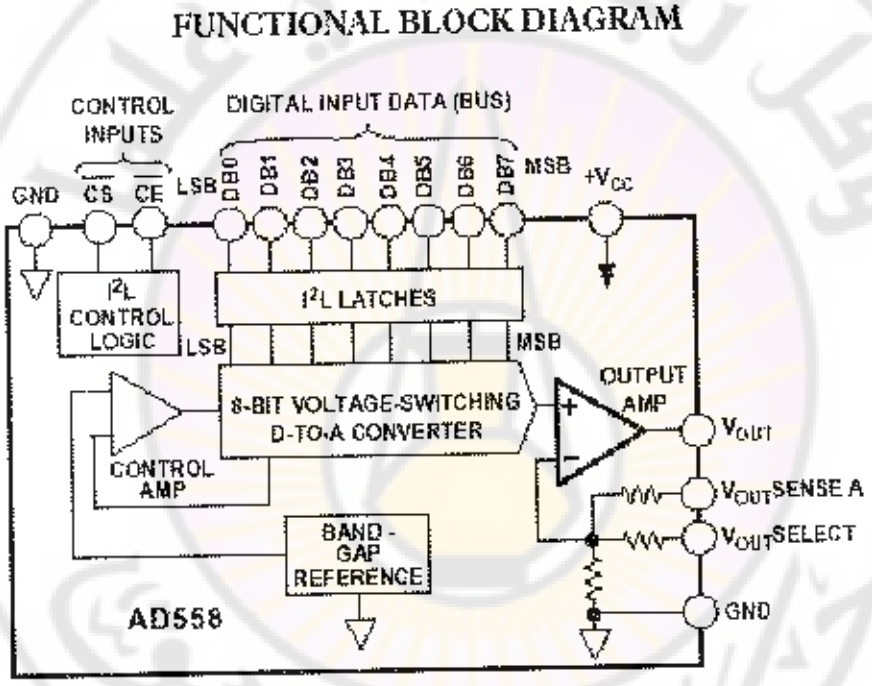
```
#include<conio.h> /* formatted text functions defined here */
void main(void) {
int Volt;
int BASEADDR;
int PORTA, PORTB, PORTC;
int CNTRL;
int Choice;
int PORT;
clrscr( ); /* clear screen */
window(5,5,75,30); /* set up text window */
gotoxy(1,1);
cprintf("Enter Base Address (decimal) e.g. 608\n");
gotoxy(1,2); scanf("%d", &BASEADDR);
PORTA = BASEADDR;
PORTB = BASEADDR + 1;
PORTC = BASEADDR + 2;
CNTRL = BASEADDR+3;
outportb(CNTRL, 128); /* configure all ports for output */
do {
gotoxy(1,4); cprintf("Enter Port Choice\n");
gotoxy(1,5); cprintf("(1) Port A\n");
gotoxy(1,6); cprintf("(2) Port B\n");
gotoxy(1,7); cprintf("(3) Port C\n");
```

```
gotoxy(1,8); scanf("%d", &Choice);
if(Choice < 1 || Choice > 3) {
clrscr();
gotoxy(1,1); cprintf("Enter 1, 2 or 3\n");
};
} while (Choice < 1 || Choice > 3);
switch (Choice) {
case 1 : PORT = PORTA; break;
case 2 : PORT = PORTB; break;
case 3 : PORT = PORTC; break;
};
gotoxy(1,18); cprintf("Enter 999 to quit\n");
gotoxy(1,10); cprintf("Input Decimal word (0 = -5V, 255=
+5V \n");
gotoxy(1,11);
while(1) {
scanf("%d", &Volt);
if(Volt == 999) {
clrscr(); gotoxy(1,1); cprintf("Goodbye!\n");
outportb(PORT, 0); /* quitting */
exit(0);
};
```

```
outportb(PORT, Volt);
} /* end of main */
```

٦-٣-٩-٢- المبدل AD558

يبين الشكل (٦-٢٣) المخطط الصندوقي الوظيفي للمبدل AD558 .



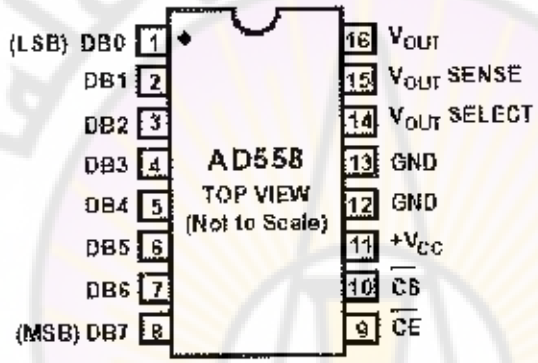
الشكل (٦-٢٣) – المخطط الصندوقي الوظيفي للمبدل AD558

ميزات المبدل AD558:

يبين الشكل (٦-٢٤) الدارة المتكاملة للمبدل AD558 , وأهم الميزات هي :

- مبدل D-to-A ذو 8 bit .

- الخرج هو جهد(ليس تيار) ذو مجالين معايرين.
- تغذية وحيدة 5v وحتى 15v .
- واجهة ترابط مباشرة مع المعالجات.
- سريع: زمن الاستقرار 1μsec .
- استهلاك قليل للطاقة 75 mw .



AD558 Pin Configuration (DIP)

الشكل (٦ــ ٢٤) الدارة المتكاملة للمبدل AD558

الوصف:

خرج المبدلD/A هو جهد ذو 8bit (يحتوي على مكبر عمليات داخلي عند الخرج) ، ولا حاجة لمعدات خارجية للترابط مع المعالج.إن التصنيع معتمد على تكنولوجيا المسماة Integrated Injection Logic (I^2L) التي تتميز باستهلاك قليل للطاقة. ويوجد دارة تؤمن الاستقرار إلى LSB ±1/2 للقيمة الاسمية Full Scale خلال 800nsec . وتتوفر 4 درجات للعمل وهي :

AD558J , AD558K (0°→70°c)

AD558S , AD558T (-55°→+125°c)

● بعض الوظائف المهمة

١- إن وجود سجل دخل في المبدل يسمح بالربط مع المعالج ،ويمكن أن لا يستخدم (جعله مؤهل دائماً) بحيث يتم الربط مباشرة دون تدخله.

٢- يمكن الاختيار بين مجالين لجهد الخرج :

$0v \rightarrow 2.56v$

$0v \rightarrow 10v$

٣- مصمم لمجال جهد تغذية يقع بين : +4.5 v → +16.5 v

٤- يحتاج لتيار دخل صغير عند المداخل الرقمية 100µA فلا يتسبب المبدل بتحميل المسرىBUS .

٥- يعمل مع TTL,CMOS خلال مجال Vcc الكامل .

● ملاحظة :

يجب أن يكون جهد التغذية Vcc=11.4v على الأقل حتى يمكننا الحصول على مجال الخرج 0v → 10v .

● مكونات المبدل :

يتألف المبدل من أربع كتل وظيفية رئيسية وهي :

١. **المبدل الأساسي D/A** : يستعمل منابع تيار موصولة بالمفاتيح Switches إلى شبكة R-2R وتعطي في الخرج تيار يتراوح بين 0 - 400 mA .

٢. **الترانزستورات المكونة للمفاتيح Switches:** عبارة عن ترانزستورات من نوع PNP , وهذا يسمح بمنطق موجب على الدخل ومجال خرج يبدأ من الصفر.

٣. **مخزن الخرج Output buffer** : هو مخزن سريع ويعمل كمكبر غير عاكس ربحه يتعلق بالتوصيلات التي يحددها المستخدم من خلال Vsense, Vselect.

٤. **مرحلة الخرج NPN مع تشكيلة مقاومات Pull down**

يوجد مدخلي تحكم منطقيين هما : CS , CE إذا طبقا على المدخلين صفر (0) منطقي يجعل الماسك شفافاً مما يؤمن دخل مباشر للمبدل DAC .

● **ترميز الدخل المنطقي input logic coding :**

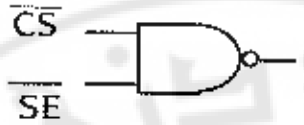
يبين الجدول (٦-٤) ترميز الدخل المنطقي للمبدل AD558 .

Digital Input Code			Output Voltage	
Binary	Hexadecimal	Decimal	2.56 V Range	10.000 V Range
0000 0000	00	0	0	0
0000 0001	01	1	0.010 V	0.039 V
0000 0010	02	2	0.020 V	0.078 V
0000 1111	0F	15	0.150 V	0.586 V
0001 0000	10	16	0.160 V	0.625 V
0111 1111	7F	127	1.270 V	4.961 V
1000 0000	80	128	1.280 V	5.000 V
1100 0000	C0	192	1.920 V	7.500 V
1111 1111	FF	255	2.55 V	9.961 V

الجدول (٦-٤) - ترميز الدخل المنطقي للمبدل AD558

● التوقيت و التحكم Timing & Control :

المداخل الرقمية الثمانية يتم التحكم بها عن طريق مـدخلي الـتحكم $\overline{CS}, \overline{CE}$ وهما موصولان داخلياً كما يلي :



لا يتم تأهيل الماسك إلا إذا كان كلاهما Logic(0) , وإلا يتم مـسك القيمـة في الماسك عند الجبهة الصاعدة لـ $\overline{CS}, \overline{CE}$. ويبـين الجـدول (٦-٥) جدول الحقيقية المنطقي للمبدل AD558 .

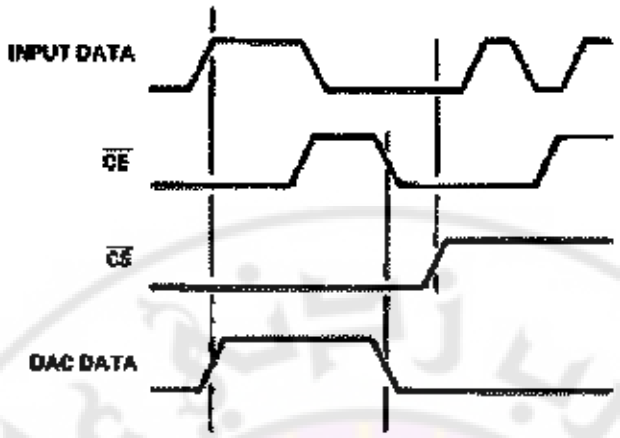
AD558 Control Logic Truth Table

Input Data	$\overline{CE}$	$\overline{CS}$	DAC Data	Latch Condition
0	0	0	0	"Transparent"
1	0	0	1	"Transparent"
0	g	0	0	Latching
1	g	0	1	Latching
0	0	g	0	Latching
1	0	g	1	Latching
X	1	X	Previous Data	Latched
X	X	1	Previous Data	Latched

NOTES
X = Does not matter.
g = Logic Threshold at Positive-Going Transition.

الجدول (٦-٥) – جدول الحقيقية المنطقي للمبدل AD558

ويبين الشكل (٦-٢٥) تزامن التحكم للمبدل AD558 .



الشكل (٦-٢٥) - تزامن التحكم للمبدل AD558

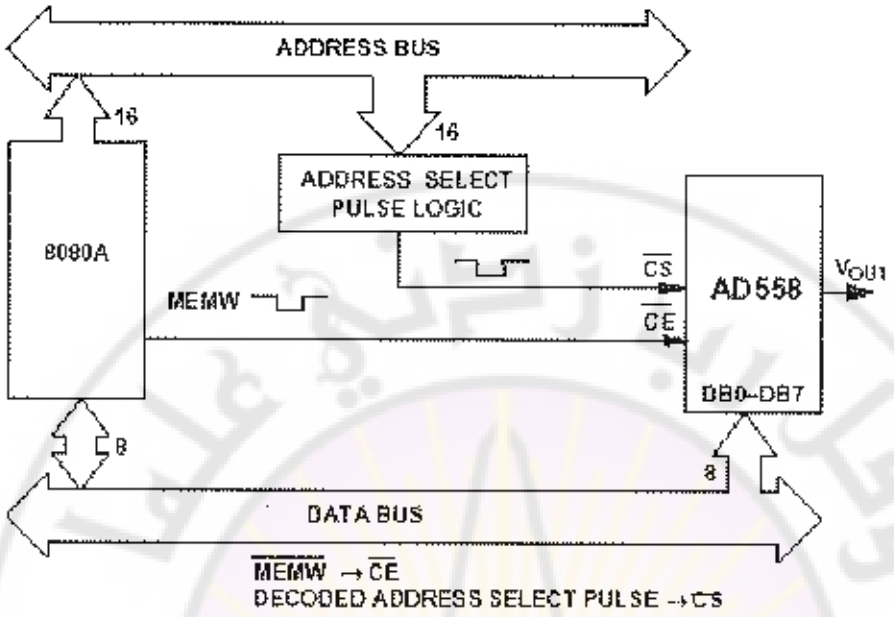
● **الربط إلى خطوط معطيات المعالج:**

يتصرف المبدل في هذه الحالة كموقع ذاكرة له عنوان 16Bit .وعندما يظهر على خطوط العنوان يتم كشفه بواسطة الدارة المسماة Address Select Pulse Logic وتعطي إشارة إلى مدخل CS للمبدل وعندما تأتي نبضة القراءة على مدخل CE يتم تأهيل المبدل ويمسك القيمة الظاهرة على خطوط المعطيات ويظهر القيمة التمثيلية المقابلة. ويبين الشكل (٦-٢٦) ربط المبدل مع المعالج 8080A .

٦-٣-١٠- المبدل RAMDAC

Random Access Memory Digital to Analog Converter

وهو شريحة Chip المتحكم بـ VGA والتي تقوم بتحويل المعطيات الثنائية في ذاكرة الحاسوب(Digital) إلى حركة للمدافع الالكترونية الثلاثة في الشاشات التمثيلية CRT Analog.

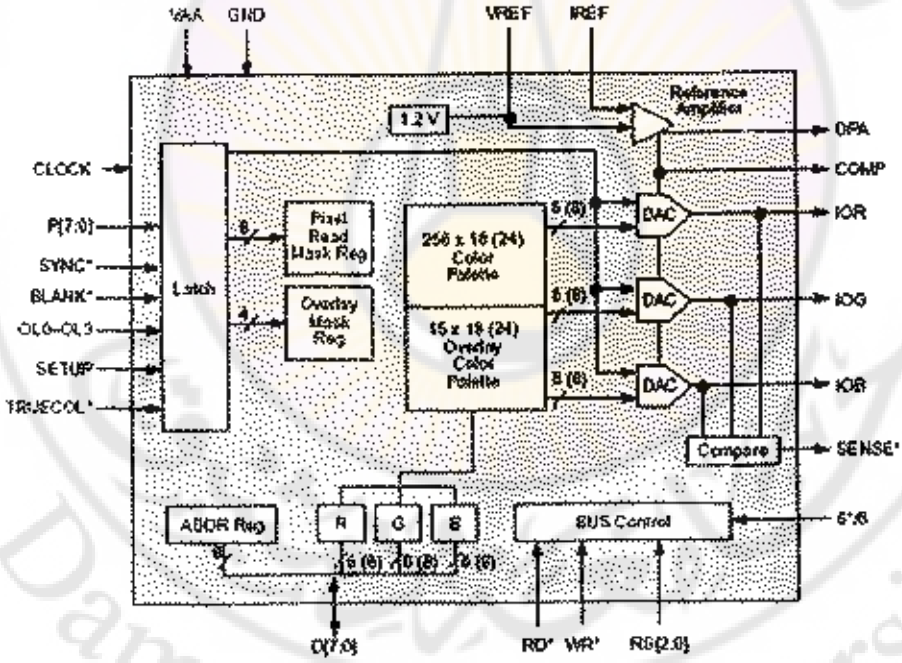


الشكل (٦-٢٦) – ربط المبدل AD558 مع المعالج 8080A

وهي تركيبة من ثلاثة مبـدلات رقميـة/ تمثيليـة مـع ذاكـرة صـغيرة مـن نوعSRAM , وتستعمل لتخزين الألـوان الرئيـسية Color Palette (وهـي مجموعة الألوان المستعملة في الإظهار في لحظة ما) وتوليد الإشارات التمثيلية المطلوبة لقيادة الشاشة ويتم إدخال الرمز الثنائي للون والذي يكون محفوظاً فـي ذاكرة الإظهار, ويتم إدخاله إلى مداخل العنوان للذاكرة SRAM لتظهـر علـى مخارجها مجموعة من ثلاث قيم منفصلة تمثل المركبات (أحمـر – أخـضر – أزرق) على التوالي ، بعدها يتم توجيه هذه القيم الثنائية كل منهـا إلـى مبـدل DAC رقمي/تمثيلي , ومنها إلى كل من المدافع الالكترونية الثلاثـة لإظهـار

اللون المطلوب على الشاشة.عدد بتات المبدلات يتراوح بين 6 و 10 , أما عدد بتات مخارج الذاكرة SRAM فهي ثلاث أضعاف هذه القيمة .

تمثل SRAM في هذه الحالة جدول بحث Color Lookup Table للون ، ومحتوياتها تتغير خلال فترات إعتام الإظهار. وحديثاً تم الاستغناء عن هذه الذاكرة وأصبحت المبدلات تغذى مباشرة من المعلومات المخزنة في ذاكرة الحاسوب وذلك يدعى باللون الحقيقي True Color. ويبين الشكل (٦-٢٧) المخطط الصندوقي العملي لـ RAMDAC .



الشكل (٦-٢٧) – المخطط الصندوقي العملي لـ RAMDAC

٦ – ٤ – المبدلات التمثيلية/الرقمية ADC

Analog To Digital Converters

٦ – ٤ – ١ – مقدمة

إن الإشارات التي تتعامل معها أنظمة التحكم هي بشكل عام ذات شكل تمثيلي (إشارات دخل لدارات التحكم التمثيلية ,المخدمات, ...). تقوم أنظمة تحصيل المعلومات بتزويد الربط التمثيلي/الرقمي اللازم .

فهي تقوم بتبديل المعطيات التي نحصل عليها من حساس واحد أو أكثر بغية الحصول على خرج ملائم للمعالجة الرقمية وذلك باستخدام بعض التقانات مثل المكبرات ,والمرشحات ودارات التقطيع والمسك , ودارات المزج والمبدلات التمثيلية/الرقمية ADC . إن المبدل التمثيلي/الرقمي هو العنصر الأهم في أي نظام تحصيل معلومات .لأن الإشارات في العالم الحقيقي هي إشارات تمثيلية مثل , الضوء والصوت والحرارة ... الخ , ومن هنا كان لابد من تحويل الشارات التمثيلية إلى إشارات رقمية , ولهذا الغرض تم استعمال المبدل ADC الذي يقوم بتحويل إشارة الدخل التمثيلية إلى إشارة خرج رقمية .

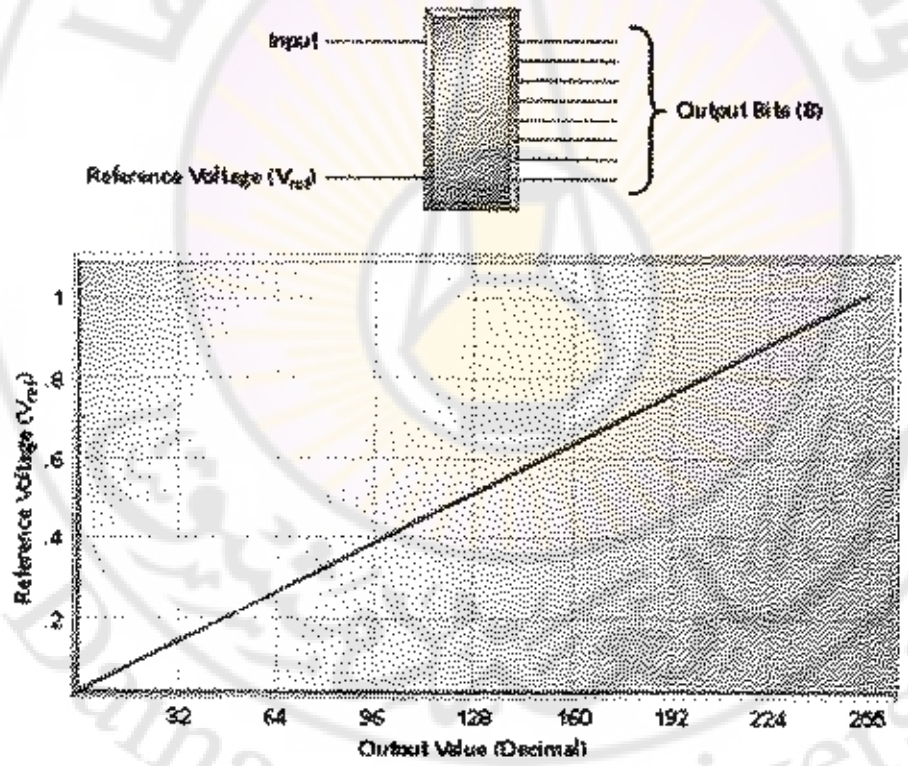
والسؤال , **لماذا نحتاج إلى التحويل من النظام التمثيلي إلى النظام الرقمي ؟**

هناك عدة أسباب نذكر منها : **الضجيج** , لأن الإشارات التمثيلية يمكن أن تقرأ الضجيج على أنه جزء من الإشارة الأصلية , أما الأنظمة الرقمية فلا يوجد إلا مستويين من الإشارات , المستوى (0) والمستوى (1), وأي شيء مختلف عنهما يُعد مستبعداً . والميزة الأخرى للنظام الرقمي هو **قابليته لضغط المعطيات** , والضغط يسمح بتوفير سعة تخزين كبيرة .

إن الطريقة المعتادة لإدخال البيانات التمثيلية إلى المعالجات الصغرية هي استخدام مبدلات تمثيلية/رقمية , لأن المبدل التمثيلي/الرقمي يقبل دخلاً تمثيلياً

(جهد أو تيار) و يبدله إلى قيمة رقمية يستطيع المعالج قراءتها ,ويبين الشكل (٦–٢٨) نموذج لمبدل تمثيلي/رقمي، في هذا المثال يوجد دخلان، دخل لإشارة المرجع ودخل للإشارة المراد قياسها. وله خرج رقمي ذات عرض كلمة 8bit وهي تمثل القيمة المدخلة.

الجهد المرجعي يمثل أكبر قيمة لإشارة الدخل التي يمكن للمبدل أن يبدلها وبالتالي يستطيع المبدل في هذا المثال أن يبدل القيم من 0 V إلى قيمة V ref ، ومجال الجهد يمكن أن يقسم إلى 256 قيمة ويكون مقدار كل قيمة هو Vref/256 وهي تمثل دقة المبدل.



الشكل (٦–٢٨) – مبدل تمثيلي/رقمي نموذجي

في حال Vref = 5 Volts تكون قيمة الخطوة للمبدل تساوي 19.5 mV . ويكون البت الأعلى وزناً يمثل فيما إذا كان الجهد المدخل أكبر أو أصغر من نصف قيمة الجهد المرجعي، والجدول (٦-٦) يبين حساب كل بت من البتات الثمانية .

لنفرض لدينا القيمة 00101100 على خرج المبدل . ومن الجدول نجد أن هذه القيمة تقابل 0.859 V . وأن دقة المبدل تقاس بقيمة الجهد المرجعي وعرض الكلمة. والدقة تمثل أصغر تغير في الجهد الذي يظهره المبدل.

Example conversion, on an 8-bit ADC								
Bit:	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Volts:	2.5	1.25	0.625	0.3125	0.156	0.078	0.039	0.0195
Output Value:	0	0	1	0	1	1	0	0

الجدول (٦-٦) – مثال لحساب القيمة الرقمية (00101100)

٦-٤-٢- خواص المبدلات ADC

١- أخطاء المبدل Converter errors

يمكن أن تنحرف المبدلات العملية عن الخواص المثالية بطرق مختلفة , ويمكن أن يزاح تابع النقل عن قيمته المثالية ,هذا الانزياح "Offset" أو الخطأ الصفري يعرف بالقيمة التمثيلية بحيث لا يمر تابع النقل بالصفر. ويمكن أن يختلف ميل تابع النقل عن قيمته المثالية مولداً بما يسمى بخطأ الميل " Step error" أو خطأ الربح "Gain error". إن الأخطاء السابقة هي أخطاء خطية غير أن هناك أخطاء غير خطية يصعب التغلب عليها , نذكر منها:

خطأ الخطية الكلي "Integral linearity error" وهو يعرف بأنه الانحراف الأعظمي لتابع النقل عن خاصيته المثالية التي لها شكل مستقيم وذلك عندما تكون أخطاء الربح والانزياح تساوي لصفر.

الخطأ التفاضلي للخطية Differential linearity error : وهو يعرف بأنه الانحراف الأعظمي لأي كم عن قيمته التمثيلية المثالية. وإذا تجاوزت الخطية التفاضلية 1LSB فإن الخرج يمكن أن يفقد أحد الرموز.

٢- القدرة التمثيلية للمبدل Converter resolution

وتعرف بأنها أصغر تغيير نحتاج إليه في الدخل التمثيلي للمبدل ADC بغية تغيير رمز الخرج بقيمة سوية واحدة ويمكن أن تعطى القدرة التمييزية كنسبة مئوية من المجال الكلي ,أو بـ mV (ميلي فولط) من أجل مجال دخل معطى , أو ببساطة كعدد من بتات المبدل.

٣- دقة المبدل Converter accuracy

تعرف دقة المبدل بأنها الفرق بين جهد الدخل الحقيقي وبين القيمة الرقمية التي تكافئ قيمة الخرج التمثيلي . إذا تم التعبير عن الدقة بالفولط نقول أنها مطلقة. وأنها نسبية (وهي الحالة الأكثر شيوعا) عندما نقاس نسبة الإشارة التمثيلية بأمثال LSB . من أجل المبدلات التي لا تحتاج إلى ضبط للانزياح أو الربح من قبل المستثمر فيمكن التحدث عن ضبط الخطأ الكلي.

٤- مقادير دخل وخرج المبدل Converter inputs & outputs

أ- إشارة الدخل التمثيلية Analog input signal

إن أكثر المبدلات مصممة بحيث تقبل دخلا تفاضلياً أو أحادي القطبية .

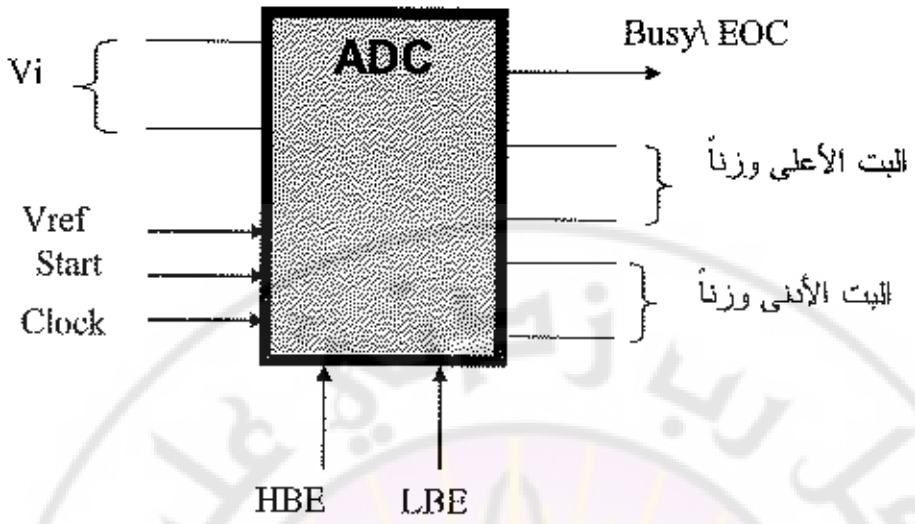
ويجب أن تلائم إشارة الدخل مجال الدخل الخاص بالمبدل. إن مجالات الدخل الأكثر شيوعا تتراوح من 0 حتى 10v ومن 0 حتى 5v . وإذا كانت إشارة الدخل لا تمتد إلى كامل مجال الدخل, فإن بعض رموز الخرج لا تستخدم ,وهذا يؤدي إلى ضياع في المجال الديناميكي للمبدل ,وبالتالي ينتج عن ذلك أثر كبير لأخطاء المبدل على الخرج,ويمكن تجنب هذه المشكلة باختيار أفضل مجال دخل وإعادة تشكيل قياس الإشارة باستخدام مكبر عمليات.

إذا كانت إشارة الدخل ثنائية القطبية ,فإننا نستخدم مبدل أحادي القطبية وذلك بأن نخفض مقياس إشارة الدخل أولاً ثم نضيف انزياحاً. وإذا كنا نرغب بقطبية في معلومات الخرج فإننا نستخدم مبدلاً ثنائي القطبية ,هذه المبدلات لها مجال دخل ثنائي القطبية ,غالبا من 0 حتى 5± وتولد مقادير خرج برموز ثنائية القطبية(عدادان متتامان ,إزاحة ثنائية,.....).

ب- الإشارة المرجعية التمثيلية **Analog reference signal**

يبين الشكل (٢٩)إشارات الدخل والخرج لمبدل تمثيلي/رقمي ADC .إن كل مبدل ADC يحتاج إلى إشارة مرجعية تشابهية بغية تبديل إشارة الدخل إلى نسبة. إن أي خطأ في الإشارة المرجعية ,سواء أكان يعزى إلى ضبط أولي أو كان مولداً بانحرافات مع الزمن والحرارة , يظهر كخطأ ربح في خواص تابع النقل للمبدل ADC .إن وجود إشارات مرجعية مستقرة ودقيقة يعد أمراً أساسياً للحصول على الدقة الكاملة للمبدل ADC .

يمكن أن تكون دارات منظم الجهد التكاملية منبعاً جديداً للإشارات المرجعية وذلك ضمن تغيرات صغيرة لدرجة الحرارة . وفي الحالات الأخرى يمكن استخدام دارات منظمات جهد عالية الدقة.



الشكل (٦-٢٩)- إشارات الدخل والخرج لمبدل تمثيلي/رقمي ADC

جـ- مقادير الخرج Outputs

إن الخرج الرقمي لمبدل تمثيلي/ رقمي ADC يعبر عنه بعدد البتات (القدرة التمييزية) وينمط الرمز المستخدم . وإن للمبدلات قدرة تمييزية مقدارها (8bit) أو (12 bit) هي الأكثر شيوعا . وأن رمز الخرج الأكثر شيوعاً والذي يجب أن يستخدم في المبدلات أحادية القطبية هو نظام الترميز الثنائي الطبيعي.

د- إشارات التحكم Control signals

تتطلب كل المبدلات التمثيلية/الرقمية ميقاتية (ساعة) وإشارات تحكم محددة من أجل عملها. والأجهزة الخارجية التي يرتبط بها المبدل ADC (مثل المعالج) هي التي تضع عملية التبديل في حالتها البدائية وذلك برفع سوية الإشارة START على دخل المبدل ADC وحالما تبدأ عملية التبديل فإن المبدل ADC يخفض الإشارة BUSY أو خط نهاية التبديل (EOC) وهذا

يشير للوسط الخارجي بأن التبديل في حالة العمل ,وأنه يجب ألا نضع المبدل ADC في الحالة الابتدائية .وحالما تنتهي عملية التبديل فإن المبدل ADC يرفع سوية هذا الخط. وبعد ذلك يقوم الجهاز الخارجي بإرسال إشارة تأهيل الخرج (OE) إلى المبدل حتى يعطي خرجاً.

٦-٤-٣- أنوع المبدلات التمثيلية/الرقمية

إن المبدلات التمثيلية/الرقمية تختلف من حيث السرعة، والدقة وطريقة التعامل والعرض. ويوجد مبدآن لبناء المبدلات التمثيلية/الرقمية :

المبدأ الأول : يعتمد على وجود مبدل رقمي/تمثيلي في التغذية الخلفية . ومن أهم المبدلات المعروفة هي :

١. المبدل العدادي Counter A/D C .
٢. المبدل الملاحق Tracking A/D C .
٣. مبدل التقريب المتتالي Successive Approximation A/D C

المبدأ الثاني: يعتمد على تبديل الإشارة التمثيلية إلى تردد أو مجموعة نبضات من أهمها :

١. المبدلات التفرعية أو الومضية Parallel Converters .
٢. المبدلات التي تعتمد على مبدل جهد إلى تردد .
٣. المبدلات التي تعتمد على أساس سلم انحدار .

٦-٤-٣-١- المبدل العدادي Converter A/D C

وهو يتألف من دخل تمثيلي وخرج رقمي من D_0 حتى D_n ، وعداد تصاعدي له نفس عدد خانات DAC , كما هو موضح في الشكل (٦-٣٠). ويتم التحكم بهذا العداد عن طريق خط تحكم يأخذ إحدى الحالتين :

١- **المستوي المنخفض** : في هذا المستوى يعمل العداد, ونحصل على هذه الحالة عندما يكون جهد الدخل أصغر من جهد المبدل DAC .

٢- **المستوي العالي** : في هذه الحالة يتوقف العداد عن العمل ويكون الناتج المقابل للقيمة التمثيلية هو الموجود على المخارج الرقمية , ونحصل على هذه الحالة عندما يكون جهد الدخل أكبر من جهد المبدل DAC .

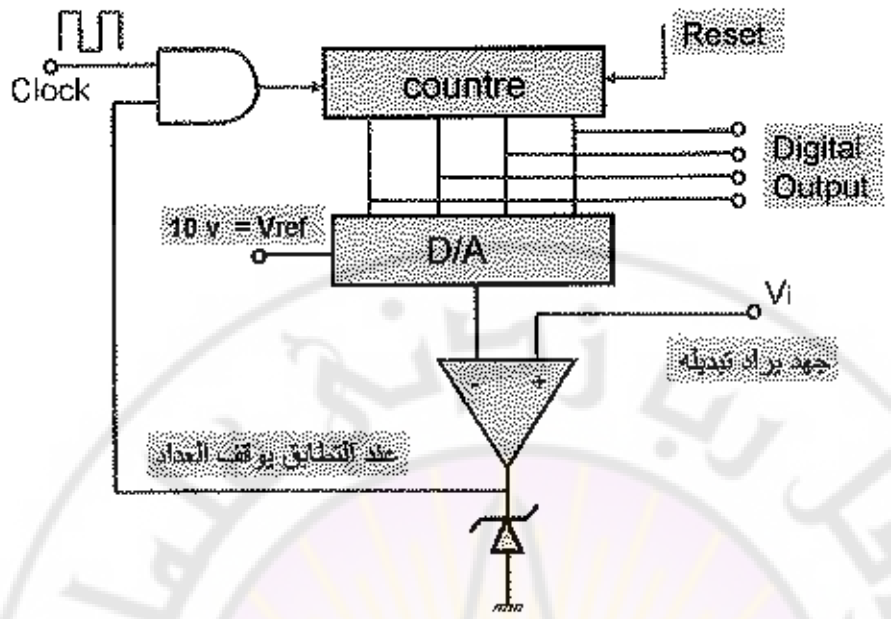
● **مبدأ العمل**

بفرض لدينا عداد يعد من 0 إلى 15(يتكون من أربع خانات) وعند تبديل أية عينة تمثيلية يبدأ العداد بالعد من الصفر حتى القيمة الرقمية المكافئة لها على خرج العداد . لذلك يعتبر هذا النوع من المبدلات بطئ جداً ويُعدّ فعالاً في حالة الإشارات صغيرة المطال فقط .

لنفرض أننا نريد تبديل القيمة التمثيلية 3.5 V :

بإعطاء Reset نحصل في خرج العداد على القيمة 0000 وتتبدل القيمة الرقمية إلى قيمة تمثيلية صفر فولط . ويبين الشكل (٦-٣٠) المخطط الصندوقي للمبدل العدادي .

بفرض أن الجهد المرجعي يتراوح بين 0 و 10V . سينتج قيمة في خرج المبدل D/A وهي صفر فولط . ثم تدخل إلى المقارن :



الشكل (٦-٣٠) - المخطط الصندوقي للمبدل العدادي

❖ إذا كان(V+ > V-) سيكون المقارن في حالة إشباع موجب ويكون الخرج " 1 " منطقي وبالتالي البوابة AND تمرر نبضة ساعة Clock ويتبدل خرج العداد إلى 0001 ثم تُبدل إلى جهد تمثيلي قيمته 10/16 = 0.625 V بما أن Vi أكبر من خرج المبدل A/D (Vi = V+) وبالتالي خرج المقارن سيكون " 1 " منطقي , وسيسمح بمرور نبضة Clock تزيد العداد بمقدار واحد ويصبح الخرج 0010 ويقابل القيمة 1.250V , وهكذا يزداد حتى النبضة السادسة 0110 ويصبح الخرج للمبدل D/A يساوي القيمة التمثيلية 3.750V , وبالتالي خرج المقارن سيكون صفراً ولن يمر نبضات Clock والخرج سيكون 0110 وهي تمثل القيمة التمثيلية لإشارة الدخل المراد تبديلها, ثم يتوقف العداد عن العمل .

❖ من أجل تحصيل قيمة جديدة تأتي نبضة Reset لتصفير العداد مرة أخرى ويبدأ العمل من جديد من الصفر حتى الوصول إلى القيمة الجديدة المطلوبة .

❖ نلاحظ أن (زمن التبديل الأعظمي للمبدل A/D نوع العدادي = عدد مرات تبديل D/A x زمن تبديل D/A) , أي :

$$t_{A/D} = N \times t_{D/A}$$

$$N = 2^m - 1$$

حيث m عدد الخانات .

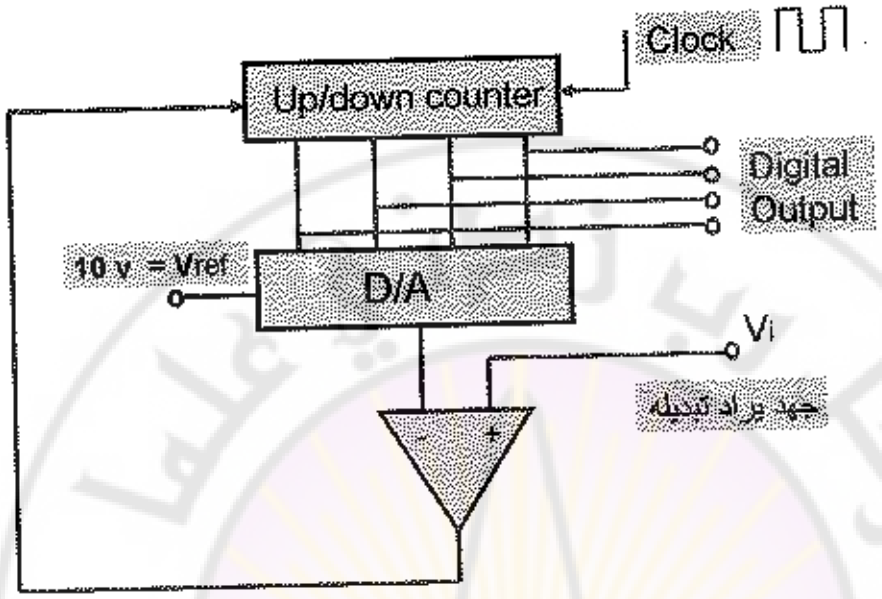
٦-٤-٣-٢- المبدل الملاحق Tracking A/D C

يمتاز المبدل الملاحق عن المبدل العدادي بأن العداد يعدّ تصاعدياً وتنازلياً (up/down Counter) . فهو لا يعود إلى الصفر عند تبديل قيمة جديدة إنما ينطلق من القيمة الأخيرة التي توصّل إليها فإن كانت أكبر من قيمة الدخل يعدّ تنازلياً أما إذا كانت القيمة الجديدة أصغر فيعدّ تصاعدياً . والذي يقوم بتحديد اتجاه العدّ هو خرج المقارن الموصول إلى مدخل (up/down) في العداد . ويبين الشكل (٦-٣١) المخطط الصندوقي للمبدل الملاحق .

● <u>مبدأ العمل :</u>

هو مبدل تمثيلي/رقمي يحتوي على مبدل رقمي/تمثيلي DAC في تغذيته الخلفية, بالإضافة إلى عداد تصاعدي تنازلي ويشبه في طريقة عمله عمل المبدل العدادي إلا أنه يتميز بأنه أسرع من المبدل العدادي فهو لا يعود للصفر عند البدء بمقارنة جديدة , وإنما يقارنها مع القيمة الحالية فإذا كانت أكبر منها

يقوم بالعد تصاعدياً ,وإذا كانت أقل يقوم بالعد تنازلياً .



الشكل (٦-٣١) – المخطط الصندوقي للمبدل الملاحق

<u>لنفرض أننا نريد تبديل القيمة التمثيلية</u> 3.5 v وكانت القيمة الرقمية في خرج المبدل D/A صفر وخرج العداد هو 0000 , فان خرج المقارن سيكون واحد منطقي وبالتالي سوف يبدأ العداد بالعد , وبالتالي تُقارن قيمة الدخل مع القيمة التمثيلية لخرج العداد في المقارن وسيكون دوماً خرج المقارن واحد منطقي مادام جهد الدخل أكبر من خرج العداد فإن العداد في هذه الحالة سيعد بشكل تصاعدي .

- أما إذا أردنا تبديل القيمة 2 V وكان خرج العداد هو 0110 الذي يقابل القيمة التمثيلية 3.750 v , فان خرج المقارن يكون في حالة إشباع

سالب وبالتالي فان العداد سوف يقوم بالعد التنازلي حتى يصبح جهد خرج العداد التمثيلية يساوي الجهد المطلوب تبديله .

ميزته :

هذا المبدل جيد عند تبديل الإشارات ذات التغيرات الصغيرة (مهما كان مطالها) إلا أنه يستغرق زمناً طويلاً للتبديل إذا كانت تغيرات الإشارة كبيرة .

سيئته :

أنه لا يستطيع العمل عند التغيرات السريعة للإشارة لأنه سيحتاج إلى زمن تبديل أطول , فهو غير فعال عندها , ولكنه فعال عند الإشارات ذات التغيرات البطيئه .

بشكل عام استخدام العدادات غير مرغوب في المبدلات التمثيلية/الرقمية لأنه في الحالة العامة يستغرق زمناً طويلاً .

يجب اختيار زمن التبديل أصغر من زمن التحصيل دوماً , وعندما يكون زمن التحصيل غير ثابت نأخذ أسوء أو أصغر زمن تحصيل .

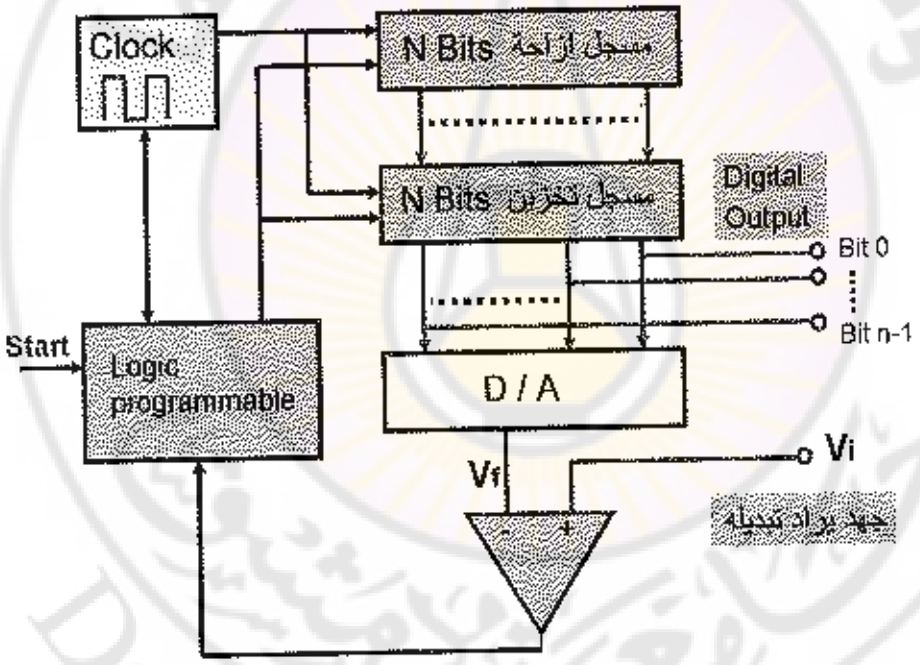
٦-٤-٣-٣- مبدل التقريب المتتالي ADC

Successive Approximation

يطلق على مبدل التقريب المتتالي في كثير من الأحيان المبدل التسلسلي . وهو أكثر المبدلات استخداماً .ومبدأ العمل مبني على أساس مقارنة متتالية أو متعاقبة . وأن عدد مرات المقارنة الأعظمي يساوي عدد خانات المبدل .وتتم المقارنة بين جهد إشارة الدخل التمثيلي Vi وإشارة التغذية الخلفية Vref الآتية من خرج المبدل D/A . ويبدأ المبدل بمقارنة الدخل المكافئ التمثيلي لمنتصف المجال الرقمي , فإذا كان الدخل أكبر يقارنه مع منتصف المجال الأعلى وإن

كان أصغر فيقارنه مع منتصف المجال الأدنى وهكذا حتى نصل لأقرب قيمة رقمية مكافئه .

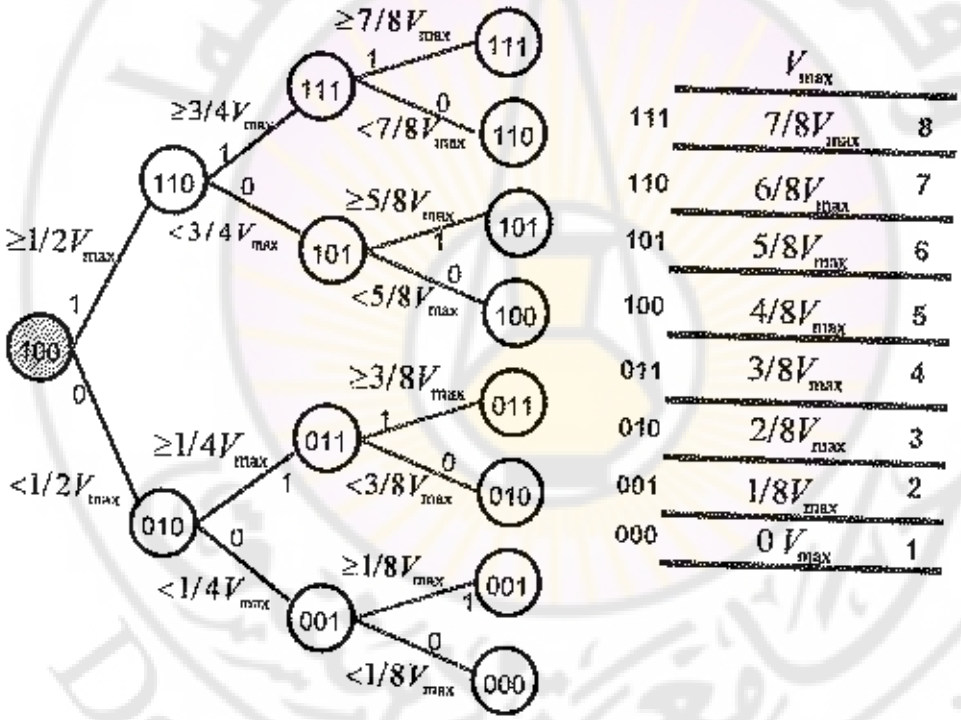
فالخطوة الأولى في التبديل هي فحص فيما إذا كانت قيمة الدخل أكبر من نصف القيمة المرجعية، في حال تحقق ذلك تكون عندها قيمة الخانة الأعلى تساوي الواحد منطقي وإلا تساوي الصفر ،ثم تطرح قيمة الدخل وتقارن مع ربع القيمة المرجعية ويظهر واحد أو صفر ، وتستمر العملية حتى الخانة الأدنى وزناً (البت الأخير). ويبين الشكل (٦-٣٢) المخطط الصندوقي لمبدل التقريب المتتالي .



الشكل (٦-٣٢) – المخطط الصندوقي لمبدل التقريب المتتالي

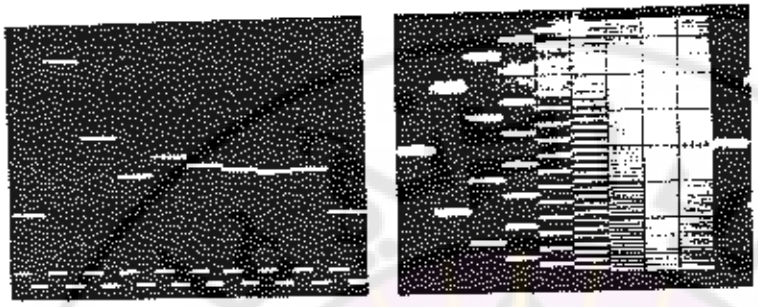
يحتاج مبدل التقريب المتتالي إلى عدد نبضات ساعة بعدد بتات الخرج ليتم عملية التبديل. وبمعنى آخر أول عملية مقارنة تحدد فيما إذا كان Vi أكبر أو أصغر من Vmax ½ حيث Vmax هو أكبر جهد مسموح به للمبدل A/D والمقارنة الثانية تحدد بأي ربع يوجد مجال Vi ..... وهكذا .

ويوضح الشكل (٦-٣٣) مخطط عمليات المقارنة التي ستتم لمبدل تقريب متتالي من ثلاث خانات .



الشكل (٦-٣٣) – مخطط عمليات المقارنة لمبدل تقريب متتالي من ثلاث خانات

ويبين الشكل(٦-٣٤- أ) المخارج المتتابعة من المبدل DAC جنباً إلى جنب مع نبضات الساعة الثمانية بينما يحاول الخرج التمثيلي مقاربة قيمة جهد الدخل



a- الخرج التمثيلي وهو يسعى لمقاربة القيمة النهائية

b – الشجرة الكاملة

الشكل (٦-٣٤) – أشكال موجات مبدل التقريب المتتالي لثمانية خانات

بينما يبين الشكل (٦-٣٤ -ب) الشجرة الكاملة ذات الخانات الثمانية، وهي صورة جميلة تم توليدها عبر مراقبة خرج المبدل DAC بينما يقوم بقيادة الخرج باستخدام جهد صاعد بطيء ramp يغطي المجال التمثيلي بأكمله.

إن مبدلات A/D ذات التقريب المتتالي تعد سريعة ودقيقة نسبياً وهي لا تتطلب إلا عدداً من أزمان الاستقرار يساوي n من أجل المبدل DAC ذي الدقة n. وأزمان التبديل الاسمية تتراوح بين 1µs إلى 50µs من أجل دقة تتراوح بين 8 إلى 12-bit. وهذا النوع من المبدلات يعتمد عينة قصيرة فقط من إشارة الدخل فإذا كان الدخل يتغير أثناء عملية التبديل، فإن الخطأ لن يتجاوز التغير الحاصل خلال زمن العينة القصير ، ولكن حدوث شرارات ضجيج على الدخل قد يؤدي إلى عواقب وخيمة، ورغم أن هذه المبدلات تعد دقيقةً عموماً. إلا أنها قد تعاني من بعض اللاخطية، ومن اختفاء بعض القيم.

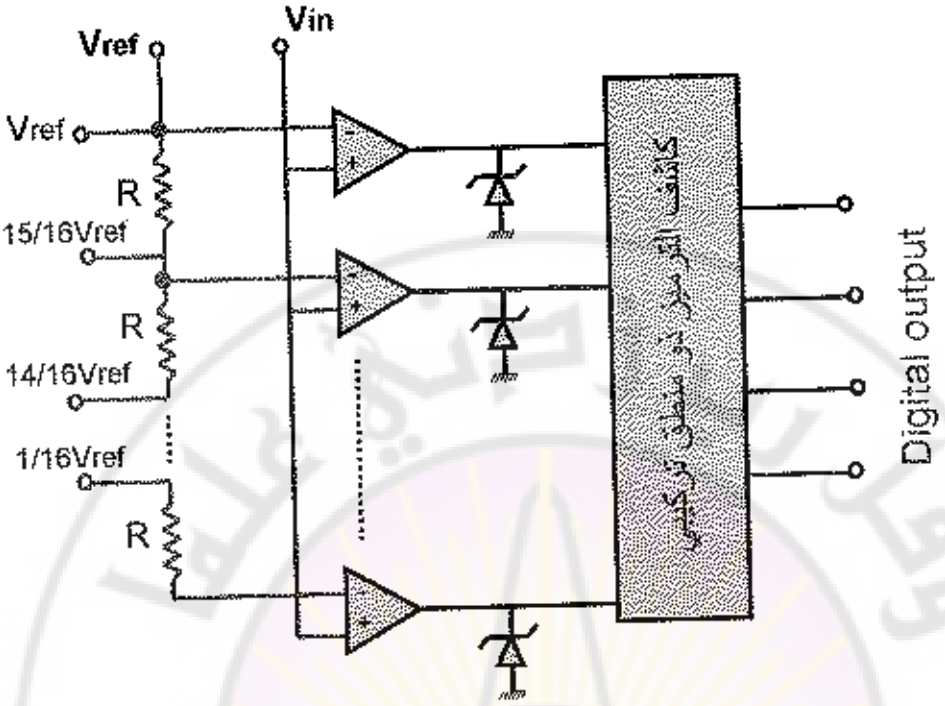
تعتمد شركة National Semiconductor خدعة في أسرة مبدلاتها ADC800 بهدف التخلص من ظاهرة اختفاء بعض قيم الخرج فبدلاً من استخدام سلم R-2R تقليدي في المبدل DAC تلجأ إلى استخدام سلسلة من 2^n مقاومة مع مفتاح تمثيلي لتوليد الجهود التمثيلية على غرار المبدل الومضي.

٦-٤-٣-٤-المبدلات التفرعية أو الومضية
Parallel or Flash Converters

هذا النوع يعتمد على تبديل قيمة الجهد إلى زمن أو عدد من النبضات . وتُعدّ هذه المبدلات من أسرع الأنواع الموجودة، وتستخدم المقارنات في تصميمها , وتقوم على أساس المقارنة بين جهد الدخل الذي يطبق على المدخل الموجب لمكبر العمليات(المقارن) مع الجهد المرجعي المطبق على المدخل السالب والذي تحدد قيمته القيمة القصوى التي يمكن الحصول عليها في الخرج , ويتم تقسيمه عن طريق شبكة مقاومات لها القيمة نفسها وتقوم بتقليله عند كل مقارن من المقارنات المستخدمة , وتتم المقارنات فيه بشكل تفرعي دفعة واحدة مما يؤدي إلى استخدام عدد كبير في المقارنات.

مثال : لنفرض المطلوب تصميم مبدل A/D بأربع خانات

نقسم الجهد المرجعي إلى أجزاء متساوي بواسطة 16 مقاومة متساوية R , ثم نقارن كل مستوي من المستويات الـ 16 مع الجهد الموجود في الدخل . ويكون خرج المقارنات المربوطة مع الجهود الأصغر من الإشارة مساوٍ للواحد أما المقارنات المربوطة مع الجهود الأعلى فتكون صفراً منطقياً وينتج في مخارج المقارنات ما يسمى بكود الأغلبية . ويبين الشكل (٦-٣٥) المبدل التفرعي بأربع خانات .



الشكل (٦-٣٥) – المبدل التفرعي بأربع خانات

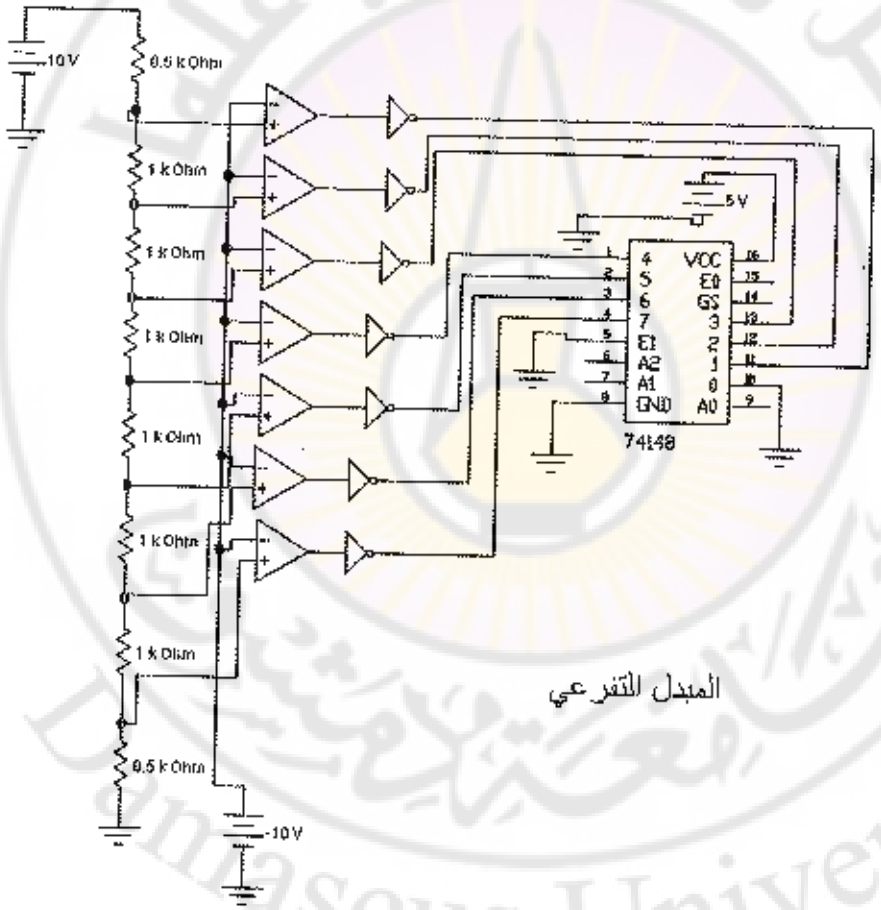
ويتم فك ترميزه باستخدام كاشف الترميز ذي المنطق التركيبي الـذي يكـون خرجه عبارة عن الخرج الرقمي المكافئ للقيمـة التمثيليـة . ويُـدعى المبـدل التفرعي أيضا بالمبدل الومضي في كثير من الأحيان, وهو يعد أسـرع طريقـة للتبديل A/D ،وإن زمن التأخير بين الدخل والخرج يساوي مجمـوع تـأخيري المقارن والمرمز . وتتوافر مبدلات تجارية تفرعية بسويات تتـراوح بـين16 و 1024 سوية (أي 4 Bit إلى 10 Bit) أما عندما تتجاوز هذه المبدلات تلك القيم فإنها تصبح كبيرة وغالية . ومجالات السرعة تتراوح بين 15 إلى 300 مليـون عينة في الثانية .

● **ميزته :**

ويمتاز هذا المبدل بسرعة كبيرة ولا يتجاوز زمن التبديل لمبدل بثمان خانات 100 ns .فهو أسرع بعشر مرات من مبدل التقريب المتتالي .

● **سيئته :**

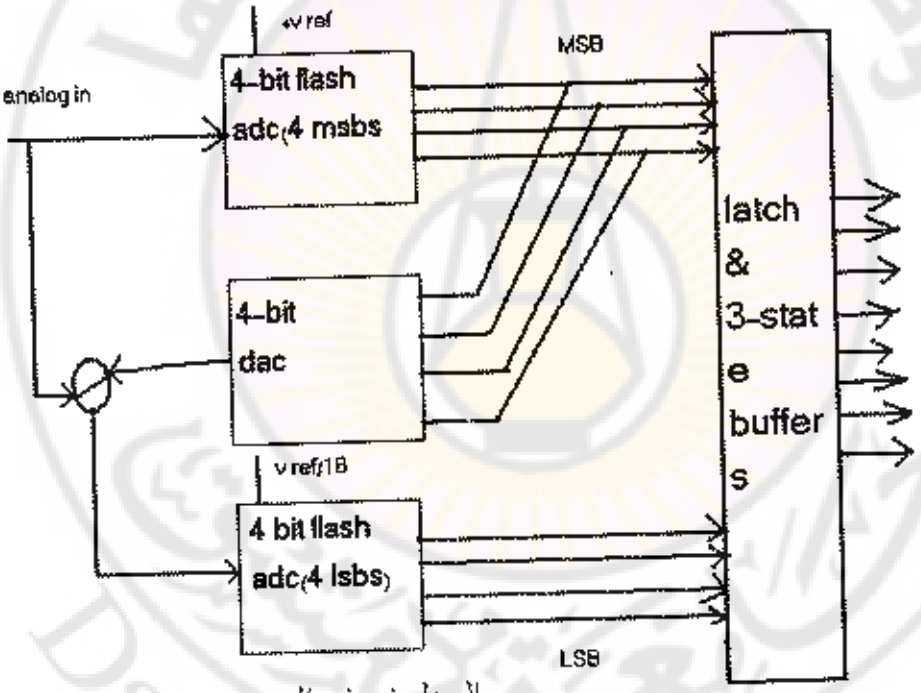
هو استخدام عدد كبير من المقارنات وبالتالي ذات كلفة كبيرة ومكاملة صعبة . ويبين الشكل (٦-٣٦) مبدل تفرعي بثلاث خانات . ويمكن حل هذه المشاكل بتخفيض عدد المقارنات إلى عدد خانات التبديل .



المبدل التفرعي

الشكل (٦-٣٦) – مبدل تفرعي بثلاث خانات

وهناك مبدلٌ آخر مشتقٌ من هذا المبدل يُسمى المبدل نصف الومضي, وهو يستخدم مبدل رقمي/تمثيلي داخلي ما يقلل من المقارنات الداخلية , حيث تقوم عملية مؤلفة من خطوتين بتبديل الدخل ومضياً إلى نصف الدقة النهائية, ثم يقوم مبدل DAC داخلي بإعادة تبديل هذه القيمة التقريبية إلى قيمة تمثيلية , حيث تبدل قيمة الخطأ(أو الفرق) بينها وبين الدخل ومضياً للحصول على الخانات ذات الوزن الأدنى , ويبين الشكل (٦-٣٧) المخطط الصندوقي للمبدل نصف الومضي .



المبدل نصف الومضي

الشكل (٦-٣٧) – المخطط الصندوقي للمبدل نصف الومضي

هذه التقانة تزودنا بمبدلات منخفضة التكلفة , ولكنها أسرع من أي نوع آخر من المبدلات باستثناء المبدلات الومضية الكاملة. وهي معتمدة في المبدلات التجارية غير المكلفة.ومن المفيد استخدام المبدلات الومضية في تطبيقات ترقيم أشكال الموجات حتى عندما يكون معدل التبديل بطيئاً نسبياً,لأن سرعتها العالية (أو بالأحرى فاصل فتحتها القصير,وهو الزمن الذي تظل خلاله مخارج المقارنات مسجلة) تضمن أن إشارة الدخل لا تتغير فعلياً أثناء عملية التبديل.

٦-٤-٣-٥- تبديل الجهد إلى تردد

Voltage-to-Frequency Conversion

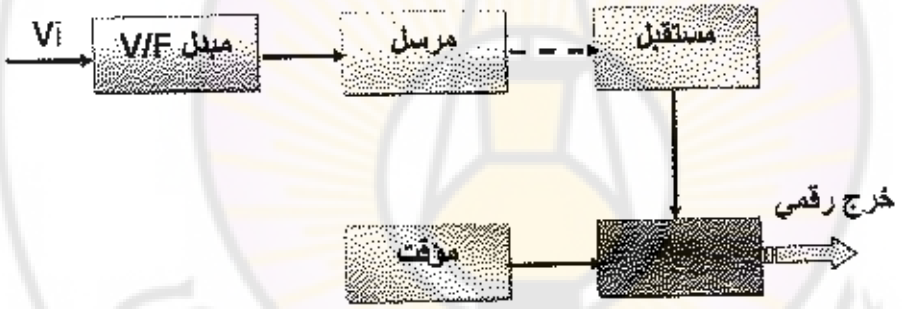
يتم في هذه الطريقة تبديل جهد الدخل التمثيلي إلى قطار من نبضات الخرج يتناسب ترددها مع سوية الدخل. ويمكن تنفيذ ذلك ببساطة عبر شحن مكثف بتيار متناسب مع سوية الدخل ثم تفريغها عندما يتجاوز الجهد الصاعد ramp عتبة معينة مسبقاً.

وللحصول على دقة أكبر، يتم عادة اللجوء إلى طريقة التغذية الخلفية. وفي إحدى الطرق المتبعة تتم مقارنة خرج دارة المبدل F/V مع سوية الدخل التمثيلي وتوليد نبضات بمعدل متناسب لجلب مدخلي المقارن إلى السوية نفسها.

أما في الطرق الأكثر انتشاراً فيتم اللجوء إلى تقانة تسمى بموازنة الشحنة Charge Balancing . وتتراوح ترددات خرج المبدلات V/F ضمن المجال 10kHz إلى 1MHz الموافقة لجهد الدخل الأعظمي. وتتواجد مبدلات V/F تجارية لها دقة تمييز تعادل 12-bit (أي دقة تساوي 0.01%) فمثلاً، يتمتع العنصر الممتاز AD650 من Analog Devices بلا خطية تقل عن 0.002% عند تشغيله بين0 و 10 kHz وهي عناصر لا تكلف كثيراً كما أنها

مفيدة جداً عندما نرغب ببث الخرج بصورة رقمية عبر الكابلات، أو عند الرغبة بالحصول على خرج ترددي وليس قيمة رقمية مرمزة لمطال الخرج، وإذا كانت السرعة غير هامة فيمكننا الحصول على عدد رقمي متناسب مع متوسط سوية الدخل عبر عدّ تردد الخرج ضمن فترة ثابتة زمنياً. وهذه الطريقة شائعة الاستخدام في الواجهات الرقمية الأمامية لأجهزة القياس ذات الدقة المتوسطة (3 خانات).

ويبين الشكل(٦-٣٨) تقنية التبديل التمثيلي/الرقمي المستخدمة للتبديل جهد/تردد . يتم تبديل جهد الدخل التمثيلي باستخدام مبدل جهد/ تردد VFC عالي الدقة,إلى قطار نبضات ترددها متناسب مع جهد الدخل.ثم يقوم عداد بعدئذ بتوليد كلمة الخرج الرقمية وذلك بعدّ هذه النبضات على مجال زمني محدد.



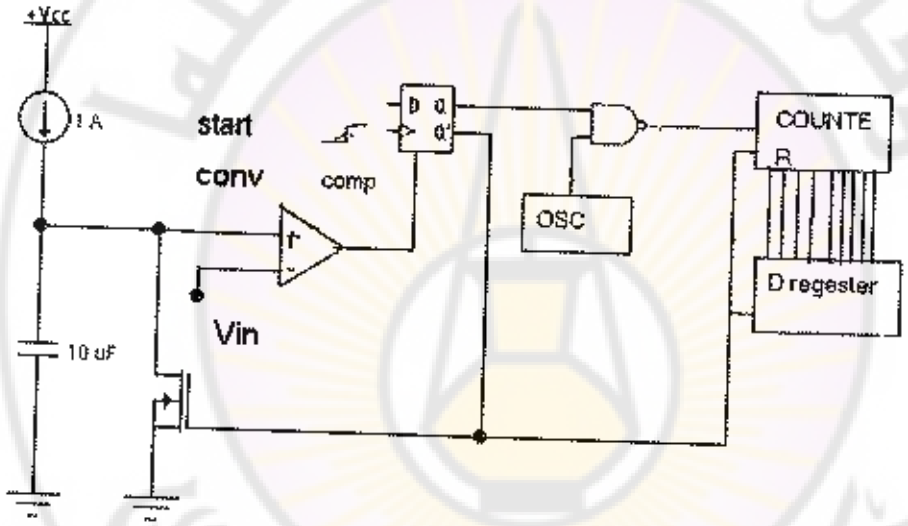
الشكل (٦-٣٨) – تقنية التبديل التمثيلي/الرقمي لتبديل جهد/تردد

نلاحظ من الشكل أن إشارة الدخل يتم مكاملتها بشكل فعلي على هذا المجال.وهذه التقنية تتصف أيضا بسرعة بطيئة ,ولكنها تحذف الضجيج بشكل جيد. وإذا كان بإمكاننا القبول بأزمنة تبديل طويلة,فعندئذ تسمح تقنية التبديل جهد/تردد بالحصول على دقة عالية.

٦-٤-٣-٦- التكامل أحادي الانحدار

Single-Slope Integration

في هذه الطريقة يقوم مولد داخلي للجهد الخطي الصاعد ramp (منبع تيار + مكثف) ببدء عملية التبديل، وفي اللحظة نفسها يؤهل عداد لعد النبضات من ساعة مستقرة. وعندما يصبح الجهد الصاعد مساوياً لجهد الدخل يقوم المقارن بإيقاف عمل العداد، والعد الناتج يكون متناسباً مع مطال إشارة الدخل. ويبين الشكل (٦-٣٩) مبدل أحادي الانحدار. ويسمى أحياناً بالمبدل أحادي الميل .



الشكل (٦-٣٩) - المبدل أحادي الانحدار

عند نهاية التبديل تقوم الدارة بتفريغ المكثف وتصفير العداد، ويصبح المبدل جاهزاً لدورة تالية. إن عملية التكامل أحادي الانحدار Single-Slope Integration هي عملية بسيطة، ولكنها لا تستخدم عندما تكون الدقة العالية مطلوبة، إنها تفرض شروطاً قاسية على استقرار ودقة المكثف والمقارن.

وللتخلص من هذه المشكلة نستخدم طريقة التكامل ثنائي الانحدار Dual-Slope Integration (وغيرها من المشاكل الأخرى) وهي الأكثر استخداماً الآن عندما تكون الدقة مطلوبة.

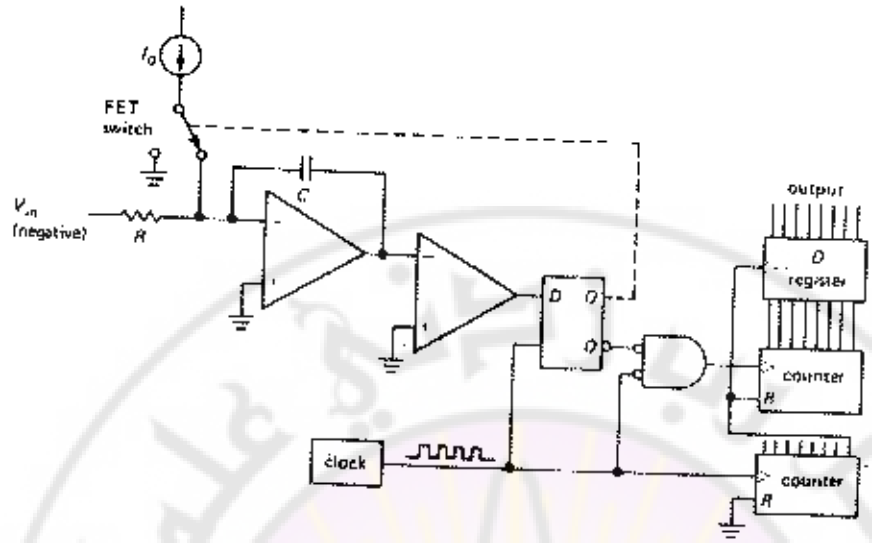
يستخدم التكامل أحادي الانحدار في التطبيقات التي لا تتطلب دقة مطلقة، ولكنها تبديلاً بدقة تمييز Resolution جيدة وتباعد منتظم بين السويات المتجاورة ومن الأمثلة على ذلك نذكر تطبيقات تحليل ارتفاع النبضة، حيث يتم الاحتفاظ بمطال النبضة (كاشف القمة) وتحويله إلى عنوان، وبعد تساوي عرض القناة بالغ الأهمية في هذا التطبيق، وبالتالي فإن التبديل بواسطة التقريب المتتالي لا يعد ملائماً أبداً. وتستخدم تقانة التكامل أحادي الانحدار أيضاً في تطبيقات تبديل الزمن إلى مطال Time-to-Amplitude Conversion.

٦-٤-٣-٧- مبدلات دلتا - سيغما

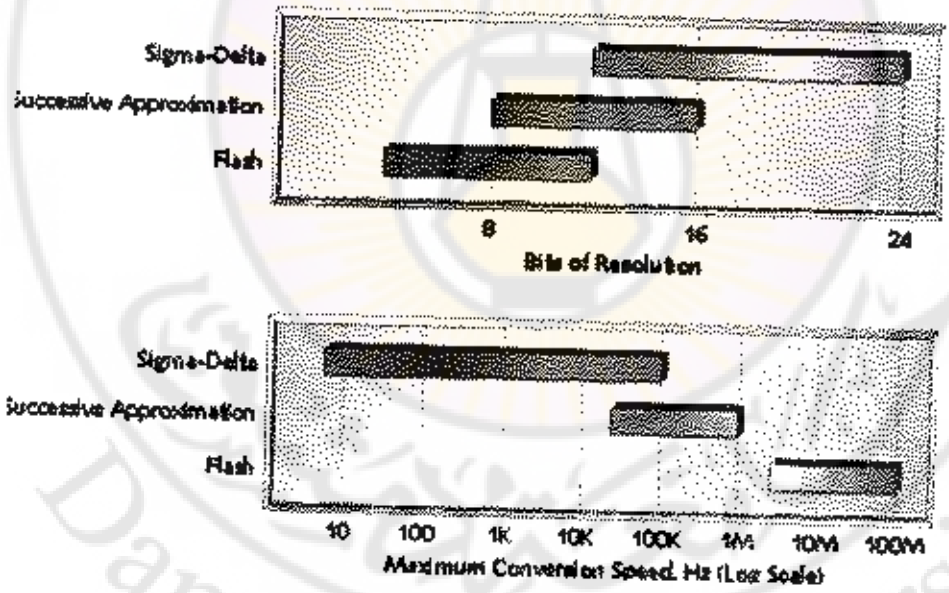
Delta-sigma converters

هناك طرق عدة للتبديل A/D تتضمن إلغاء لمتوسط تيار إشارة الدخل, وذلك باللجوء إلى منبع تيار أو شحنة داخلية من النوع فصل/وصل switched , ويبين الشكل(٦-٤٠) المخطط الوظيفي للمبدل دلتا - سيغما delta-sigma .

يقوم جهد الدخل باستخدام مكامل يقارن خرجه مع أي جهد ثابت، مثل الأرضي. وتبعاً لخرج المقارن يتم تمرير نبضات ذات طول ثابت (وهذا يعني تزايد ثابت في الشحنة) إلى نقطة الجمع أو إلى الأرضي عند كل انتقال للساعة وهذا يؤدي إلى المحافظة على متوسط صفري للتيار الداخل إلى نقطة الجمع. وهذا هو مبدأ الموازنة المتبع هنا. ويقوم عداد بمتابعة عدد نبضات الشحنة التي تم تمريرها إلى نقطة الجمع من أجل عدد معين من نبضات الساعة، ولنكن 4096 على سبيل المثال. إن هذا العدد متناسب مع متوسط سوية الدخل خلال



الشكل(٦-٤٠) – المخطط الوظيفي للمبدل دلتا – سيغما delta-sigma



الشكل (٦-٤١) – مقارنة بين المبدلات التفرعية والتقريب المتتالي ومبدل دلتا-سيغما

النبضات البالغة 4096 أي أنه الخرج المطلوب. ويبين الشكل (٦-٤١) مقارنة بين المبدلات التفرعية والتقريب المتتالي ومبدل دلتا-سيغما , وتظهر فيه السرعة والدقة القصوى للمبدلات الثلاث.

يمكن أيضاً تشكيل مبدلات دلتا – سيغما بتوليد نبضات التيار باستخدام مقاومة موصولة بمرجع جهد مستقر، لأن نقطة الجمع عبارة عن نقطة أرضي وهمية. وفي هذه الحالة يتوجب علينا التأكد من أن مقاومة الحالة ON صغيرة بالمقارنة مع المقاومة التسلسلية، بحيث أن التغيرات في قيمة R_{ON} لا تسبب انجرافاً.

٦-٤-٤-اختيار المبدل ADC المناسب (Choosing ADC)

عند البحث عن المبدل ADC فإن بعض العوامل التي يجب أخذها بعين الاعتبار هي:

١. الدقة Precision .
٢. السرعة Speed.
٣. دقة إشارات الخرج (الحاجة إلى التشذيب، وانتظام الخرج) .
٤. جهود التغذية المطلوبة (بعضها يعمل بتغذية 5v + فقط) والاستطاعة المبددة
٥. حجم التغليف Packaging .
٦. الجهد المرجعي والساعة (تزويد المرجع داخلي أم خارجي، فإذا كان خارجياً، هل 5v + يكفي؟ وإذا كان داخلياً هل يمكن النفاذ إليه خارجياً؟ وما مدى ثبات هذا المرجع، وهل يمكن إحلال آخر محله؟) .
٧. ممانعة الدخل ومجال الجهد التمثيلي (أحادي القطبية، ثنائي القطبية أم كليهما (؟) .

٨. بنية الدخل (تفاضلي؟ ناخب داخلي أم أخذ عينات وإمساكها؟ قطبية معكوسة أي أكثر سلبية من أجل دخول أكبر؟) .

٩. بنية الخرج (تسلسلي، تفرعي أم كلاهما؟ وهل الخرج التفرعي متوافق مع المعالجات الصغرية؟

١٠- وأخيراً ،السعر.

٦-٤-٥- اختيار المبدل DAC المناسب

عند البحث عن المبدل DAC فإن بعض العوامل التي يجب أخذها بعين الاعتبار هي:

١. الدقة Precision .

٢. السرعة Speed.

٣. دقة قيم إشارات الخرج Accuracy ، هل يتطلب الأمر احاجة تشذيباً خارجياً؟

٤. جهود التغذية المطلوبة (بعضها يعمل بتغذية 5v + فقط) والاستطاعة المبددة

٥. بنية الدخل ، هل توجد فيه سجلات ؟ هل هو متوافق مع CMOS/TTL/ECL

٦. الجهد المرجعي المستخدم ، هل هو مزود داخلياً أم خارجياً ؟

٧. بنية الخرج ، هل الخرج هو تيار ؟ أم ممانعة ؟ أم جهد ؟ .

٨. جهود التغذية المطلوبة وتبديد الاستطاعة .

٩. التغليف ، من الأفضل استخدام عناصر ذات نقاط توصيل قليلة وغلاف DIP رفيع عرضه 0.3in .

١٠- وأخيراً ،السعر.

٦-٥- ربط المبدل التمثيلي/الرقمي ADC إلى الحاسوب

Interfacing the ADC to the IBM-PC

٦-٥-١- طرق الترابط Interfacing methods

هناك العديد من الطرق المستخدمة في ربط المبدلات ADC مع معالج الحاسوب,ونذكر من هذه الطرق :

١- نظام المعطيات الأحدث Most recent data scheme

في هذه الطريقة يعمل المبدل ADC بشكل مستمر,وفي نهاية كل عملية تبديل يتم تحديث ماسك العينات ,وبعد ذلك تبدأ عملية تبديل جديدة أوتوماتيكيا . ويقرأ المعالج هذا الماسك ببساطة كلما احتاج إلى المعطيات الأحدث .هذه الطريقة ملائمة من أجل التطبيقات التي تحتاج للمعطيات بين الحين والأخر.

٢- نظام البدء والانتظار Start & wait scheme

يضع المعالج عملية التبديل في وضعها البدائي,كلما احتاج إلى معطيات جديدة,وبعد ذلك يختبر بشكل مستمر الخط(EOC) ليرى إن كانت عملية التبديل قد تمت.وعندما يلتقط المعالج نهاية عملية التبديل يقوم بقراءة خرج المبدل ثم ينتظر أي تغيير خلال مجال زمني أكبر من زمن التبديل المتوقع,وبعد ذلك يفترض أن التبديل قد تم ثم يقرأ الخرج.هذه الطريقة هي الأسهل للاستخدام,غير أنها تفيد المعالج خلال عملية التبديل.

٣- استخدام مقاطعة المعالج Using a microprocessor interrupt

هذه الطريقة تستخدم إمكانيات المقاطعة للمعالج.ويقوم المعالج أو الميقاتية (الساعة) بإقلاع عملية التبديل, وهكذا يمكن للمعالج أن يقوم بعمليات

أخرى.وعندما يكتمل التبديل ,فإن المبدل ADC يسبب عملية مقاطعة .ويجيب المعالج بترك مهمته الحالية وبتخزين المعلومات الحيوية المطلوبة من أجل استئناف عمله فيما بعد,ثم يحدد وينفذ مجموعة من الأوامر روتين الخدمة (Service routine) المصممة للحصول على المعطيات من المبدل ADC . بعد أن يتم تنفيذ هذه العملية يعود المعالج لأداء مهمته الأساسية.

إن مهمة تحديد روتين الخدمة يتم تنفيذها أحيانا بتنفيذ روتين أخر هو روتين الاستجواب (Polling routine) ,الذي يختبر كل منابع المقاطع واحداً تلو الأخر .إن إحدى الطرق الأكثر فائدة هي المقاطعات الشعاعية (Vectored Interrupt). تعتمد هذه التقنية على تخزين عناوين روتينات الخدمة المنفردة ضمن مكان محدد مسبقا يسمى جدول الشعاع(Vector table).

يعبر المعالج عن استجابته على المقاطعة,بذهابه إلى المكان المعرف مسبقا,حيث قام المستثمر فيما سبق بتخزين عنوان خدمة الروتين المقابلة.إن الفكرة الحقيقية لهذه التقنية تظهر في الأنظمة التي تحوي على العديد من مصادر المقاطعات مثل الحاسوب IBM-PC ,حيث تستخدم هذه الأنظمة تجهيزات خاصة تدعى متحكمات المقاطعة(Interrupt controller).

٦-٥-٢- برمجيات الربط Interface software

يمكن تنظيم نقل المعطيات بين المبدل ADC والمعالج بطرق مختلفة ونذكر منها :

١- النقل الممثل في الذاكرة Memory mapped transfers

في تمثيل الذاكرة يعين المبدل ADC عنوان في الذاكرة غير مستخدم من الذاكرة الفعلية .بعد ذلك يتم تنفيذ كل عمليات النقل بين المبدلADC والمعالج

بالتعامل مع المبدل كموضع في الذاكرة ,إلى جانب اختزال مكان الذاكرة ,فإن تمثيل الذاكرة يمكن أن يزيد من التعقيد في إدارتها , وهو بشكل عام يحتاج إلى قرص صلب أكبر بغية فك تشفير العناوين.

٢- النقل الممثل بالدخل/ خرج Input/output mapped transfers

تخلق بعض الأنظمة مجموعات منفصلة من العناوين من أجل الدخل/ الخرج هذه العناوين هي من وجهة نظر عددية , عناوين الذاكرة نفسها ,غير أنه يمكن التمييز بينها باستخدام بعض إشارات التحكم الخاصة(IOR و IOW من مسرى النظام).إن فصل مكان الذاكرة عن مكان الدخل/الخرج يؤدي إلى تصميم أفضل للنظام.هذه الطريقة تسمح بفك تشفير بسيط للعناوين (فك تشفير أصغري) باستخدام القرص الصلب,وبذلك يمكن التضحية بمكان الدخل/الخرج عوضاً عن مكان الذاكرة ذا الأهمية البالغة.

٣- النفاذ المباشر للذاكرة(RAM) Direct memory access

عندما نحتاج إلى نقل معطيات بسيطة بين الذاكرة و الأجهزة المحيطة فإن إدخال المراكم(Accumulator) في عملية النقل يبطئ العملية.إن إضافة أجزاء أخرى للقرص الصلب مثل متحكم النفاذ المباشر للذاكرة ,فإنه يمكن إتمام النقل من أجل سرعات أعلى .يقوم المتحكم بالنفاذ المباشر إلى الذاكرة DMA بأخذ الأوامر من المسرى خلال مجال زمني محدد مسبقا وينفذ نقل المعطيات بتوليد العناوين و إشارات التحكم المطلوبة.

٦-٥-٣- آليات الربط Interface hardware

إن تصميم الربط يتعلق بشكل نقل المعطيات ونذكر منها :

١- النقل المتوازي Parallel data format

إن الربط الذي تأخذ فيه المعطيات شكلاً متوازياً يحتوي غالبا على عازل بثلاث حالات يربط عبره المبدل ADC إلى مسرى معطيات المعالج.تستخدم العناوين التي فك تشفيرها وإشارة التحكم بالقراءة بغية تمكين المخزن Buffer من نقل معطيات المبدل إلى المعالج.ويستخدم تشفير العنوان نفسها وإشارة التحكم بالكتابة للمعالج بغية توليد أمر إقلاع المبدل.

ليس من الضروري أن تستخدم تحكم قراءة وكتابة منفصلين ,على كل حال فإن استخدامها بهذه الطريقة يسمح باستخدام العنوان نفسه من أجل إرسال الأوامر إلى المبدل ADC ومن أجل قراءة خرج المبدل ADC .

إن المبدلات ADC الحديثة تحتوي على الشريحة نفسها مخزنات Buffers بثلاث حالات مع دارات التحكم الخاصة بها.ويمكن وصل هذه المبدلات مباشرة إلى مسرى معطيات المعالج .بغية ربط مثل هذه المكونات يتوجب على المستثمر أن يعطي العناوين التي فك تشفيرها فقط , أحيانا بعض البوابات بغية الملائمة مع إشارات التحكم .

إن الربط المباشر لأنظمة الحواسيب الصغرية هي أكثر سهولة , ذلك لأنها تعطي مباشرة نوافذ معنونة ولا نحتاج إلى فك تشفير.

٢- النقل التسلسلي Serial data format

إن الشكل التسلسلي هو الاختيار الطبيعي من أجل الأنظمة التي تستخدم نقل المعطيات التسلسلي لارسال المعطيات عبر مسافات بعيدة. إن دارة الربط عند نهاية المعالج تأخذ عادة شكل جهاز خاص يسمى المستقبل غير المتزامن العام Universal asynchronous receiver UART , وهذا الجهاز يستقبل ويرسل المعطيات بشكل تسلسلي غير أن المعالج يعتمد النقل المتوازي ,كل

معالج يحتوي على الأقل جهاز UART متلائم معه. إن دارة الربط عند نهاية المبدل ADC تعتمد بشكل كبير على اختيار المبدلADC.

٦-٥-٤- دارات مبدلات عملية Practical converters

فيما يلي سنذكر أشهر المبدلات المستخدمة في عمليات الربط مع الحاسوب. إن المنهجية اللازمة لقراءة القيم عبر أي منفذ دخل تشابهي تعتمد على نمط المبدل ADC المستخدم .وهناك بعض الخطوات الواجب إتباعها عند استخدام المبدل. على سبيل المثال بغية استخدام مبدل تمثيلي/رقمي من نوع ZN448 يجب أن نتبع ما يلي:

أ- نختار قناة الدخل المرغوب بها وتبدأ عملية التبديل.

ب- نرسل البايت لماسك الحالة بغية اختيار القناة المطلوبة ومزاج الدخل .

ت-يبدأ التبديل آليا عندما تكتب المعطيات في عنوان ماسك الحالة.

إما أن ننتظر (زمن أكبر من زمن التبديل في أسوأ الحالات) وذلك باستخدام برمجية تأخير مناسبة. أو نجعل المبدل يتحسس حالة خط نهاية التبديل (EOC),هذه الإشارة تشير إلى أن التبديل مكتمل وأن المعطيات المفيدة يمكن الحصول عليها من المبدل ADC .

ج- نقرأ المعطيات بعد أن نكون قد تأكدنا من أن التبديل قد اكتمل.

٦-٦- المبدل ADC0804

8-Bit µP Compatible A/D Converters

المبدل ADC0804 مصنع بتقنية C-MOS وهو مبدل من الشكل التمثيلي إلى الشكل الرقمي.وتعتبر هذه الدارة التكاملية شائعة الاستخدام لمزاياه المتعددة, نذكر منها :

١. رخيصة الثمن .

٢. ذات دقة تمييز(Resolution) مساوية 8 bit ، وهي مثالية لكافة التطبيقات التي لا تتطلب دقة عالية.

٣. يحتاج المبدل إلى 100 ميكرو ثانية على الأكثر لتحويل الجهد التمثيلي الموجود على دخله إلى إشارة رقمية على الخرج.

٤. عدد أرجل الدارة المتكاملة عشرون , ولها ثلاث حالات : الصفر المنطقي والواحد المنطقي وحالة الممانعة العالية.

٥. تعمل عند جهد مرجعي 2.5V تقريباً.

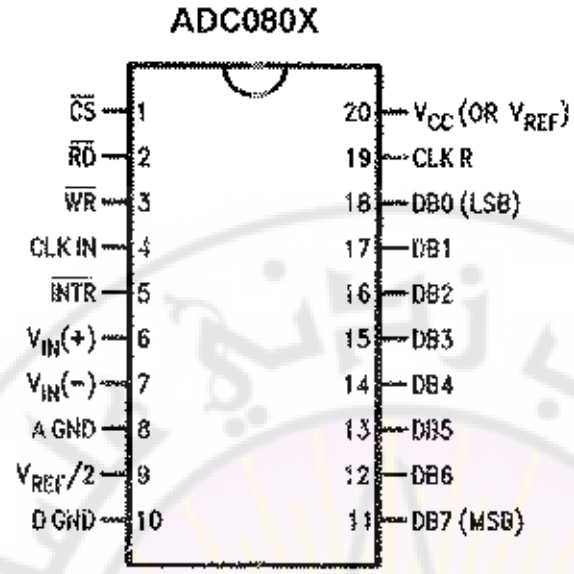
٦. مجال إشارة الدخل المسموح به من(5 V – 0) مع تغذية 5V .

٧. زمن الوصول له 135 نانو ثانية .

٨. ويبين الشكل (٦-٤٢) توزع الأرجل للدارة المتكاملة ADC0804 .

● **أطراف المبدل ADC0804**

- ثمانية مخارج لإعطاء النتيجة الرقمية للدخل التمثيلي DB0-DB7.
- خط الأرض A GND, D GND
- خط تأهيل الدارة CS
- خطي القراءة والكتابة RD, WR



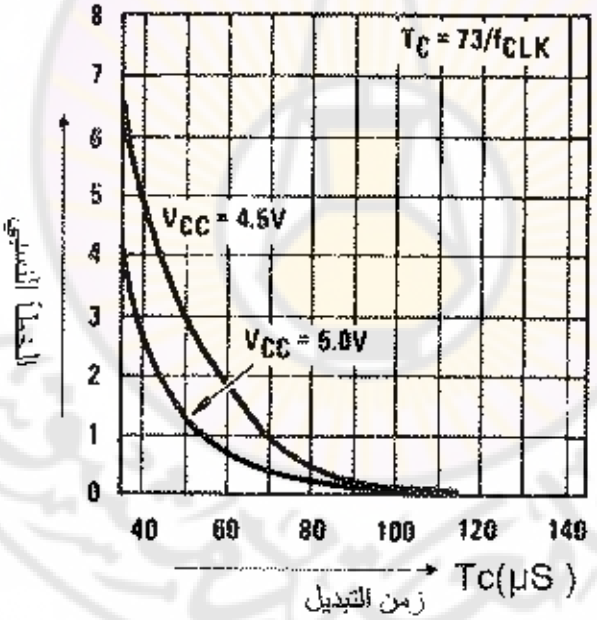
الشكل (٦-٤٢) - توزع الأرجل للدارة المتكاملة ADC0804

- خط المقاطعة INTR
- يوصل لها الجهد المرجعي , ويجب أن يحقق الجهد المرجعي ثباتاً كبيراً لذلك يمكن تحقيق ذلك باستخدام Vref
- ثنائي زينر متصل مع مكبر ذي ربح واحدي , وعموماً يفضل وصل نقطة الجهد المرجعي بمكثف عالي السعة نسبياً مع الأرضي لإلغاء التعرج (Ripple)
- خطان لتوليد إشارة الساعة حيث أن مجال الساعة المسموح به يقع ضمن المجال CLK IN, CLK R بتردد 100 - 1460 KHZ . أو يمكن أن تولد من دارة CLK IN إشارة الساعة , ويمكن أن تؤمن من

ساعة خارجية وتطبق على المدخل RC . موصولين بدارة CLK IN , CLK R وسيكون عندها المدخلان RC مدخلان تماثليان لدارة المبدل ويتصلان بمكبر عمليات داخلي وهما دخلان تفاضليان , Vi(+) , Vi(-) ويقوم مكبر العمليات بجمع المدخلين التفاضليين لإعطاء إشارة المحول التمثيلي/الرقمي الداخلي .

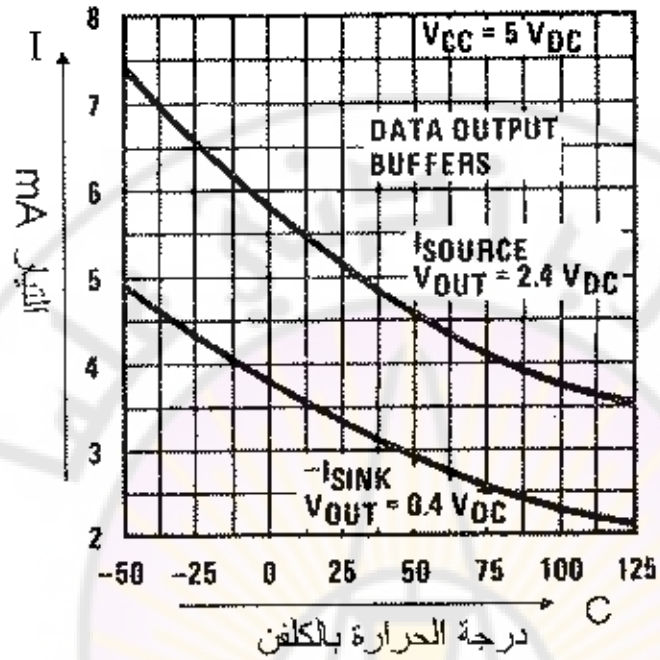
المنحنيات المميزة لهذا المبدل:

يبين الشكل (٦-٤٣) أن الخطأ الخطي يتناسب عكسياً مع زمن التبديل.



الشكل(٦-٤٣)- العلاقة بين الخطأ الخطي وزمن التبديل

ويبين الشكل(٦-٤٤) أن تيار الخرج يتناسب عكساً مع درجة الحرارة.



الشكل(٦-٤٤)- العلاقة بين درجة الحرارة وتيار الخرج

المراجع الأجنبية

References

1. ANDERSON, M.H. [1990] "STRENGTH (AND SAFETY) IN NUMBERS (RAID, DISK STORAGE TECHNOLOGY),"*BYTE*, VOL.15, (NO.13), DEC. P.337-9.
2. ANON, ET AL. [1985]. "A measure of transaction processing power," Tandem Tech. Rep. TR 85.2.Also appeared in *Datamation*, April 1, 1985.
3. BASHE, C. J., W. BUCHHOLZ, G. V. HAWKINS, J. L. INGRAM, AND N. ROCHESTER [1981]. "The architecture of IBM's early computers," *IBM J. Research and Development* 25:5 (September), 363–375.
4. BASHE, C. J., L. R. JOHNSON, J. H. PALMER, AND E. W. PUGH [1986]. *IBM's Early Computers*, MIT Press, Cambridge, Mass.
5. BRADY, J. T. [1986]. "A theory of productivity in the creative process," *IEEE CG&A* (May), 25–34.
6. Brown, A. and D.A. Patterson [2000]. "Towards Maintainability, Availability, and Growth Benchmarks: A Case Study of Software RAID Systems." *Proceedings of the 2000 USENIX Annual Technical Conference*, San Diego, CA,(June).
7. BUCHER, I. V. AND A. H. HAYES [1980]. "I/O performance measurement on Cray-1 and CDC 7000 computers," *Proc. Computer Performance Evaluation Users Group, 16th Meeting*, NBS 500-65, 245–254.
8. CHEN, P. M., G. A. GIBSON, R. H. KATZ, AND D. A. PATTERSON [1990]. "An evaluation of redundant arrays of inexpensive disks using an Amdahl 5890," *Proc. 1990 ACM SIGMETRICS Conference on Measurement and Modeling of Computer Systems* (May), Boulder, Colo.
9. CHEN, P. M., E. K. LEE, G. A. GIBSON, R. H. KATZ, AND D. A. PATTERSON [1994]. "RAID: High performance, reliable secondary storage," *ACM Computing Surveys* 26:2 (June), 145–88.

– ooo –

10. CHEN, P. M. AND E. K. LEE [1995]. "Striping in a RAID level 5 disk array," *Proc. 1995 ACM SIG*588 Chapter 7 Storage Systems
METRICS Conference on Measurement and Modeling of Computer Systems (May), 136–145.
11. DOHERTY, W. J. AND R. P. KELISKY [1979]. "Managing VM/CMS systems for user effectiveness," *IBM Systems J.* 18:1, 143–166.
12. Enriquez, P. [2001] "What Happened to my Dial Tone? A study of FCC service disruption reports, " poster, *Richard Tapia Symposium on the Celebration of Diversity in Computing,* October 18-20, Houston, Texas.
13. FRIESENBORG, S. E. AND R. J. WICKS [1985]. "DASD expectations: The 3380, 3380-23, and MVS/XA," Tech. Bulletin GG22-9363-02 (July 10), Washington Systems Center.
14. Gibson, G. A. [1992] *Redundant disk arrays: reliable, parallel secondary storage,* ACM Distinguished Dissertation Series, MIT Press, Cambridge, Mass.
15. GOLDSTEIN, S. [1987]. "Storage performance—An eight year outlook," Tech. Rep. TR 03.308-1 (October), Santa Teresa Laboratory, IBM, San Jose, Calif.
16. GRAY, J. (ED.) [1993]. *The Benchmark Handbook for Database and Transaction Processing Systems,* 2nd ed. Morgan Kaufmann Publishers, San Francisco.
17. GRAY, J. AND A. REUTER [1993]. *Transaction Processing: Concepts and Techniques,* Morgan Kaufmann Publishers, San Francisco.
18. GRAY, J. AND D.P. SIEWIOREK, [1991] "High-availability computer systems." *Computer,* 24:9, (Sept), 39-48.
19. GRAY, J [1990]. "A census of Tandem system availability between 1985 and 1990." *IEEE Transactions on Reliability,* vol.39, (no.4), (Oct.) 409-18.
20. HENLY, M. AND B. MCNUTT [1989]. "DASD I/O characteristics: A comparison of MVS to VM," Tech. Rep. TR 02.1550 (May), IBM, General Products Division, San Jose, Calif.

21. HOAGLAND, A. S. [1963]. *Digital Magnetic Recording*, Wiley, New York.
22. HEWLETT PACKARD [1998] . HP's "5NINES:5MINUTES" Vision Extends Leadership and Re-Defines High Availability in Mission-Critical Environments, (Feb 10), see http://www.future.enterprisecomputing.hp.com/ia64/news/5nines_vision_pr.html
23. HOSPODOR, A. D. AND A. S. HOAGLAND [1993]. "The changing nature of disk controllers." *Proc. IEEE* 81:4 (April), 586–94.
24. IBM [1982]. *The Economic Value of Rapid Response Time*, GE20-0752-0, White Plains, N.Y., 11–82.
25. 24.IMPRIMIS [1989]. *Imprimis Product Specification, 97209 Sabre Disk Drive IPI-2 Interface 1.2 GB*, Document No. 64402302 (May).
26. JAIN, R. [1991]. *The Art of Computer Systems Performance Analysis: Techniques for Experimental Design, Measurement, Simulation, and Modeling*, Wiley, New York.
27. KATZ, R. H., D. A. PATTERSON, AND G. A. GIBSON [1990]. "Disk system architectures for high performance computing," *Proc. IEEE* 78:2 (February).
28. KIM, M. Y. [1986]. "Synchronized disk interleaving," *IEEE Trans. on Computers* C-35:11 (November).
29. Kuhn, D. R. [1997]. "Sources of Failure in the Public Switched Telephone Network." *IEEE Computer* 30:4 (April).
30. Lambright, D [2000]. "Experiences in Measuring the Reliability of a Cache-Based Storage System," *Proceedings of First Workshop on Industrial Experiences with Systems Software* (WIESS 2000), collocated with the 4th Symposium on Operating Systems Design and Implementation (OSDI), San Diego, California. (October 22).
31. LAPRIE, J.-C. [1985] "Dependable computing and fault tolerance: concepts and terminology." *Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15.* Digest of Papers.
32. Ann Arbor, MI, USA, (19-21 June) 2-11. 7.16 Historical Perspective and References 589

33. Lazowska, E.D., J. Zahorjan, G. S. Graham, and K. C. Sevcik [1984]. *Quantitative system performance : computer system analysis using queueing network models*, Prentice-Hall, Englewood
34. Cliffs, N.J. (Although out of print, it is available online at www.cs.washington.edu/homes/lazowska/qsp/)
35. LEINER, A. L. [1954]. "System specifications for the DYSEAC," *J. ACM* 1:2 (April), 57–81.
36. LEINER, A. L. AND S. N. ALEXANDER [1954]. "System organization of the DYSEAC," *IRE Trans. Of Electronic Computers* EC-3:1 (March), 1–10.
37. MABERLY, N. C. [1966]. *Mastering Speed Reading*, New American Library, New York.
38. MAJOR, J. B. [1989]. "Are queuing models within the grasp of the unwashed?," *Proc. Int'l Conference on Management and Performance Evaluation of Computer Systems*, Reno, Nev. (December11-15), 831–839.
39. Mueller, M.; Alves, L.C.; Fischer, W.; Fair, M.L.; Modi, I. [1999] "RAS strategy for IBM S/390 G5 and G6," *IBM Journal of Research and Development*, 43:5-6 (Sept.-Nov), 875-88.
40. 39. Myer, T. H. and I. E. Sutherland [1968]. "On the Design of Display Processors," *Communications of the ACM*, 11:6 (June), 410-414.
41. National Storage Industry Consortium [1998], *Tape Roadmap*, (June), see www.nsic.org.
42. Nelson, V.P. [1990]"Fault-tolerant computing: fundamental concepts." *Computer*, vol.23, (no.7), (July). p.19-25.
43. Okada, S.; Okada, S.; Matsuda, Y.; Yamada, T.; Kobayashi, [1999] "A. System on a chip for digital still camera," *IEEE Transactions on Consumer Electronics*, 45:3, (Aug.) 584-90.
44. PATTERSON, D. A., G. A. GIBSON, AND R. H. KATZ [1987]. "A case for redundant arrays of inexpensive disks (RAID)," Tech. Rep. UCB/CSD 87/391, Univ. of Calif. Also appeared in *ACM SIGMOD Conf. Proc.*, Chicago, June 1–3, 1988, 109–116.

45. PAVAN, P., R. BEZ, P.,OLIVO, E. ZANONI [1997] "Flash memory cells-an overview." *Proceedings of the IEEE*, vol.85, (no.8),(Aug.)p.1248-71.
46. ROBINSON, B. AND L. BLOUNT [1986]. "The VM/HPO 3880-23 performance results," IBM Tech. Bulletin GG66-0247-00 (April), Washington Systems Center, Gaithersburg, Md.
47. SALEM, K. AND H. GARCIA-MOLINA [1986]. "Disk striping," *IEEE 1986 Int'l Conf. on Data Engineering.*
48. 45.SCRANTON, R. A., D. A. THOMPSON, AND D. W. HUNTER [1983]. "The access time myth," Tech. Rep. RC 10197 (45223) (September 21), IBM, Yorktown Heights, N.Y.
49. SEAGATE [2000] *Seagate Cheetah 73 Family: ST173404LW/LWV/LC/LCV Product Manual*, Volume1, see http://www.seagate.com/support/disc/manuals/scsi/29478b.pdf.
50. SMOTHERMAN, M. [1989]. "A sequencing-based taxonomy of I/O systems and review of historical machines," *Computer Architecture News* 17:5 (September), 5–15. Reprinted in *Computer Architecture Readings*, Morgan Kauffman, 1999, 451-461.
51. Talagala, N., S. Asami, D. Patterson, R. Futernick, and D. Hart, [2000]" The Art of Massive Storage: A Case Study of a Web Image Archive", *Computer*, (November).
52. Talagala, N. and D. Patterson. [1999] "An Analysis of Error Behavior in a Large Storage System".
53. Technical Report UCB//CSD-99-1042, Computer Science Division, University of California at Berkeley. (February).
54. THADHANI, A. J. [1981]. "Interactive user productivity," *IBM Systems J.* 20:4, 407–423.
55. SuperSpeed USB 3.0: More Details Emerge", 6 Jan 2009. http://www.pcworld.com/article/156494/superspeed_usb_30_more_details_emerge.html.
56. *Universal Serial Bus Test and Measurement Class* Specification (USBTMC), Revision 1.0, April 14, 2003, *USB Implementers Forum, Inc.*
57. *Universal Serial Bus 3.0 Specification*,4.4.11 "Efficiency"

58. "NEC ready to sample 'world's first' USB 3.0 controller chip". http://www.reghardware.co.uk/2009/05/19/nec_usb_3_host/. Retrieved 2009-06-15.

59. "GDDR5 in Production, New Round of Graphics Cards War Imminent"., retrieved May 11, 2008

60. "Electronic Design report", retrieved November 2, 2007

61. "Samsung Announcement" December 1, 2007.

62. "PCI Express 2.0 Frequently Asked Questions" (in English). PCI-SIG. http://www.pcisig.com/news_room/faqs/pcie2.0_faq/. Retrieved 2008-11-23.

63. "PCI Express 3.0 Frequently Asked Questions" (in English). PCI-SIG. http://www.pcisig.com/news_room/faqs/pcie3.0_faq/. Retrieved 2008-11-23.

64. http://beta.ivancover.com/wiki/index.php/Eee_PC_Research. Retrieved 2009-10-26.

65. "PCI Express External Cabling 1.0 Specification". http://www.pcisig.com/specifications/pciexpress/pcie_cabling1.0/. Retrieved 2007-02-09.

66. PCI-SIG (2007-01-15). "PCI Express Base 2.0 specification announced" (PDF). Press release. http://www.pcisig.com/news_room/PCIe2_0_Spec_Release_FINAL2.pdf.

67. .http://www.interfacebus.com/Design_Connector_PCI_Express.html#d. Retrieved 2007-12-07

68. http://www.infinibandta.org/newsroom/releases/083199

69. "Top500.org, Interconnect Family Share Over Time". http://www.top500.org/overtime/list/32/connfam. Retrieved 2009-06-03

المراجع العربية

١. بنية الحاسبات الإلكترونية وتصميمها – الدكتور أحمد أزرق –جامعة دمشق – 1984.

٢. الحاسبات الإلكترونية واستثمارها – الدكتور أحمد أزرق – جامعة دمشق – 1987.

٣. برمجة المعالجين 80386/80486 – روس نلسون – ترجمة مركز التعريب والبرمجة – الدار العربية للعلوم – بيروت – 1992 .

٤. تصميم خوارزمية للتصميم الآلي لدراسة التفرع في البرامج واختيار بنية الحاسوب المتوازي المناسبة – المؤتمر الدولي الأول للعلوم الهندسية IESC 2008 (2- 4 تشرين الثاني 2008) – جامعة حلب .

٥. بنية الحاسوب – ترجمة المهندس فادي الحفار – شعاع للنشر والعلوم – سورية – حلب – 1999 .

٦. الحاسوب المعدات والبرمجيات – الدكتور أرشيد العقيلي وآخرون – دار الشروق للنشر والتوزيع – عمان – الأردن – 1996 .

٧. بنية الحاسوب وتنظيمه – الدكتور فيصل عباس – جامعة دمشق – 1993.

٨. تنظيم الحاسوب وبنيانه – ترجمة الدكتور نوار العوا – الدكتور فيصل عباس –الدكتور جورج صنيج – المركز العربي للتعريب والترجمة والتأليف والنشر – المنظمة العربية للتربية والثقافة والعلوم – دمشق – 2002 .

وقل رب زدني علما
جامعة دمشق
Damascus University

المصطلحات العلمية

إنكليزي - عربي

English – Arabic

Damascus University

وقل رب زدني علما
جامعة دمشق
Damascus University

A	
Adapters	الموائمات
Array Processors	المعالجات المصفوفية
Associative mapping	التقابل التجميعي
Amplitude	المطال
AM (Amplitude Modulation)	التعديل المطالي
A Single Cycle Implementation	التصميم ذو الدورة الواحدة
Analog Signal	الإشارة التمثيلية
Analog Transmission	الإرسال التمثيلي
Availability	المتاحية
ATM (Asynchronous Transfer Mode)	نمط النقل غير المتزامن
Addressing	العنونة
Arbitration	التحكيم
Asynchronous Transmission	النقل غير المتزامن
Attenuation	التضاؤل
Access Control	التحكم بالنفاذ
Artificial Contiguity	التجاور الاصطناعي
ACK (Acknowledgment)	إشارة تأكيد الوصول
Application and Service Failures	فشل الخدمة أو التطبيق
ALU(Arithmetic and Logic Unit)	وحدة الحساب والمنطق
A/D Converter	مبدل تمثيلي / رقمي

ADSL(Asymmetric Digital Subscriber Line)	خط المشترك الرقمي غير المتشابه
Absolute scalability	التصعدية المطلقة
Assembly Language	لغة التجميع
ANSI(American National Standards Institute)	المعهد الأمريكي القومي للمقاييس
ASCII(American Standards Code for Information Interchange)	الترميز المعياري الأمريكي لتبادل المعلومات
Active Directory Service	خدمة الدليل الفعّال
AGP(Accelerated Graphic Port)	المنافذ البيانية السريعة
Analog Dedicated Lined	الخطوط التمثيلية الدائمة
Address Classes	فئات العنوان IP
AC(Accumulator)	المراكم
Arbitration	التحكيم
Address Valid	خط العنوان الصالح
Arbiter	الحكم

B

Bandwidth	عرض النطاق(المجال)
Base band	النطاق الأساسي
Backplane Bus	مسرى المستوى الخلفي
Back Side Bus (BSB)	مسرى الجانب الخلفي
Broad band	النطاق الواسع

Bridge	الجسر
Parallel Processing	المعالجة المتوازية
Branch Penalty	غرامة التفريع
Bus Speed	سرعة المسرى
Bus busy	انشغال المسرى
Bottleneck	نقطة الاختناق
BSN(Bus-switching network adapter)	دارة ربط شبكة تبديل الناقل
Broadcast	الرسالة المذاعة
Broadcast Storm	العاصفة الإذاعية
Bps (bit per second)	بت بالثانية وهي وحدة لقياس سرعة نقل المعلومات
Buffer	ذاكرة التخزين المؤقتة(المخزن)
Bubble	فقاعة
Back Side Bus	المسرى الجانبي الخلفي
Branch Prediction	التنبؤ بالتفريع
BTB(Branch Target buffer)	مخزن وجهة التفريع
C	
Carry Look Ahead	الحامل المسبق
CISC(Complex Instruction Set Computers)	الحواسيب ذات مجموعة التعليمات

	المعقدة
CPU Design Steps content-addressed	مراحل تصميم وحدة المعالجة ذاكرة معنونة بالمحتوى
Combining The Datapaths	تجميع ممرات المعطيات
Command	الأمر
channel Bandwidth	عرض حزمة القناة
CS (Cross point switches)	مبدلات نقاط التصالب
Cache coherency	اتساق الكاش
Cache Coherence and Protocols	اتساق الكاش والبروتوكولات
Computer Networks	شبكات الحواسيب
Charge Balancing	بموازنة الشحنة
Coordinated Resource Management	إدارة الموارد المنظمة
Communication Network	شبكة الاتصال
Connection -Oriented Data Transfer Clock cycle	نقل المعطيات المضمون دور الساعة
Connectionless Data Transfer	نقل المعطيات غير المضمون
Crossbar switch	المبدل المتصالب
consistency	الترابط
CPU (Central Processing Unit)	وحدة المعالجة المركزية
Compulsory	الإخفاق الإجباري (الإلزامي)
Communication network	شبكة الاتصال
Computer Performance Evaluation	تقييم أداء الحاسوب

CPI(Cycles Per Instruction)	عدد الدورات لكل تعليمة
Compiler	مترجم
Cycle Master	سيد الدورة
Converter	مبدل
Cycle Stealing	سرقة الدورة
Centralised Arbitration	التحكيم المركزي
Control Logic	منطق التحكم
Command Description Block	الكتلة الواصفة للأمر CDB

D

DTE (Data Terminal Equipment)	تجهيزة نهاية المعطيات
DCE (Data Circuit Equipment)	تجهيزة دارة المعطيات
Daisy Chain	سلسلة تعاقبية
DES (Data Encryption Standard)	خوارزمية لتشفير المعطيات
Dedicated	مخصص
Dual-Slope Integration	التكامل ثنائي الانحدار
DMA (Direct Memory Access)	النفاذ المباشر للذاكرة
DAC (Digital to Analog Converter)	المبدلات الرقمية /التمثيلية
Dispatch Unit	وحدة الإسناد
Distributed Systems	النظم الموزعة
DAT(Dynamic Address Translation)	ترجمة العناوين ديناميكيا

Digital Data	المعطيات الرقمية
Datapath For Branch Instructions	ممر المعطيات لتعليمات التفريع
Digital Transmission	الإرسال الرقمي
Digital Services	الخدمات الرقمية
Digital Signature	التوقيع الرقمي
Digital Switch	المبدل الرقمي
Demand Priority Method	طريقة أفضلية الطلب
DTE (Data Terminal Equipment)	معدات بيانية طرفية
DCE (Data Communication Equipment)	معدات اتصال للبيانات
Dealing with Branch	التعامل مع التفريعات
D/A Converter	المبدل الرقمي – التمثيلي
Datapath Design Steps	مراحل تصميم ممر المعطيات
Direct Mapping	التقابل المباشر
Data Compression	ضغط المعطيات
Database Manager	مدير قواعد المعطيات
Design Issues	قضايا تصميمية
Dual Core	المعالجات ثنائية النواة
Dynamic predicting	التنبؤ الديناميكي
DHCP (Dynamic Host Configuration Protocols)	بروتوكول العنونة الآلية
Directory Protocol	بروتوكول الدليل
Data Cache	ذاكرة كاش للمعطيات
Domain Controller	متحكم الميدان

Dedicated Circuits	الدارات الدائمة
Demodulation	فك التعديل
Dial-up Modems	موديمات الاتصال الهاتفي
DIX (Digital Intel Xerox)	منفذ مشابه (AUI) لتركيب المرسل والمستقبل في بطاقة الشبكة
DMA (Direct Memory Access)	الوصول المباشر للذاكرة
Directory Service	خدمة الدليل
Direct Addressing	العنونة مباشرة
Delayed Branch	التفريع المؤجل
Degree	الدرجة
Distance Learning	التعليم عن بعد
Distributed Operating Systems	نظم التشغيل الموزعة
Distributed Systems	النظم الموزعة
Dual-bus system	نظام ثنائي المسار ي
DSL (Digital Subscriber Line)	خط المشترك الرقمي
Data Hazard	أخطار المعطيات
DNS (Domain Name Service)	خدمة تحويل الأسماء إلى عناوين IP
Downstream	تدفق المعطيات من الانترنت إلى الحاسوب
Dynamic Routers	الموجهات الديناميكية
DNA (Digital Network Architecture)	بنيان الشبكات الرقمية
Diskless Workstation	محطة العمل بدون أقراص

Destination Address	عنوان المقصد
dB (Disable)	الديسيبل
Data Flow Analysis	تحليل تدفق المعطيات
Demand Paging	جلب الصفحة عند الطلب
Decode stage 1	مرحلة تفكيك الترميز الأولى

E

Encapsulation	التغليف
Error-Checking	اختبار الخطأ
Error Detection	كشف الخطأ
Error Rate	معدل الخطأ
EMI (Electromagnetic Interface)	التداخل مع الموجات الكهرومغناطيسية
Encryption	التشفير
End Delimiter	مؤشر النهاية
Ethernet Networks	شبكات الأثير
Earth Simulator	محاكي الأرض
Event Log Replication Manager	مدير سجل الأحداث
EBCDIC (Extended Binary Coded Decimal Interchange Code)	الترميز الثنائي الممتد لتبادل الرموز العشرية
EIA (Electrical Industries Association)	جمعية الصناعات الكهربائية
External Interfaces	واجهات الترابط الخارجية

EX(Execute Stage)	مرحلة التنفيذ
Electronic Mail	البريد الإلكتروني
External Fragmentation	التجزئة الخارجية
EISA (Extended Industries Standard Architecture)	الناقل EISA
ELAN (Extended Local Area Networks)	الشبكات المحلية الممتدة
External Cache memory	ذاكرة كاش الخارجية

F

Fair arbitration	التحكيم العادل
FSB (Front Side Bus)	المسرى الجانبي الأمامي
Floppy disk	الأقراص المرنة
Flexibility	المرونة
Failover Manager	مدير تدارك الفشل
Function Units	الوحدات الوظيفية
FCS (Frame Check Sequence)	تتابع كشف الخطأ
Frame Relay	مبدل الإطار
Frame Header	ترويسة الإطار
Frame Preamble	مقدمة الإطار
Forwarding unit	وحدة التجاوز
Frequency Spectrum	الطيف الترددي
FSK (Frequency – Shift Keying)	التعديل بإزاحة التردد
FM (Frequency Modulation)	التعديل الترددي

Fault Tolerance	التسامح بالأخطاء
FDM (Frequency-Division Multiplexing)	التجميع بتقسيم التردد
Full -- Duplex Transmission	النقل ثنائي الاتجاه
Fetch Stage	مرحلة الجلب
FDDI (Fiber Distributed Data Interface)	ربط المعطيات الموزعة بالألياف الضوئية
Fully Associative mapping	التقابل التجميعي الكامل
File Server	مخدم الملفات
FTP (File Transfer Protocol)	بروتوكول نقل الملفات
Filters	المرشحات
Firewall	الجدار الناري
FEC (Forward-Error Correction)	تصحيح الخطأ الأمامي
G	
Graceful degradation	التدرج اللائق
Gbps (Giga a bit per second)	جيغا بيت بالثانية تقاس بها سرعة نقل المعطيات
Generation4 (G4)	الجيل الرابع
GUI (Graphic User Interface)	واجهة المستخدم الرسومية
Generation3 (G3)	الجيل الثالث
GPR (General Purpose Registers)	مسجلات الأغراض العامة

H	
Hand Shaking	المصافحة
Hot-Plugging	الربط الساخن
Hardware Multiplexing	التجميع العتادي
Hard Disk's Interface	واجهة ترابط الأقراص الصلبة
HDLC (High-Level Data Link Control)	بروتوكول التحم بطبقة ربط المعطيات
Harvard Architecture	بنية هارفارد
Hop Count	عدد القفزات
Half Duplex Transmission	الإرسال نصف المزدوج
Homogeneous cluster	العنقود المتجانس
Heterogeneous cluster	العنقود الغير المتجانس
Host Computer	الحاسوب المضيف
Host ID (Host Identifier)	عنوان المشترك
Hash function	تابع التلبيد (هاش)
Hit time	زمن الإصابة
High Availability Clusters	عناقيد ذات المتاحية العالية
HPC (High-performance Computing clusters	عناقيد الحوسبة عالية الأداء
HTML (Hyper Text Markup Language)	لغة النصوص المتشعبة
Hierarchical Topology	التوصيل الهرمي
http (Hyper Text Transfer Protocol)	بروتوكول نقل النصوص المتشعبة

HAL (Hardware Abstraction Layer)	طبقة التجريد المادية

I

I/O Bus	مساري الـدخل/الخرج
ISA (Industry standard Architecture)	المسرى القياسي الصناعي ISA
Initiator	مبادر
Interrupt Driven I/O	الدخل/الخرج المقاد بالمقاطعات
Independent Access	النفاذ المستقل
Inquiry	الاستعلام
Interrupt controller	متحكمات المقاطعة
Instruction Cache	ذاكرة كاش للتعليمات
Internal Cache memory	ذاكرة كاش الداخلية
Interconnection Network	شبكة الترابط البيني
Incremental growth	النمو المتزايد
ISDN (Integrated Services Digital Networks)	الشبكات الرقمية ذات الخدمات المتكاملة
Interconnection Cost	كلفة الاتصال
IFU (Instruction Fetch Unit)	وحدة جلب التعليمة
ID (Instruction Decode)	فك ترميز التعليمة
IBM (International Business Machine)	شركة لإنتاج الحواسيب
IEEE (Institute of Electrical &	معهد مهندسي الكهرباء

Electronic Engineers)	والالكترونيات
Integrity	سلامة المعلومات
Inverted page table	جدول الصفحات المعكوس
ISO (International Standards Organization)	المنظمة الدولية للمقاييس والمعايير
ITU (International Telecommunication Union)	الاتحاد العالمي للاتصالات
Incremental scalability	التصاعدية التزايدية
ILP (Instruction-level parallelism)	التوازي على مستوى التعليمة
IR (Instruction Register)	سجل التعليمة IR
Infrared Technology	تقنية الأشعة تحت الحمراء
Infrastructure Service	خدمات البيئة التحتية
Instruction Issue Policy	سياسة إصدار التعليمة
Instruction Re-Ordering	إعادة ترتيب التعليمات
IETF (Internet Engineering Task Force)	الهيئة الهندسية للانترنت
IIS (Internet Information Server)	مخدم معلومات الإنترنت
Instruction Fetch Datapath	جلب التعليمة من ممر المعطيات
Idealized Memory	الذاكرة المثالية
Index Addressing	العنونة بالدليل
ISP (Internet Service Provider)	مزود خدمة الإنترنت
IRQ (Interrupt Request)	إشارة مقاطعة
Internal Fragmentation	التجزئة الداخلية
In-Order Issue In-Order Completion	إصدار مرتب مع إتمام مرتب

In-Order Issue Out-of-Order Completion	إصدار مرتب مع إتمام غير مرتب
Out-of- Order Issue Out-of-Order Completion	إصدار غير مرتب مع إتمام غير مرتب
IBR(Instruction Buffer Register)	سجل مخزن التعليمة
IR(Instruction Register)	سجل التعليمة
J	
Jamming	ضغط
Jumper	موصل
Link	طبقة الربط
Local Bus	المسرى المحلي
Kbps (Kilo bit per second)	كيلو بت /الثانية
L	
LPD (Line Printer Daemon)	يُمكن من مشاركة طابعات مختلفة
Latency Time	زمن التأخير
Loop Buffer	مخزن الحلقة
Look Ahead	الاستباق
Look Behind	الاستذكار
Local Loop	الحلقة المحلية
LED (Light Emitting Diodes)	ديودات لإصدار الضوء

Location-addressed	الذاكرة المعنونة بالموقع
Loop unrolling	فك الحلقات
Links	الوصلات
LSB (Low Sign Bit)	الخانة ذات الوزن الأدنى
LPF (Low Pass Filter)	مرشحات الترددات المنخفضة
Load-balancing clusters	عناقيد موازنة الأحمال
LRU(Least Recently Used)	أقل صفحة مستخدمة
Local Decoding of Field "func"	تفكيك الترميز المحلي للحقل " func"
Localizing of Reference	المرجعية المحلية
M	
Master	سـيد
Magnetic Tape	الأشرطة الممغنطة
Magnetic disk	الأقراص المغناطيسية
MISD (Multiple Instructions Stream, Single Data Streams)	الحواسيب متعددة تدفق التعليمات ووحيدة تدفق المعطيات
Message	الرسائل
Microcontroller	المتحكم الصغري
MIMD(Multiple Instructions Stream, Multiple Data Streams)	الحواسيب متعددة تدفق التعليمات و متعددة تدفق المعطيات

Modes Addressing	أنماط العنونة
Multiplying DAC	مبدل رقمي/تمثيلي ضارب
Multiplexer Channel	قناة المجمع
Multiplexed Bus	مسرى غير مخصص (مجمع)
Multiprocessing Systems	الأنظمة متعددة المعالجات
Message Passing	تمرير الرسائل
Multiple Cycle Processor	المعالج المتعدد الدورات
MIPS (Microprocessor Without Interlocked Pipeline Stage	المعالج بدون خطوط توارد متشابكة
Modem (Modulation and Demodulation)	الموديم
Multicast	البث المتعدد
Multiplexing	المزج أو التجميع أو الانتخاب
Machine Cycle	دورة الآلة
Main memory	الذاكرة الرئيسية
Miss penalty	غرامة الإخفاق
Miss Rate	معدل الإخفاق
Macintosh Computer	حاسوب ماكنتوش
Machine Parallelism	موازاة الآلة
Multiport memory	الذاكرة متعددة المنافذ
Multiple streams	التدفقات المتعددة
Mbps(Mega bit per second)	ميغابيت بالثانية (وحدة لقياس سرعة نقل المعلومات)

MMU(Memory Management Unit)	وحدة إدارة الذاكرة
Message Switching Technology	تقنية تبادل الرسائل
Memory consistency	ترابط الذاكرة
Multilevel Page Tables	جدول الصفحات متعددة المستويات
Memory card	بطاقة الذاكرة
Machine Language	لغة الآلة
Message Passing	مرور الرسالة
Majority node Cluster	عنقود من غالبية العقد
Multitasking	تعدد المهام
Multistage network	الشبكة متعددة المراحل
Multiple Enhancements Amdahl's Law	التحسينات المتعددة لقانون أمبدل
MIPS(Million Instructions Per Second)	معيار كم مليون تعليمة تنفذ في الثانية
Mainframes	الحواسيب الرئيسية (الكبيرة)
Minicomputers	الحواسيب الصغيرة
Microprocessor Speed	سرعة المعالج
MBR(Memory Buffer Register)	سجل مخزن الذاكرة
MAR(Memory Address Register)	سجل عنوان الذاكرة
Multiprogramming	البرامج المتعددة
Memory stall	دورات التأجيل للنفاذ للذاكرة

N	
North Bridge	الجسر الشمالي
Northbridge Typically	الجسر الشمالي النموذجي
NUMA(Non Uniform Memory Access)	النفاذ اللامنتظم إلى الذاكرة
Network Interface Layer	طبقة ترابط الشبكة (TCP/IP)
NRZ (Non-Return-to-Zero)	الترميز غير الراجع إلى الصفر
NACK (Negative Acknowledgement)	إشارة عدم وصول إشارة التأكيد
Network	الشبكة
Nodes	العقد
Networks Operating Systems	نظم تشغيل الشبكات
Network Management	إدارة الشبكة
Non Routable Protocols	البروتوكولات غير الموجهة
NFS (Network File System)	نظام ملفات الشبكة
NIC (Network Interface Card)	بطاقة واجهة الشبكة
NAC (Network Adapter Card)	بطاقة واجهة الشبكة
Non-Connection Access Method	طريقة النفاذ غير المضمون
NetBEUI (Network BIOS Extended User Interface)	بروتوكول غير موجه يستخدم في شبكات مايكروسوفت الصغيرة
Novell Netware	نظام نوفل لتشغيل الشبكات
Nyquist Theory	نظرية نيكويست
Network Load Balancing	توازن حمل الشبكة
Network Load Balancing Driver	مشغل عملية موازنة حمل الشبكة

NUR(Non Used Recently)	الصفحة غير المستخدمة مؤخراً

O

Optical Disk	الأقراص الضوئية
Operation Latency	بطئ العملية
OSI (Open System Interconnection)	نظام السبع طبقات
Output Dependency	تبعية الخرج
One Instruction Per Cycle	تعليمة واحدة لكل دورة
Open Systems	النظم المفتوحة
Optical Fiber Cables	كابلات الألياف الضوئية
Ordered Delivery	النقل المنظم
OSPF (Open Shortest Paths First) opcode	بروتوكول فتح المسار الأقصر أولاً رموز العملية

P

Parallel Transmission Ports	منافذ النقل المتوازي
Parallel Interface	واجهة الترابط المتوازية
PATA(Parallel ATA)	واجهة الترابط للنظام
Peripheral component interconnect (PCI)	المسرى البيني للمكونات الطرفية

Polling	الاستجواب
Processor	المعالج
PCMCIA	المسرى (PCMCIA)
Programmed I/O	الدخل/الخرج المبرمج
Physical Layer	الطبقة المادية
PC (Program Counter)	عداد البرنامج PC
Packet Switching Technology	تقنية التبادل الرزمي
Parallelism	درجة التوازي
Periodic Waveform	الموجات الدورية
PM (Phase Modulation)	التعديل الطوري
Pipelining	التوارد
Phase-Shift Keying	التعديل بإزاحة الطور
Paged memory management	إدارة الذاكرة بالصفحات
PU(Process unit)	وحدة المعالجة
Predecoding	فك الترميز المسبق
Polling and Selection	الإقتراع والانتخاب
Procedural Dependency	التبعية الإجرائية
Performance	الأداء
page fault	اعتراض الصفحة
Public Key Encryption	التشفير بالمفتاح العام
Prefetch Branch Target	الجلب المسبق لوجهة التفريع
Preservation of program order	حفظ طلب البرنامج
Parallel decoding	فك الترميز المتوازي

PAD (Packet Assembler/Disassembler)	مجمع ومفكك الرزم
Performance of Single-Cycle CPU	أداء وحدة المعالجة المركزية وحيدة الدورة
PC (Personal Computer)	الحاسوب الشخصي
PCM (Pulse Code Modulation)	التعديل النبضي
PDU (Packet Data Unit)	وحدة بيانات الرزمة
Peer –to- Peer Networks	شبكات الند للند
Parallel instruction executing	التنفيذ المتوازي للتعليمة
PRI (Primary Rate Interface)	واجهة النوع الأولى
Preservation the sequential consistency of execution	الحفاظ على تتابع سياق التنفيذ
Preservation the sequential consistency of exception processing	الحفاظ على تتابع سياق معالجة الاستثناءات
Parallel Processing	المعالجة المتوازية
Parallel Transmission	الإرسال المتوازي
Predicting Branch TAKEN	التنبؤ بحدوث التفريع
Pre Execution	التنفيذ الاستباقي
Predicting Branch not TAKEN	التنبؤ بعدم حدوث التفريع
Prediction Load	التحميل التخميني
PAD (Printer Access Protocol)	بروتوكول النفاذ إلى الطابعة
PCI (Peripheral Component Interconnect)	الناقل (PCI)
paging	التصفح
Private Networks	الشبكات الخاصة

Pseudo-associative caches	ذاكرة كاش التجميعية العشوائية
Propagation Delay	تأخير الانتشار
Pseudo set	المجموعة العشوائية
PSTN (Public Switched Telephone Networks)	شبكات الهاتف التبديلية العامة
PTE(Page Table Entry)	مدخل جدول الصفحة
PTM(page map Table)	جدول دالة الصفحات
Prepaging	جلب الصفحة بشكل مسبق

Q

QOS (Quality of Service)	جودة الخدمة
QAM (Quadrature Amplitude Modulation)	التعديل المطالي الرباعي
Quorum Arbitration	تحكيم القرص

R

Reliability	الوثوقية
Reselection	إعادة الانتخاب
Request Sense	تحسس الطلب
Real Addresses	العناوين الحقيقية
RAW (Read After Write)	القراءة بعد الكتابة
Router	موجه

Registers	السجلات
Random Errors	الأخطاء العشوائية
ROB(Reorder Buffer)	وحدة مخزن إعادة الترتيب
RET(Retire Unit)	وحدة إنهاء التداول
RZ (Return -to- Zero)	الترميز الراجع للصفر
RARP (Reverse Address Resolution Protocol)	بروتوكول كشف العنوان العكسي
RS- 232	دارة لربط ملحقات الحاسوب عن طريق المنفذ التسلسلي
Real Time Applications	تطبيقات الزمن الحقيقي
Regroup Events	إعادة تصنيف الأحداث
RFC (Request of Comments)	وثائق في الانترنت من أجل الإيضاح
Remote Control	التحكم عن بعد
Repeater	مقوي الإشارة
Register Renaming	إعادة تسمية السجل
Resource Conflict	نزاع الموارد
RAT (Register Allocator)	مقسم السجلات
RISC (Reduce Instruction Set Computer)	الحواسيب ذات مجموعة التعليمات المختصرة
RAID (Redundant Array of Independent Disks)	مجموعة أقراص التخزين المعتمدة على بعضها
RAS (Remote Access Service)	خدمة الدخول عن بعد
Reference Model	النموذج المعياري

Register to Register Operations	عمليات من سجل إلى سجل
Register File Details	مكونات ملف السجل
Routable Protocols	البروتوكولات الموجهة
RIP (Routing Information Protocols)	بروتوكول توجيه المعلومات
Replacement Strategies	استراتيجيات الاستبدال

S

Slave	تابع
SATA(Serial ATA)	واجهة الترابط التسلسلية
Serial Transmission Ports	منافذ النقل التسلسلي
Selector Channel	قناة المنتخب
Serial Interface	واجهة الترابط التسلسلية
SCSI (Small Computer System Interface)	واجهة ترابط نظام الحاسب الصغير
Send Diagnostic	إرسال التشخيص
Single-Slope Integration	التكامل أحادي الانحدار
Status	الحالة
Sub Channel	قنوات فرعية
slots	شقوق
South Bridge	الجسر الجنوبي
Super I/O Controller	متحكم الدخل/الخرج الفائق
System Interconnection	الربط البيني للنظام

SISD (Single Instruction Stream , Single Data Stream)	الحواسيب وحيدة تدفق التعليمات ووحيدة تدفق المعطيات
Speedup	التسريع
SIMD(Single Instruction Stream , Multiple Data Streams)	الحواسيب وحيدة تدفق التعليمات ومتعددة تدفق المعطيات
Shared Memory	الذاكرة المشتركة
SMP(Symmetric Multiprocessor systems)	النظم المتناظرة المتعددة المعالجات
Simplicity	البساطة
Scaling	التدريج
Synchronous Transmission	الإرسال المتزامن
Superscalar Processors	المعالجات السلمية الفائقة
SMTP (Simple Mail Transfer Protocol)	بروتوكول نقل البريد الالكتروني
SNMP (Simple Network Management Protocol)	بروتوكول إدارة الشبكات
Scheduling	الجدولة
Synchronization	التزامن
Shannon's Law	قانون شانون
Stalling	احتجاز
SNA (System Network Architecture)	بنية نظام الشبكة
switching networks	شبكات التبديل
Hazard Structural	أخطار البنى
Snoopy Protocol	بروتوكول الاستطلاع

Single Quorum Device Cluster	عنقود ذو مخزن عنقود وحيد
Superscalar instruction issue	إصدار التعليمة السلمية الفائقة
SLIP (Serial Line Internet Protocol)	بروتوكول الانترنت ذو الخط التسلسلي
Server /Client Networks	شبكات المخدم / العميل
Shared Memory	الذاكرة المشتركة
Super Pipeline	التوارد الفائق
SMDS (Switched Multimegabit Data service)	خدمة المعطيات المتعددة الميغابيت التبادلية
Server clusters	المخدمات العنقودية
SP (Stack Pointer)	مؤشر المكدس SP
Single Cycle Processor	المعالج وحيد الدورة
Switch	مبدل
System and Hardware Failures	فشل النظام والعتاديات
Site failures in Multisite Organizations	فشل التنظيمات المتعددة المواقع
STS (Synchronous transport Signal)	إشارات النقل المتزامنة
SPR (Special Purpose Registers)	السجلات ذات الأغراض الخاصة
Stalling and Forwarding	التأجيل والتجاوز
Set Associative mapping	التقابل التجميعي لمجموعة الكتل
Split Caches	ذواكر كاش المنفصلة
segmentation	التقسيم
Sharing in paging system	المشاركة في أنظمة الصفحات

Speculative Execution	التنفيذ التخميني
SPEC(Standard Performance Evaluation Corporation)	شركة تقييم الأداء القياسي
Supercomputers	الحواسيب الفائقة
Segment memory management	إدارة الذاكرة بالتقسيم
Swapping	المبادلة

T

Terminator	منهيات
Timing	التوقيت
Test Unit Ready	جاهزية وحدة الاختبار
Transaction Layer	طبقة المداولات
Time-to-Amplitude Conversion	تبديل الزمن إلى مطال
TDM (Time-Division Multiplexing)	التجميع بتقسيم الزمن
Tasks	مهمات
Time-shared bus	المسرى المشترك
Time sharing	المشاركة بالزمن
Transmission Medium	وسط النقل
Throughput	الإنتاجية
True Data Dependency	التبعية الحقيقية للمعطيات
Transceiver (Transmitter and Receiver)	مرسل ومستقبل

Tag Check	تدقيق الأمارات
Telnet Protocol	بروتوكول الدخول عن بعد
TCP (Transmission Control Protocol)	بروتوكول التحكم بالنقل
Tree Topology	التوصيل الشجري
T-Connector	الوصلة T لوصل الكابلات المحورية
TLB(Translation Lookaside Buffer)	مخزن تسريع الترجمة
Table fragmentation	تجزئة جدول الصفحات
Terminator	نهاية طرفية
Thin net Coaxial Cables	الكابلات المحورية الرفيعة
Thick net Coaxial Cables	الكابلات المحورية السميكة
Time Sharing	زمن المشاركة
Tradeoff	المقايضة
Traffic	الازدحام
Transceiver	كابل المرسل والمستقبل
Transmitter	المرسل

U

USB (Universal Serial Bus)	منافذ المسرى التسلسلي العام
Urgent arbitration	التحكيم العاجل
UART (Universal asynchronous receiver)	المستقبل غير المتزامن العام

UTP (Unshielded Twisted Pair)	الكابلات المجدولة غير المغلفة
UNIX	نظام تشغيل UNIX
UDP (User Datagram's Protocol)	بروتوكول برقيات المستخدم
Unified Caches	ذواكر كاش الموحدة
USB (Universal Serial Bus)	الناقل التسلسلي العام
UTP Categories	فئات الكابل المجدول غير المغلف
User Profile	ملف المستخدم
UPS (Uninterruptible Power Supply)	مزود طاقة بشكل دائم

V

Vectored Interrupt	المقاطعات الشعاعية
Vector table	جدول الشعاع
Virtual Circuits	الدارات الافتراضية
Vector Processors	المعالجات الشعاعية
Virtual Paths	المسارات الافتراضية
Virtual Channel	القناة الافتراضية
Victim Caches	تقنية ذاكرة كاش المساعدة
Von Neumann Computer Model	نموذج حاسوب فان نيومان
Virtual Memory Organization Virtual Addresses	تنظيم الذاكرة الافتراضية العناوين الافتراضية
variable-partition	الأجزاء المتغيرة

W	
WINS (Windows Internet Name Server)	إدارة الأسماء
Windows Compute Cluster Server	مخدم العنقود الحوسبة ويندوز
WB (Write Back)	مرحلة إعادة الكتابة في السجلات
Write Buffer	مخزن عزل كتابة
Wavelength	طول الموجه
Windows Systems	نظام النوافذ
WWW(World Wide Web)	شبكة الويب العالمية
Write serialization	الكتابة المتسلسلة
Wireless Media Transmission	وسط النقل اللاسلكي
WAW (Write After Write)	الكتابة بعد الكتابة
Write through	الكتابة أثناء النفاذ(الفورية)
Write Back	الكتابة المتأخرة
X	
X.25 Protocol	بروتوكول قديم يستخدم التبادل الرزمي وسرعته 64 kbps

اللجنة العلمية :

الدكتور محمد نوار العوا

الدكتور جمال الياسين

الدكتور محمد مازن المحايري

المدقق اللغوي :

الدكتور دياب الراشد

حقوق الطبع والنشر محفوظة لمديرية الكتب والمطبوعات الجامعية

وقل رب زدني علما
جامعة دمشق
Damascus University